МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РОССИЙСКОЙ ФЕДЕРАЦИИ

НАЦИОНАЛЬНЫЙ ИССЛЕДОВАТЕЛЬСКИЙ ЯДЕРНЫЙ УНИВЕРСИТЕТ

«МОСКОВСКИЙ ИНЖЕНЕРНО-ФИЗИЧЕСКИЙ ИНСТИТУТ»



Институт Интеллектуальных Кибернетических Систем

Кафедра «Компьютерные системы и технологии»

Отчёт о лабораторной работе №1-2   
«Реализация переключательной функции с формированием задержек при переключении»

Студент группы Б20-503 Коломенский В. Г. / \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ /

Руководитель \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ / \_\_\_\_\_\_\_\_\_\_\_\_\_\_\_ /

Москва 2023

**Оглавление**

1. Введение1

2. Построение МДНФ2

3. Расчёт задержки3

4. Реализация программы4

5. Тестирование программы8

6. Список литературы и ссылки 14

1. Введение

По заданию лабораторной работы было необходимо реализовать переключательную функцию, которая будет принимать истинное значение на наборах, указанных на рисунке 1. Номер набора определяется 4 битами, считываемыми из внешней памяти.

В качестве результата необходимо вывести на индикаторы само рассчитанное в процессе выполнения программы значение функции и эталонное значение (инвертированное значение функции на заданном наборе).

В зависимости от номера набора в процессе формирования значения функции, в программе должно быть реализовано извлечение эталонного значения из памяти и формирование задержки перед сбросом бита готовности. Величина задержки на каждом наборе формировалась исходя из задания, которое приведено на рисунке 1.

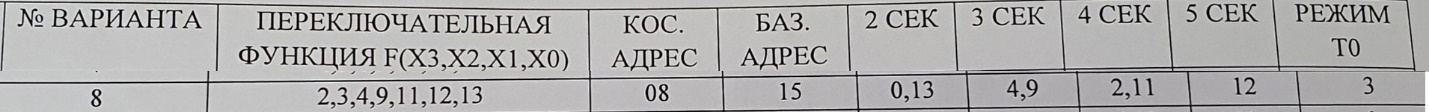


Рисунок 1. – Условие задания

2. Построение МДНФ

Перед началом написания кода программы необходимо построить МДНФ. Эталонная диаграмма Вейча и МДНФ приведены на рисунке 2.

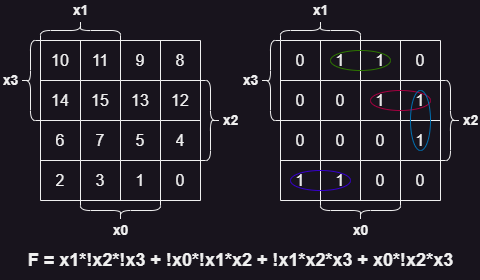


Рисунок 2. – Минимизация функции

3. Расчёт задержки

В режиме работы T0 = 3 разрядность таймерного регистра составляет 8 бит. При частоте 11,059 МГц за 1 секунду счётчик с разрядность в 8 бит переполнится (2^8 - 16) \* 15 раз. Поэтому для задания нужной задержки будет использоваться два вложенных цикла. Один из их работает (2^8 - 16) раз, другой работает 15 \* n раз, где n – количество секунд задержки. Переход на следующую итерацию вложенного цикла происходит при переполнении регистра таймера.

4. Реализация программы

Реализация программы представлена в приложении 1.

Приложение 1. – реализация программы

|  |  |
| --- | --- |
| 1  2  3  4  5  6  7  8  9  10  11  12  13  14  15  16  17  18  19  20  21  22  23  24  25  26  27  28  29  30  31  32  33  34  35  36  37  38  39  40  41  42  43  44  45  46  47  48  49  50  51  52  53  54  55  56  57  58  59  60  61  62  63  64  65  66  67  68  69  70  71  72  73  74  75  76  77  78  79  80  81  82  83  84  85  86  87  88  89  90  91  92  93  94  95  96  97  98  99  100  101  102  103  104  105  106  107  108  109  110  111  112  113  114  115  116  117  118  119  120  121  122  123  124  125  126  127  128  129  130  131  132  133  134  135  136  137  138  139  140  141  142  143  144  145  146  147  148  149  150  151  152  153  154  155  156  157  158  159  160  161  162  163  164  165  166  167  168  169  170  171  172  173  174  175  176  177  178  179  180  181  182  183  184  185  186 | ; F(x3, x2, x1, x0) = 2, 3, 4, 9, 11, 12, 13  ; R0 - address of the reference function  ; R1 - shift counter  ; Start  ORG 0000h ; Starting address  P4 EQU 0C0h ; Define P4  ; Preparing the environment for work  MOV DPTR, #8000h ; \;  MOV A, #08h ; | Loading an indirect address  MOVX @DPTR, A ; /  MOV DPTR, #8008h ; \;  MOV A, #15h ; | Loading the base address  MOVX @DPTR, A ; /  MOV DPTR, #8000h ; \;  MOVX A, @DPTR ; | Calculating the address of the reference  MOV DPL, A ; | function in external memory and writing  MOVX A, @DPTR ; | this address to the register R0  MOV DPL, A ; |  MOV R0, DPL ; /  MOV A, #01Ch ; \;  MOVX @DPTR, A ; | Writing a reference function  INC DPTR ; | to external memory  MOV A, #03Ah ; |  MOVX @DPTR, A ; /  MOV DPTR, #8020h  MOV A, #2  MOVX @DPTR, A  MOV DPTR, #8021h  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #8022h  MOV A, #4  MOVX @DPTR, A  MOV DPTR, #8023h  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #8024h  MOV A, #3  MOVX @DPTR, A  MOV DPTR, #8025h  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #8026h  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #8027h  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #8028h  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #8029h  MOV A, #3  MOVX @DPTR, A  MOV DPTR, #802Ah  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #802Bh  MOV A, #4  MOVX @DPTR, A  MOV DPTR, #802Ch  MOV A, #5  MOVX @DPTR, A  MOV DPTR, #802Dh  MOV A, #2  MOVX @DPTR, A  MOV DPTR, #802Eh  MOV A, #1  MOVX @DPTR, A  MOV DPTR, #802Fh  MOV A, #1  MOVX @DPTR, A  ; Preparing input values  PREPARING:  MOV DPTR, #7FFBh ; \;  MOVX A, @DPTR ; | Cyclic polling of the readiness bit  JZ PREPARING ; /  MOV DPTR, #7FFAh ; \;  MOVX A, @DPTR ; | Writing the input value  MOV 20h, A ; /  ; Calculation of a logical function  MOV C, 1 ;  ANL C, /2 ;  ANL C, /3 ;  MOV 8, C ;  MOV C, 2 ;  ANL C, /0 ;  ANL C, /1 ;  MOV 9, C ;  MOV C, 2 ;  ANL C, /1 ;  ANL C, 3 ;  MOV 10, C ;  MOV C, 0 ;  ANL C, /2 ;  ANL C, 3 ;  ORL C, 8 ;  ORL C, 9 ;  ORL C, 10 ;  MOV 8, C ;  ; Comparison of the obtained result with the reference function  MOV DPTR, #8000h ; \;Preparing the address of  MOV DPL, R0 ; / the reference function  JB 3, PTR\_1 ; \;Checking which half  AJMP PTR\_2 ; / of the reference function to use  PTR\_1:  INC DPTR ; \;Preparation for working with the  CLR 3 ; / second half of the reference function  PTR\_2:  MOVX A, @DPTR ;  MOV R1, 20h ; Preparing the shift counter  SHIFT:  CJNE R1, #00h, PTR\_3 ; \;  AJMP PTR\_4 ; |  PTR\_3: ; | Shift the desired bit to  RR A ; | the first (index=0) position  DEC R1 ; |  AJMP SHIFT ; /  PTR\_4:  MOV C, 8 ; \;  MOV P4.0, C ; | Output of the received result  MOV C, ACC.0 ; | and the reference to the P4 channel  CPL C ; |  MOV P4.1, C ; /  MOV DPTR, #7FFAh  MOVX A, @DPTR  MOV DPTR, #8000h  ANL A, #00001111b  ADD A, #20h  MOV DPL, A  MOVX A, @DPTR  MOV B, A  MOV A, #15d  MUL AB  MOV R2, A  MOV TMOD, #00000011b  CLR TR0  MOV TL0, #00h  SETB TR0  PTR\_5:  MOV R1, #0FFh  PTR\_6:  CLR TR0  MOV TL0, #16d  SETB TR0  PTR\_7:  JBC TF0, PTR\_8  AJMP PTR\_7  PTR\_8:  DJNZ R1, PTR\_6  DJNZ R2, PTR\_5  MOV DPTR, #7FFBh ; \;  MOV A, #00h ; | Resetting the ready bit to 0  MOVX @DPTR, A ; /  MOV DPTR, #7FFAh ; \;  MOVX A, @DPTR ; | The following set  INC A ; | of input data  MOVX @DPTR, A ; /  AJMP PREPARING  END |

5. Тестирование программы

В рамках тестирования разработанной программы были проверены все 16 возможных входных комбинаций. Результат тестирования представлен на рисунках 3.1 – 3.16 ниже.

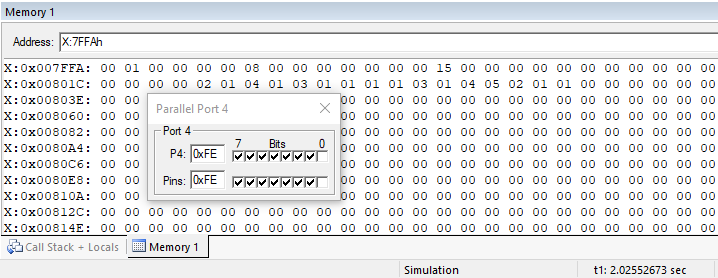


Рисунок 3.1 – Результат тестирования на наборе «0».

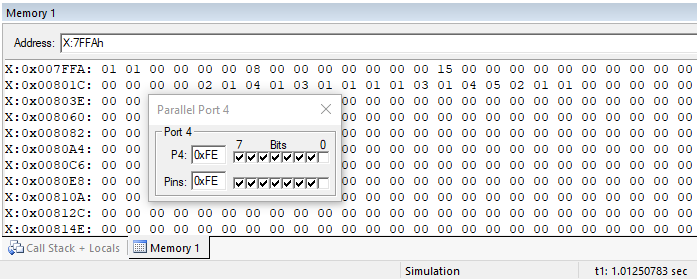


Рисунок 3.2 – Результат тестирования на наборе «1».

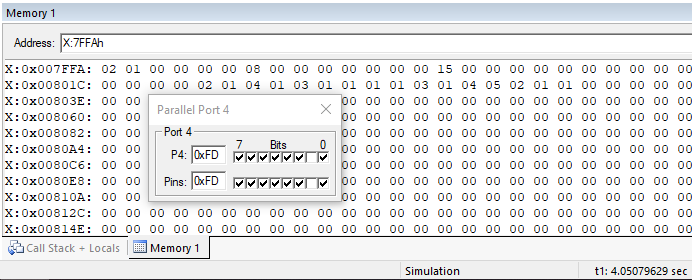


Рисунок 3.3 – Результат тестирования на наборе «2».

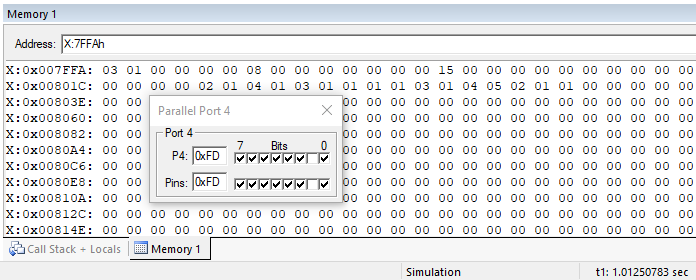


Рисунок 3.4 – Результат тестирования на наборе «3».

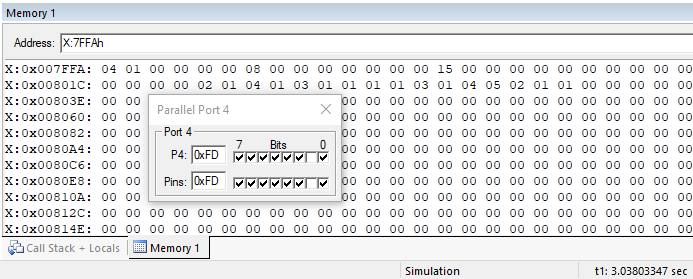


Рисунок 3.5 – Результат тестирования на наборе «4».

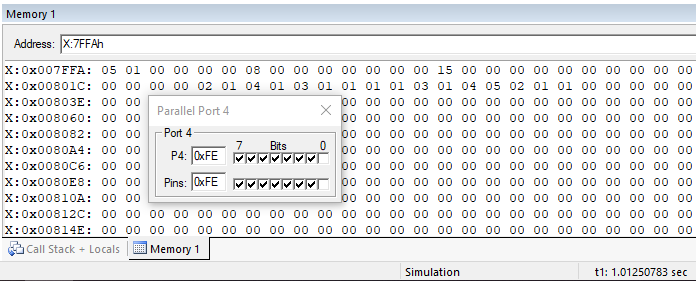


Рисунок 3.6 – Результат тестирования на наборе «5».

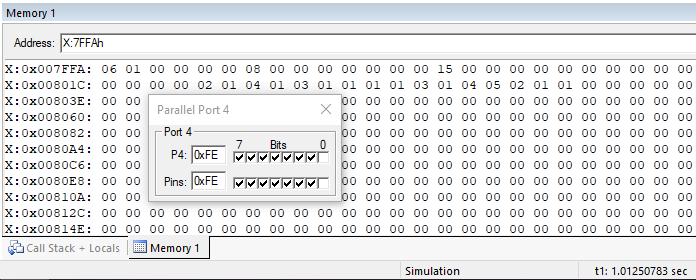


Рисунок 3.7 – Результат тестирования на наборе «6».

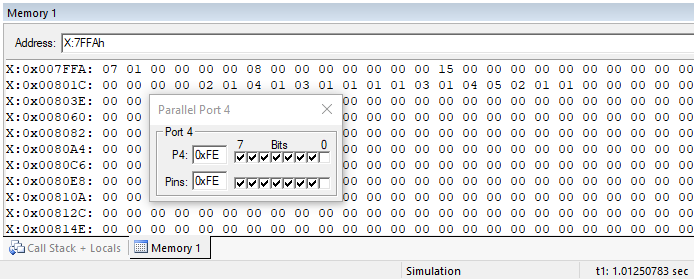


Рисунок 3.8 – Результат тестирования на наборе «7».

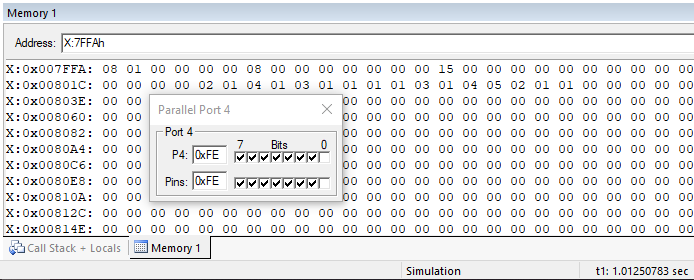


Рисунок 3.9 – Результат тестирования на наборе «8».

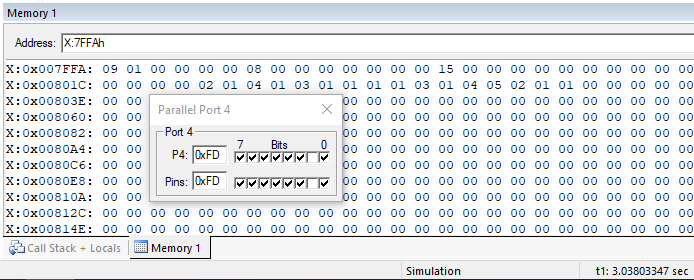


Рисунок 3.10 – Результат тестирования на наборе «9».

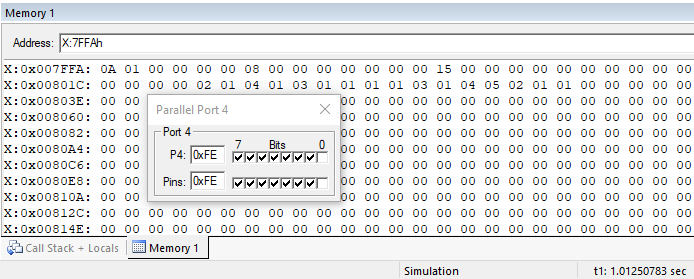


Рисунок 3.11 – Результат тестирования на наборе «A».

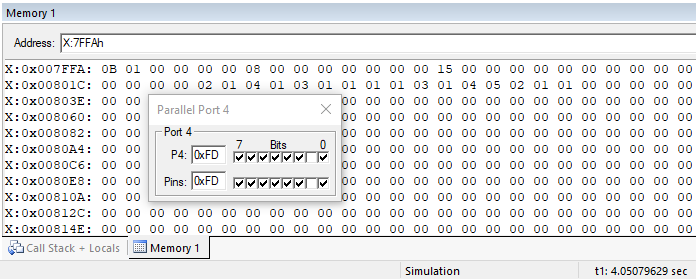


Рисунок 3.12 – Результат тестирования на наборе «B».

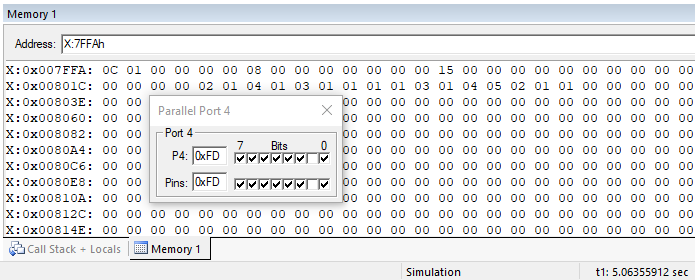


Рисунок 3.13 – Результат тестирования на наборе «C».

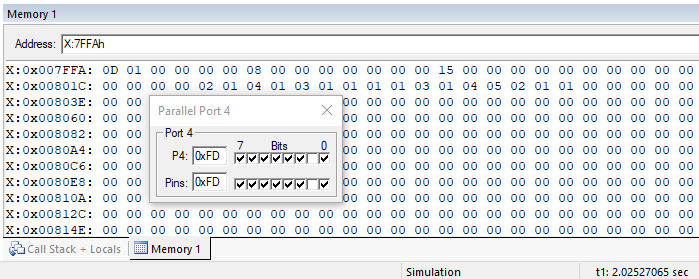


Рисунок 3.14 – Результат тестирования на наборе «D».

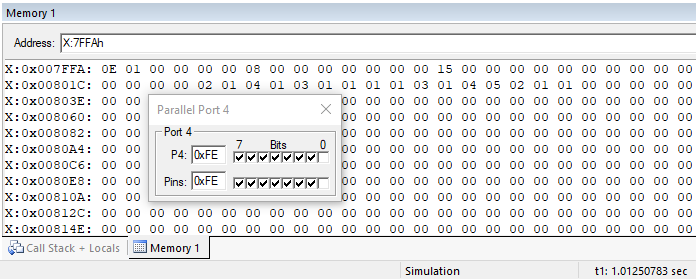


Рисунок 3.15 – Результат тестирования на наборе «E».

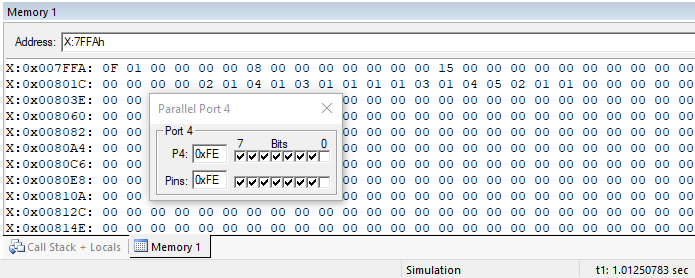


Рисунок 3.16 – Результат тестирования на наборе «F».

6. Список литературы и ссылки

1. Стрелец А. И., Иванников В. С., Ёхин М.Н. Методические указания для выполнения лабораторной работы “Битовый процессор” по курсу “Микропроцессорные устройства и системы” с использованием виртуального стенда. Москва 2018.
2. Е. В. Моисейкин. Микроконтроллеры семейства MCS‑51 Теория и практика. Учебно-методическое пособие. Екатеринбург Издательство Уральского университета 2017.
3. Исходный код программы [Электронный ресурс] // <https://github.com/Hypex146/MDnS-Lab-2>.