

ФЕДЕРАЛЬНОЕ АГЕНТСТВО ЖЕЛЕЗНОДОРОЖНОГО ТРАНСПОРТА
Федеральное государственное образовательное
учреждение высшего профессионального образования
«ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ
УНИВЕРСИТЕТ ПУТЕЙ СООБЩЕНИЯ»

Кафедра «Информационные и вычислительные системы»

ОСНОВЫ МИКРОЭЛЕКТРОНИКИ И СХЕМОТЕХНИКИ

Методические указания
к выполнению лабораторных работ

Санкт-Петербург
ПГУПС
2010

Введение

Современная информационная система – это совокупность содержащейся в базах данных информации и обеспечивающих ее обработку информационных технологий и технических средств.

Использование цифровой техники позволяет повысить верность передаваемой информации, достигнуть высокой производительности систем обработки информации, обеспечить их приемлемую стоимость, высокую надёжность, малое потребление энергии и т. д.

Основными типовыми задачами, решаемыми с помощью цифровой техники, являются:

- сбор информации (её получение);
- преобразование и использование информации (масштабирование, нормализация, фильтрация, кодирование);
- передача-приём информации;
- хранение информации.

Поэтому знание принципов применения цифровых устройств и построения на их основе систем различного назначения имеет актуальное значение и большую практическую ценность как в инженерной деятельности, так и при исследованиях методологического характера.

Все лабораторные работы выполняются в программе Electronics Workbench – предназначенной для разработки, имитации, отладки и тестирования электронных устройств на аналоговых и цифровых элементах.

Лабораторная работа № 1

Исследование триггеров. Статика

Цель работы: изучение логических основ работы триггеров.

Краткие теоретические сведения

Триггером называют логическую схему с положительной обратной связью, имеющую два устойчивых состояния, которые называются единичным и нулевым и обозначаются 1 и 0 (триггер обладает свойством памяти).

Схема простейшего триггера получается, если включить кольцом два элемента И-НЕ (ИЛИ-НЕ). Такой триггер имеет два входа R и S , два выхода Q и называется RS-триггером. Перевод триггера в единичное состояние путем воздействия на его входы называют **установкой (set)** триггера, а устанавливающий сигнал и вход, на который он воздействует, обозначают S (от set). Перевод триггера в нулевое состояние называют **сбросом (reset)**, а соответствующий сигнал и вход обозначают R .

В общем случае триггер может иметь асинхронные входы предварительной установки, тактовый или синхронизирующий и информационные входы. К основным типам триггеров относятся:

- триггер с раздельной установкой состояний (RS-триггер),
- триггер «защелка» (D-триггер),
- универсальный триггер (JK-триггер),
- триггер со счетным входом (Т-триггер).

По способу записи информации триггеры подразделяются на асинхронные и синхронные, или тактируемые, а по способу управления – на триггеры со статическим управлением (единичным или реже нулевым уровнем тактового сигнала) и триггеры с динамическим управлением (положительным – из 0 в 1 или отрицательным – из 1 в 0 фронтом тактового сигнала). В последнем случае говорят о триггерах с прямым или инверсным динамическим входом управления.

Для задания единичного сигнала на синхровходе триггера необходимо включить и выключить тумблер (ключ).

При известной принципиальной схеме комбинационного узла достаточно путём перебора всех возможных состояний входных сигналов составить таблицу истинности выходных сигналов, что позволяет затем выполнить анализ работы устройства.

На рис. 1, *a* представлена логическая схема RS-триггера, 1, *b* – логическая схема RS-триггера, собранная в программе Electronics Workbench и готовая к исследованию.

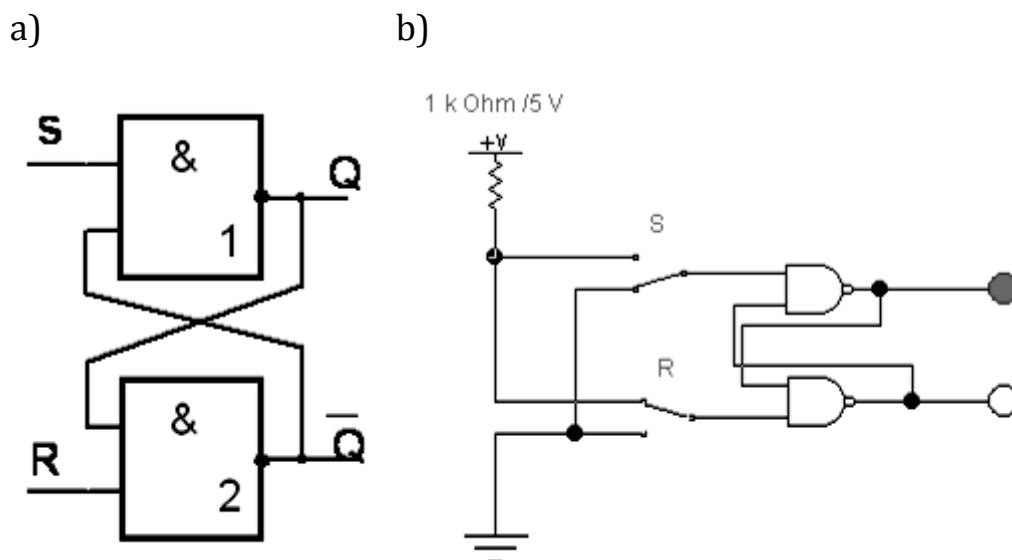


Рис. 1. Схемы RS-триггера

Задание:

1. Исследовать в программе Electronics Workbench следующие схемы и триггеры:

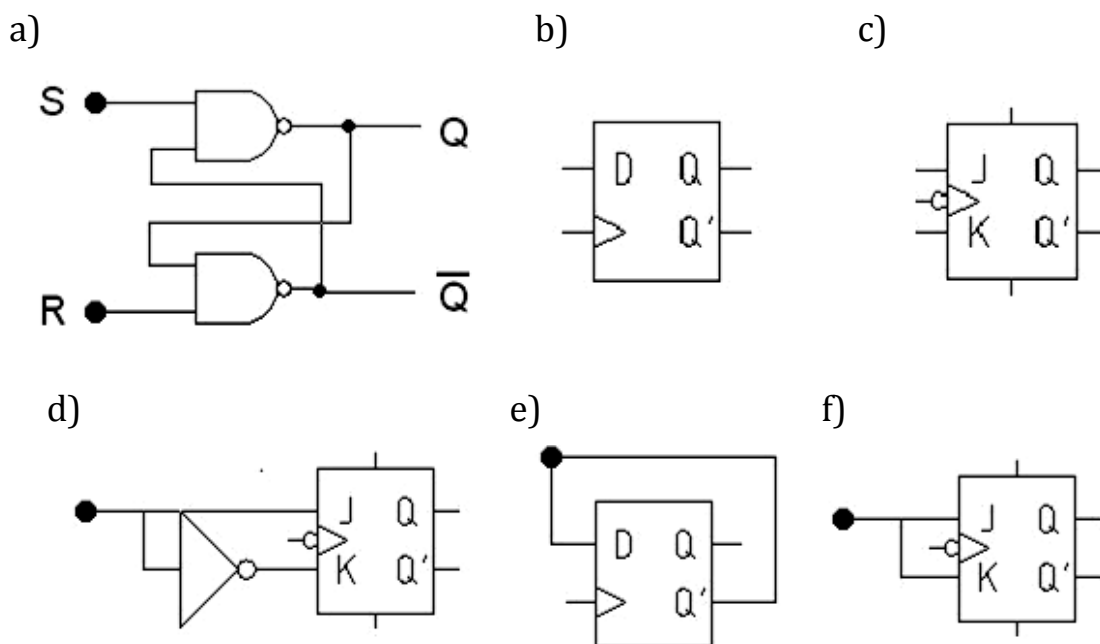


Рис. 2. Схемы и триггеры для исследования

2. Для каждой схемы и триггера заполнить таблицу по приведенной форме.

3. Подготовить отчет. Отчет должен содержать схемы, таблицы состояний триггеров и выводы о работе схем.

Таблица состояний триггера

A	B	C	Q_t	Q_{t+1}	Q'_{t+1}	Состояние

В таблице:

A, B, C – состояния возможных входов триггеров,

Q_t – состояние выхода Q триггера на данный момент,

Q_{t+1} – состояние выхода Q триггера в следующий момент времени,

Q'_{t+1} – состояние инверсного выхода Q триггера в следующий момент времени.

В таблице должны быть отражены состояния всех входных значений при $Q_t = 0$ и $Q_t = 1$.

Контрольные вопросы:

1. Определение триггера с точки зрения схемотехники и теории автоматов.
2. В чем различие асинхронных и синхронных триггеров?
3. Какова внутренняя структура триггеров?
4. В чем состоят особенности работы каждой схемы?
5. Что такое прозрачность триггера?
6. Какие триггеры называются двухступенчатыми?

Лабораторная работа № 2

Исследование триггеров. Динамика

Цель работы: изучение работы триггеров при изменении входных сигналов во времени.

Краткие теоретические сведения

Под цифровым сигналом понимается дискретный сигнал, квантованный по амплитуде. Процесс изменения напряжения от низкого уровня L к высокому H , называется фронтом сигнала (положительным перепадом, положительным фронтом), а обратный процесс – спадом (отрицательным перепадом, отрицательным фронтом). Если существенно их взаимное расположение, то фронт может быть передним и задним.

Положительный сигнал (сигнал положительной полярности) – это сигнал, активный уровень которого – логическая единица. То есть нуль – это отсутствие сигнала, единица – наличие сигнала.

Отрицательный сигнал (сигнал отрицательной полярности) – это сигнал, активный уровень которого – логический ноль. То есть единица – это отсутствие сигнала, ноль – наличие сигнала.

Активный уровень сигнала – это уровень, соответствующий приходу сигнала, то есть выполнению этим сигналом соответствующей ему функции.

Пассивный уровень сигнала – это уровень, в котором сигнал не выполняет никакой функции.

Инвертирование, или инверсия, сигнала – это изменение его полярности.

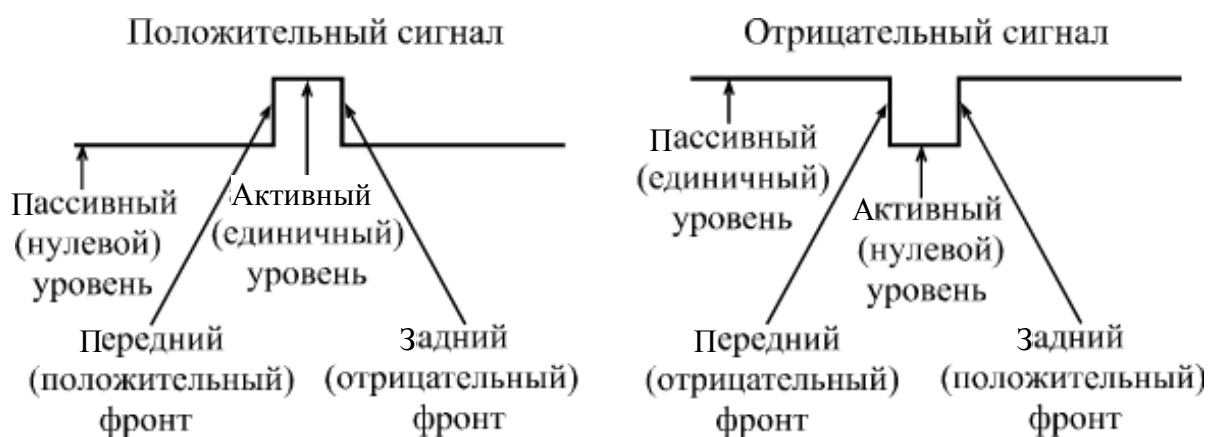


Рис. 3. Элементы цифрового сигнала

Для описания работы цифровых устройств широко используют временные диаграммы: представленные во времени во взаимосвязи входные и выходные сигналы устройства. На рис. 4 приведена диаграмма работы RS-триггера. При построении временных диаграмм обычно идеализируется форма входных и выходных сигналов, которые изображаются с идеальными фронтами. Временные диаграммы могут строиться с учётом задержек сигналов в реальных элементах или без учёта.

Чтобы процесс фиксации состояния информационных входов прошёл без сбоев, т. е. был бы однозначно предсказуемым, переходной процесс в схеме триггера, вызванный активным фронтом С-сигнала, не должен накладываться на переходной процесс, вызванный переключением информационных входов. Это значит, что всякие изменения состояния информационных входов должны прекратиться за некоторое время до появления активного фронта С-сигнала, называемое *временем подготовки (setup time)*, и могут снова начинаться после прохождения такого фронта С-сигнала не ранее чем через *время выдержки (удержания) (hold time)*.



Рис. 4. Временные диаграммы работы RS-триггера

Задание:

1. Для каждой схемы из лабораторной работы № 1 получить диаграммы входных и выходных сигналов. Для этого необходимо использовать логический анализатор (Logic analyzer).
2. Полученные диаграммы должны отображать все возможные состояния триггеров.
3. Проанализировать работу схем по полученным диаграммам.
4. Подготовить отчет. Отчет должен содержать схемы, диаграммы входных и выходных сигналов триггеров и выводы о работе схем.

Контрольные вопросы:

1. Чем отличается работа синхронных и асинхронных триггеров в динамике?
2. Почему разные триггеры работают по фронту или спаду синхросигнала?
3. Что такое сигналы потенциального типа?

Лабораторная работа № 3

Гонки и состязания в цифровых устройствах

Цель работы: исследовать влияние временных задержек в логических элементах на работу цифровых устройств.

Краткие теоретические сведения

В схемотехническом плане эффект гонок и состязаний сигналов устройства может привести к проблеме функциональной устойчивости. Наиболее наглядный пример – эффект «дребезга» контактов, кнопок и других

электромагнитных устройств. Проблема гонок в цифровой схемотехнике является очень серьезной. Большинство труднообнаруживаемых и удивительно разнообразно проявляющихся ошибок в цифровых схемах связано именно с гонками, возможность появления которых разработчик не предвидел или не заметил. Эффект гонок связан и с задержкой распространения сигналов в цифровых устройствах.

Быстродействие – один из важнейших параметров, характеризующий средним временем задержки распространения сигнала (рис. 5).

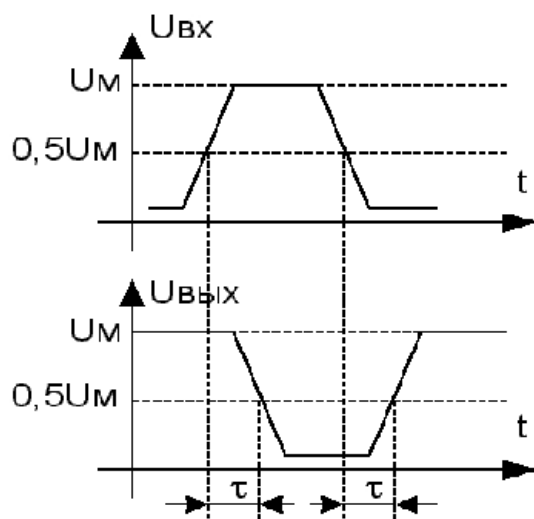


Рис. 5. Быстродействие логических элементов

Для современных ЛЭ задержка распространения составляет обычно единицы наносекунд.

Для получения задержки сигналов могут применяться инверторы, задержка будет соответствовать быстродействию элементов и составлять от 5 до 100 нс. Для получения такой задержки последовательно включается нужное количество инверторов (рис. 6).

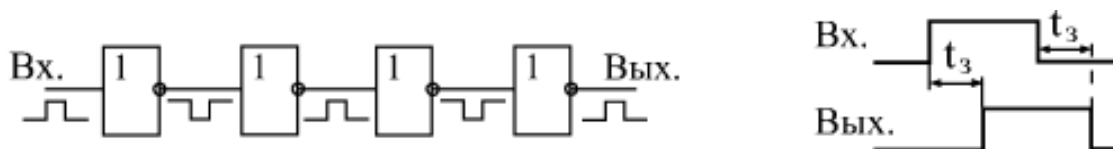


Рис. 6. Применение инверторов для получения задержки сигнала

Суммарное время задержки, например для четырех инверторов, можно определить по формуле

$$t_3 = 2t_{PHL} + 2t_{PLH}, \quad (1)$$

где t_{PHL} – время задержки переключения с высокого H уровня к низкому L ;
 t_{PLH} – время задержки переключения с низкого уровня L к высокому H .

Надо учитывать, что обычно реальные задержки элементов оказываются существенно ниже, чем табличные параметры t_{PHL} и t_{PLH} . То есть о точном значении получаемой задержки говорить не приходится, ее можно оценить только примерно.

Существует три наиболее часто встречающихся способа борьбы с гонками:

- тактирование;
- построение противогоночных схем;
- учет минимального времени задержки распространения сигнала.

Задание 1:

Значение задержек задается преподавателем.

1. Собрать в программе Electronics Workbench схему, представленную на рис. 7.

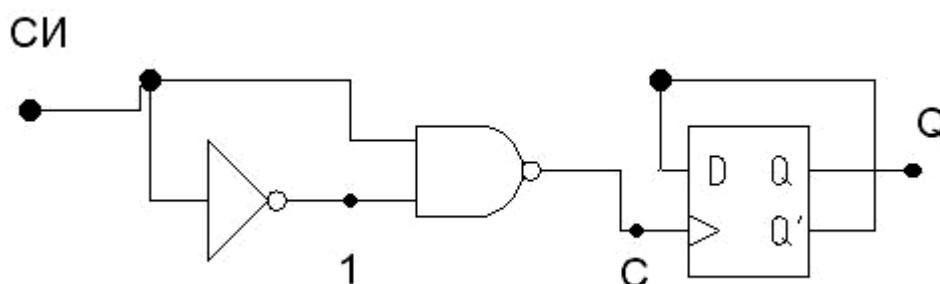


Рис. 7. Схема для исследования. Задание 1

2. Задать модель цифровых элементов схемы TTL – LS и установить заданную задержку.

3. Получить диаграммы сигналов в точках $СИ$, 1 , C , Q с помощью осциллографа (Oscilloscope).

4. Исследовать схему с количеством инверторов от 1 до 7, используя только нечетные количества.

5. Рассчитать задержку для каждого количества инверторов по формуле (1).

6. Определить значение задержки в точке 1 для разного количества инверторов с помощью инструментов осциллографа (Oscilloscope).

7. Построить графики зависимости расчетного и полученного значений задержки от количества инверторов.

8. Подготовить отчет. Отчет должен содержать схемы, диаграммы входных и выходных сигналов триггеров и выводы о работе схем.

Контрольные вопросы:

1. Почему сигнал в точке *I* сдвинут относительно сигнала в точке *СИ*?
2. Чем объясняется наличие сигнала в точке *C*?
3. Как изменятся диаграммы, если вместо элемента И-НЕ поставить элемент И?
4. Какое функциональное назначение имеет Т-триггер в исследуемой схеме?

Задание 2:

1. Собрать в программе Electronics Workbench схему, представленную на рис. 8.

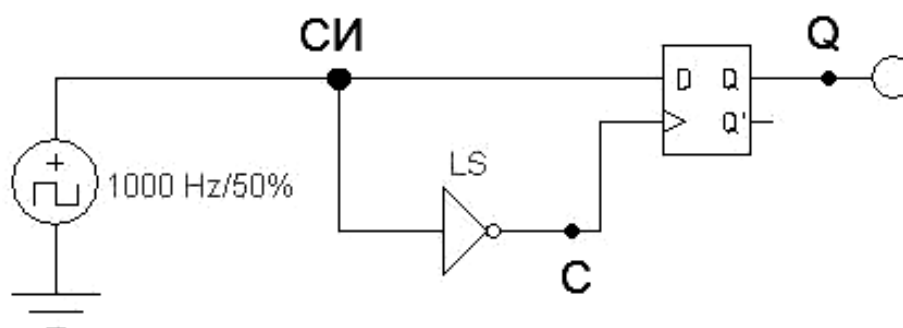


Рис. 8. Схема для исследования. Задание 2

2. Задать модель цифровых элементов схемы TTL – LS.
3. Получить у преподавателя и задать значение частоты генератора тактовых импульсов.
4. Рассчитать значение задержки на элементе НЕ для получения сигнала со сдвигом на 0, 0.25, 0.5, 0.75 и 1 период.
5. Получить диаграммы сигналов в точках *СИ*, *C*, *Q* с помощью осциллографа (Oscilloscope). Зафиксировать значение *Q* при значениях рассчитанных задержек (см. п. 4).
6. Подготовить отчет. Отчет должен содержать схемы, диаграммы входных и выходных сигналов триггеров и выводы о работе схем.

Контрольные вопросы:

1. В чем заключается эффект гонок?
2. Почему этот эффект может привести к функциональной неустойчивости цифровых устройств?
3. Как бороться с эффектом гонок?
4. Как влияет сдвиг синхросигнала на работу схемы?
5. Как определить максимально возможное значение задержки?
6. Что такое разрешающая способность цифровых элементов?

Лабораторная работа № 4

Комбинационные устройства

Цель работы: исследовать работу типовых комбинационных устройств.

Краткие теоретические сведения

Комбинационные схемы выполняют более сложные функции, чем простые логические элементы. Их входы объединены в функциональные группы и не являются полностью взаимозаменяемыми. Например, любые два входа логического элемента И-НЕ совершенно спокойно можно поменять местами, от этого выходной сигнал никак не изменится, а для комбинационных схем это невозможно, так как у каждого входа – своя особая функция.

Комбинационные схемы и логические элементы не имеют внутренней памяти. То есть уровни их выходных сигналов всегда однозначно определяются текущими уровнями входных сигналов и никак не связаны с предыдущими значениями входных сигналов. Любое изменение входных сигналов обязательно изменяет состояние выходных сигналов.

Логические функции и соответствующие им комбинационные схемы подразделяют на регулярные и нерегулярные структуры. Регулярные структуры предполагают построение схемы таким образом, что каждый из ее выходов строился по аналогии с предыдущими. В нерегулярных структурах такая аналогия отсутствует.

Комбинационные схемы внутри построены из простейших логических элементов. Но для разработчика цифровой аппаратуры достаточно знать только таблицу истинности, принцип преобразования входных сигналов в выходные, а также значения задержек между входами и выходами и уровни входных и выходных токов и напряжений. Внутренняя же структура важна для разработчиков микросхем, а также в тех редчайших случаях, когда надо построить новую комбинационную микросхему из микросхем простых логических элементов.

В практике проектирования ЭВМ накоплен огромный опыт по синтезу различных схем. Многие регулярные структуры положены в основу построения отдельных интегральных схем (ИС) малой и средней степени интеграции или отдельных функциональных частей больших и сверхбольших интегральных схем (БИС и СБИС). Из регулярных комбинационных схем наиболее распространены дешифраторы, шифраторы, схемы сравнения, комбинационные сумматоры, коммутаторы и др.

Задания:

1. Исследование шифратора:

Собрать в программе Electronics Workbench схему шифратора на основе модели микросхемы 74148.

Исследовать работу шифратора.

Составить таблицу истинности для шифратора.

2. Исследование дешифратора/демультиплексора:

Тип дешифратора для исследования задается преподавателем из следующего списка:

1. Линейный дешифратор 3 в 8.
2. Линейный дешифратор 4 в 16.
3. Матричный дешифратор 4 в 16.
4. Матричный дешифратор 5 в 32.
5. Каскадный дешифратор 4 в 16.
6. Каскадный дешифратор 5 в 32.

Для построения дешифраторов необходимо использовать модели микросхем из предлагаемых в программе Electronics Workbench. Например, 7400, 7404, 74138, 74139.

Составить таблицу истинности дешифратора.

3. Исследование мультиплексора (логическая структура):

Собрать в программе Electronics Workbench схему мультиплексора 8 в 1, представленную на рис. 9.

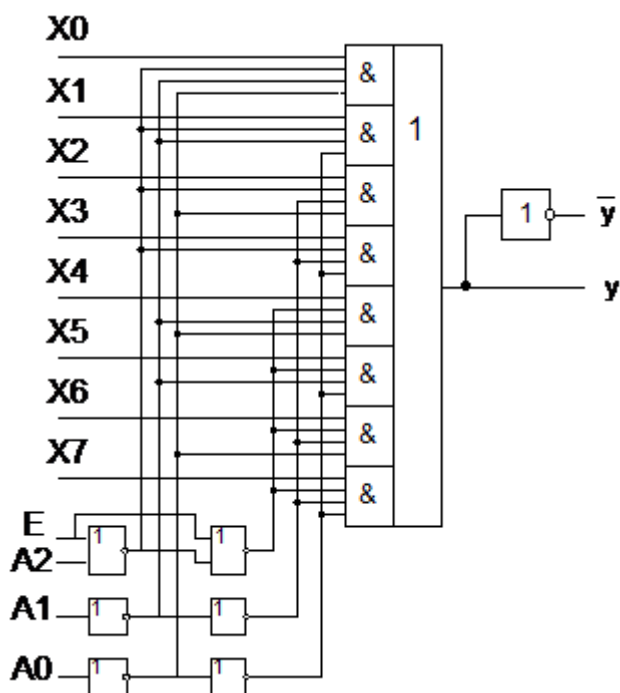


Рис. 9. Схема мультиплексора

С помощью логического анализатора получить диаграммы работы мультиплексора.

Описать работу мультиплексора в аналитической форме, задав функцию $f(y)$.

4. Реализация произвольной логической функции с произвольным количеством элементов на основе мультиплексора:

Реализовать произвольную логическую функцию $f(A, B, C \dots N)$ на основе мультиплексора 8 в 1 и заданного базиса.

Количество аргументов и наборы, на которых функция принимает значение 1, а также базис задаются преподавателем.

Задать функцию с помощью таблицы. Написать СДНФ заданной функции.

Собрать в программе Electronics Workbench схему, реализующую заданную функцию на основе модели микросхемы 74151 и микросхем заданного базиса.

Отчет должен содержать схемы, таблицы или диаграммы исследуемых устройств

Контрольные вопросы:

1. Что такое унарный код?
2. Что такое шифратор?
3. Что такое дешифратор?
4. Каково назначение входов дешифратора?
5. Почему нет отдельного устройства – демультиплексора?
6. Что такое разрешающий вход?
7. Как реализовать разрешающий вход двумя способами?
8. При каком условии дешифратор можно использовать в качестве демультиплексора?
9. Что такое мультиплексор и каково назначение его входов?

Лабораторная работа № 5

Последовательностные схемы. Счетчики

Цель работы: исследование счетчиков.

Краткие теоретические сведения

Как следует из самого названия, счетчики предназначены для счета входных импульсов. То есть с приходом каждого нового входного импульса двоичный код на выходе счетчика увеличивается (или уменьшается) на единицу.

По быстродействию все счетчики делятся на три большие группы:

- асинхронные счетчики (или последовательные);
- синхронные счетчики с асинхронным переносом (или параллельные счетчики с последовательным переносом, синхронно-асинхронные счетчики);
- синхронные счетчики (или параллельные).

Количество переключающих сигналов, которое надо подать на вход счетчика для того, чтобы счетчик вернулся в исходное состояние, равное числу состояний счетчика, называется коэффициентом пересчета или модулем счетчика ($K_{сч}$):

$$K_{сч} = 2^N, \quad (2)$$

где N – количество триггеров.

Асинхронные счетчики (последовательные)

Асинхронные счетчики строятся из простой цепочки Т-триггеров. Выходной сигнал каждого триггера служит входным сигналом для следующего триггера. Поэтому все разряды (выходы) асинхронного счетчика переключаются последовательно (отсюда название – последовательные счетчики), один за другим, начиная с младшего и заканчивая старшим. Каждый следующий разряд переключается с задержкой относительно предыдущего, то есть асинхронно, не одновременно с входным сигналом и с другими разрядами.

Чем больше разрядов имеет счетчик, тем большее время ему требуется на полное переключение всех разрядов. Задержка переключения каждого разряда примерно равна задержке триггера, а полная задержка установления кода на выходе счетчика равна задержке одного разряда, умноженной на число разрядов счетчика.

Последовательный характер переходов триггеров счетчика является источником ложных сигналов на его выходах. Например, в счетчике, ведущем счет в четырехразрядном двоичном коде с «весами» 8-4-2-1, при переходе от числа 0111 к числу 1000 на выходе появится следующая последовательность сигналов:

0111 → 0110 → 0100 → 0000 → 1000.

Эти дополнительные состояния могут вызвать неправильную работу других устройств.

Синхронные счетчики (параллельные)

Синхронные (или параллельные) счетчики представляют собой наиболее быстродействующую разновидность счетчиков. Нарастивание их разрядности при соблюдении определенных условий не приводит к увели-

чению полной задержки срабатывания. Можно считать, что именно синхронные счетчики работают как идеальные, все разряды которых срабатывают одновременно, параллельно. Задержка срабатывания счетчика в этом случае примерно равна задержке срабатывания одного триггера. Достигается такое быстродействие существенным усложнением внутренней структуры микросхемы.

Каждый триггер вырабатывает для всех последующих лишь сигналы управления, являющиеся логической функцией состояния счетчика и определяющие конкретные триггеры, которые изменяют состояние при данном входном импульсе.

Недостатком синхронных счетчиков является более сложное управление их работой по сравнению с асинхронными счетчиками и с синхронными счетчиками с асинхронным переносом. Поэтому синхронные счетчики целесообразно применять только в тех случаях, когда действительно требуется очень высокое быстродействие, очень высокая скорость переключения разрядов. Иначе усложнение схемы управления может быть не оправдано.

Для объединения нескольких синхронных счетчиков с целью увеличения числа их разрядов (для каскадирования) используется специальный выходной сигнал переноса. В зависимости от принципов формирования этого сигнала и от принципов его использования синхронные (параллельные) счетчики делятся на счетчики с асинхронным (последовательным) переносом и счетчики с синхронным (параллельным) переносом (или полностью синхронные счетчики).

Синхронные счетчики с асинхронным переносом

Синхронные счетчики с асинхронным переносом по быстродействию занимают промежуточное положение между асинхронными счетчиками и полностью синхронными счетчиками. Управление их работой проще, чем у синхронных счетчиков, но сложнее, чем у асинхронных. Работают данные счетчики по положительному фронту входного сигнала (или, что то же самое, по заднему фронту отрицательного сигнала). Основная суть их работы сводится к следующему: все разряды одного счетчика переключаются одновременно, но при каскадировании каждый следующий счетчик (дающий более старшие разряды) переключается с задержкой относительно предыдущего счетчика (дающего более младшие разряды). То есть задержка переключения многоразрядного счетчика увеличивается в данном случае не с каждым новым разрядом (как у асинхронных счетчиков), а с каждой новой микросхемой.

Сигнал переноса у этих счетчиков при прямом счете вырабатывается тогда, когда все разряды равны единице (достигнут максимальный код) и когда приходит входной сигнал. Поэтому сигнал переноса, повторяющий

входной сигнал, будет задержан относительно входного сигнала. И именно этот сигнал переноса используется в качестве входного для следующего счетчика при каскадировании. То есть входной сигнал второго счетчика задержан относительно входного сигнала первого счетчика, входной сигнал третьего счетчика задержан относительно входного сигнала второго счетчика и т. д.

Кольцевые счетчики

Кольцевые счетчики строятся на базе регистров сдвига. Такие счетчики получили название – счетчики Джонсона. Счетчик Джонсона имеет коэффициент пересчета, вдвое больший числа составляющих его триггеров. В частности, если счетчик состоит из трех триггеров ($m = 3$), то он будет иметь шесть устойчивых состояний. Счетчик Джонсона используется в системах автоматики в качестве распределителей импульсов.

Задание:

1. Собрать в программе Electronics Workbench схему, представленную на рис. 10.

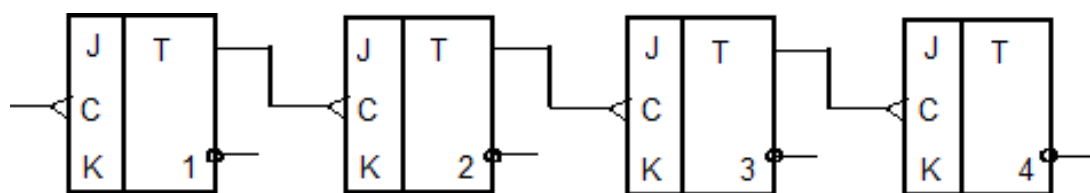


Рис. 10. Принципиальная схема асинхронного счетчика

Для исследования схемы необходимо задать счетный режим каждого триггера.

2. Собрать в программе Electronics Workbench схему, представленную на рис. 11.

Для реализации данной схемы необходимо использовать модель микросхемы 7472 (AND gated JK MS-SLV FF (pre, clr)) из набора предлагаемых в программе Electronics Workbench.

3. Собрать в программе Electronics Workbench схему, представленную на рис. 12.

4. Собрать в программе Electronics Workbench схему, представленную на рис. 13.

5. Собрать в программе Electronics Workbench схему, представленную на рис. 14.

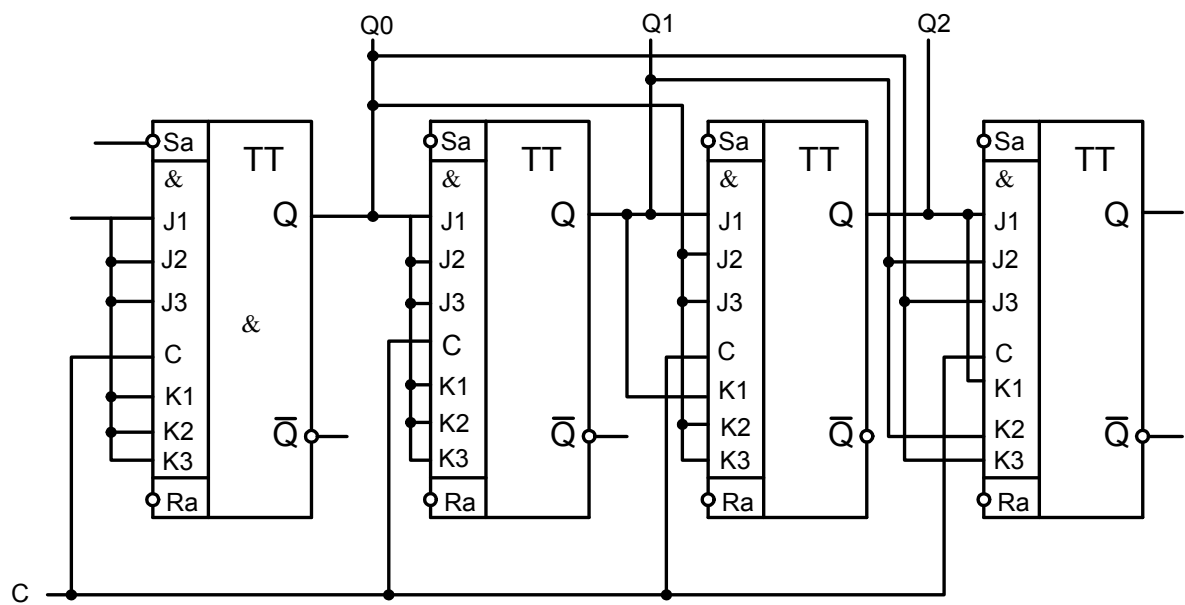


Рис. 11. Схема синхронного счетчика

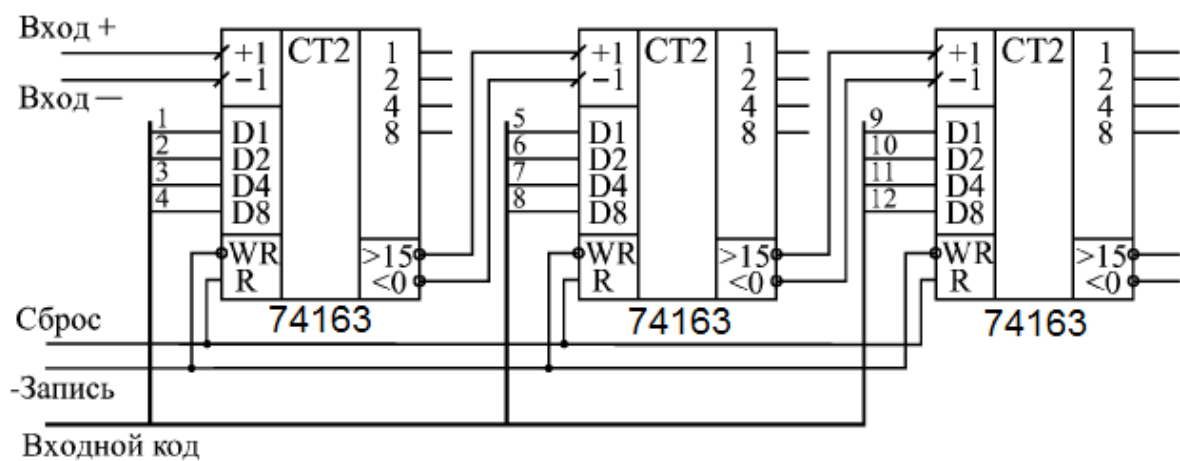


Рис. 12. Схема синхронного счетчика с асинхронным переносом

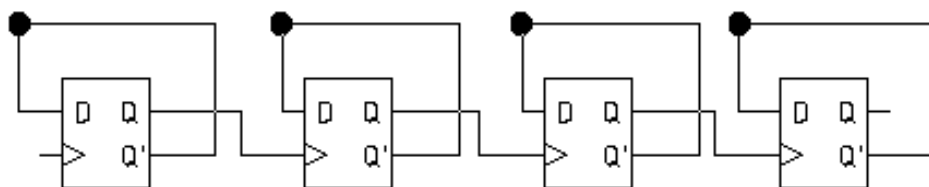


Рис. 13. Схема асинхронного вычитающего счетчика

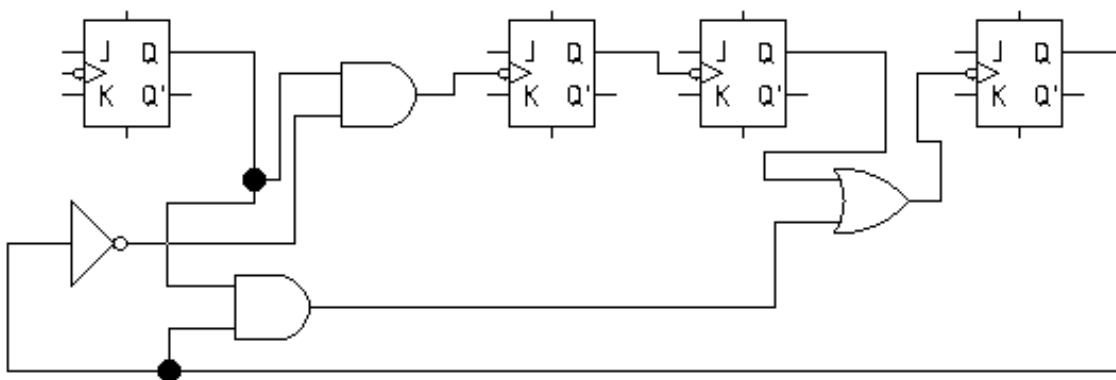


Рис. 14. Схема синхронного счетчика с измененным модулем счета

Для исследования схемы необходимо задать счетный режим каждого триггера.

6. Собрать в программе Electronics Workbench схему, представленную на рис. 15.

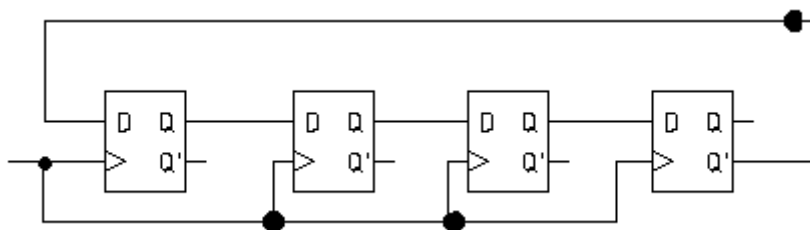


Рис. 15. Схема кольцевого счетчика Джонсона

7. Для исследования работы счетчиков к выходам триггеров можно подключить различные устройства, такие как:

- а) семисегментный индикатор;
- б) красный индикатор (red probe);
- с) логический анализатор.

Схемы счетчиков для исследования задаются преподавателем.

8. Для каждой схемы необходимо получить таблицу состояний и диаграмму сигналов, определить коэффициент пересчета (модуль счетчика), классифицировать счетчик.

9. Подготовить отчет. Отчет должен содержать схемы, таблицы состояний и диаграммы исследуемых устройств.

Контрольные вопросы:

1. Чем различаются асинхронные и синхронные счетчики?
2. Что такое модуль счетчика?
3. Чем различаются синхронные счетчики с асинхронным (последовательным) переносом и счетчики с синхронным (параллельным)?

4. Что является источником ложных сигналов в асинхронных счетчиках?
5. Что такое естественный порядок счета?
6. Какие достоинства и недостатки у синхронных счетчиков?
7. Как изменить модуль счетчика?
8. В чем состоит отличительная особенность счетчика Джонсона?

Лабораторная работа № 6

Последовательностные схемы. Регистры

Цель работы: исследование регистров.

Краткие теоретические сведения

Одним из наиболее распространенных узлов цифровой техники и устройств автоматики являются регистры.

Регистром называется устройство, осуществляющее прием, хранение преобразование и выдачу чисел в двоичном коде. Информация в регистре хранится в виде числа. Он включает в себя отдельные триггеры, количество которых соответствует числу разрядов двоичного кода и логические элементы

Регистры строятся на базе синхронных одно- и двухступенчатых RS- и D-триггеров. Регистры могут быть реализованы также на базе JK-триггеров. По способу приема и выдачи информации регистры делятся на следующие группы:

- с параллельным приемом и выдачей;
- с последовательным приемом и выдачей;
- с последовательным приемом и параллельной выдачей;
- с параллельным приемом и последовательной выдачей;
- комбинированные, с различными способами приема и выдачи;
- реверсивные.

Регистры хранения (памяти)

Регистры с параллельным приемом и выдачей информации служат для хранения информации и называются регистрами памяти или хранения. Изменение хранящейся информации в регистре памяти (запись новой информации) осуществляется после установки на входах $D_0...D_m$ новой цифровой комбинации (информации) при поступлении определенного уровня или фронта синхросигнала (синхроимпульса) C на тактируемый вход регистра. Количество разрядов записываемой цифровой информации

определяется разрядностью регистра, а разрядность регистра, в свою очередь, определяется количеством триггеров, образующих этот регистр.

Параллельные регистры, в свою очередь, делятся на две группы:

- регистры, срабатывающие по фронту управляющего сигнала C (или тактируемые регистры);
- регистры, срабатывающие по уровню управляющего сигнала C (или стробируемые регистры).

Чаще всего в цифровых схемах используются регистры, управляемые фронтом (то есть тактируемые), однако и стробируемые регистры имеют свой круг задач, в которых их ничто не может заменить.

Параллельные регистры, срабатывающие по фронту

Принцип действия регистров, срабатывающих по фронту тактового сигнала, ничем не отличается от принципа действия D-триггера. По положительному фронту тактового сигнала C каждый из выходов регистра устанавливается в тот уровень, который был в этот момент на соответствующем данному выходу входе D , и сохраняется таковым до прихода следующего положительного фронта сигнала C .

Параллельные регистры, срабатывающие по уровню

Параллельные регистры, срабатывающие по уровню стробирующего сигнала (или, как их еще называют, регистры-защелки, англ. «Latch»), можно рассматривать как некий гибрид между буфером и регистром. Когда сигнал на стробирующем входе – единичный, такой регистр пропускает через себя входные информационные сигналы, а когда стробирующий сигнал становится равен нулю, регистр переходит в режим хранения последнего из пропущенных значений входных сигналов.

Основное применение регистра, срабатывающего по уровню стробирующего сигнала, состоит в запоминании на какое-то заданное время входного кода, причем в остальное время выходной код регистра должен повторять входной.

Сдвиговые регистры

Регистры с последовательным приемом или выдачей информации называются **сдвиговыми регистрами**, или **регистрами сдвига**. Регистры сдвига могут выполнять функции хранения и преобразования информации. Они могут быть использованы для построения умножителей и делителей чисел двоичной системы счисления, т. к. сдвиг двоичного числа влево на один разряд соответствует умножению его на два, а сдвиг вправо – делению на два. Регистры сдвига широко используются для выполнения различных временных преобразований цифровой информации: последова-

тельное накопление последовательной цифровой информации с последующей одновременной выдачей (преобразование последовательной цифровой информации в параллельный код) или одновременный прием (параллельный прием) информации с последующей последовательной выдачей (преобразование параллельного кода в последовательный). Регистры сдвига могут служить также в качестве элементов задержки сигнала, представленного в цифровой форме.

Генераторы псевдослучайных чисел

В предыдущей лабораторной работе были представлены простейшие кольцевые счетчики. Они рассматривались как один из способов построения счетчиков по модулю N . Рассмотрим работу обратной связи, когда комбинация более поздних стадий процесса подается вновь на входной логический элемент. Если выбирается правильная комбинация, тогда выходной сигнал имеет максимальную длину m (т. е. коэффициент пересчета счетчика). Для 8-битового счетчика $N = 8$, тогда на основании формулы (2) $m = 255$. Такие схемы, часто называемые генераторами псевдослучайных чисел (ГПСЧ), имеют несколько особенностей. Оказывается, что сформированная последовательность случайна в небольшом диапазоне и фактически повторяется через $2^N - 1$ циклов. Более того, данный набор появляется только однажды среди всех $2^N - 1$ наборов, составляющих последовательность.

Генераторы псевдослучайных последовательностей и чисел находят широкое применение в компьютерной безопасности, криптографии, тестировании аудиосистем, проверке ошибок в двоичном коде и секретной связи. Рассмотрим пример 6-битового ГПСЧ. На рис. 16 представлена его схема.

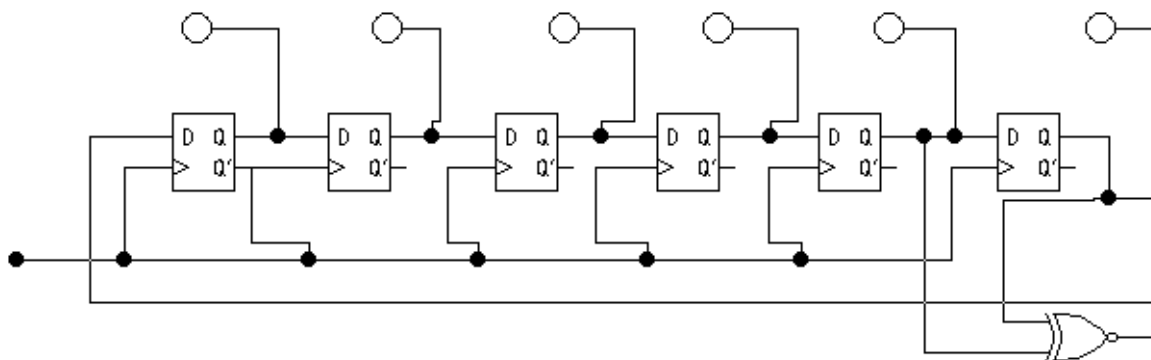


Рис. 16. Схема 6-битового ГПСЧ

На схеме выходные сигналы пятого и шестого регистров поступают на вход логического элемента Иключающее ИЛИ-НЕ, выходное состояние которого подается на сдвиговый регистр. Предполагается, что состояния всех выходов – нулевые. Когда Q_5 и Q_6 равны нулю, то выход элемента Иключающее ИЛИ-НЕ равен 1. Эта величина подается на сдвиговый регистр – вход $D1$. По синхросигналу все биты сдвигаются вправо. Следовательно, начальное значение (000000) становится (100000). Нетрудно мысленно пробежать несколько циклов, чтобы увидеть, что значения выходов $Q_1...Q_6$ образуют следующую последовательность:

(000000) (100000) (110000) (111000)... и т. д.

После 63 циклов последовательность возвращается к исходному состоянию (000000).

Задание:

1. Собрать в программе Electronics Workbench схему, представленную на рис. 17.

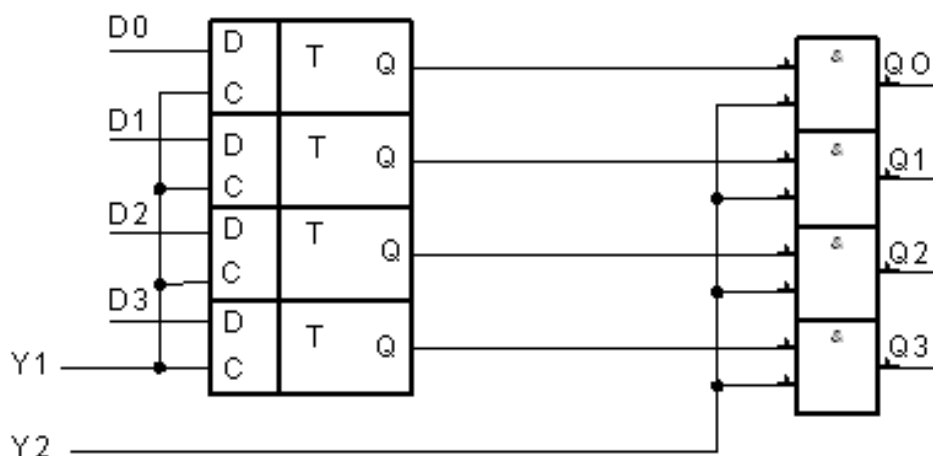


Рис. 17. Схема параллельного регистра

2. Собрать в программе Electronics Workbench схему, представленную на рис. 18.

3. Собрать в программе Electronics Workbench схему, представленную на рис. 19 (КС – комбинационная схема).

Количество разрядов ГПСЧ и состав КС задаются преподавателем.

4. Для каждого устройства получить диаграммы входных и выходных сигналов.

5. Подготовить отчет. Отчет должен содержать схемы и диаграммы исследуемых устройств.

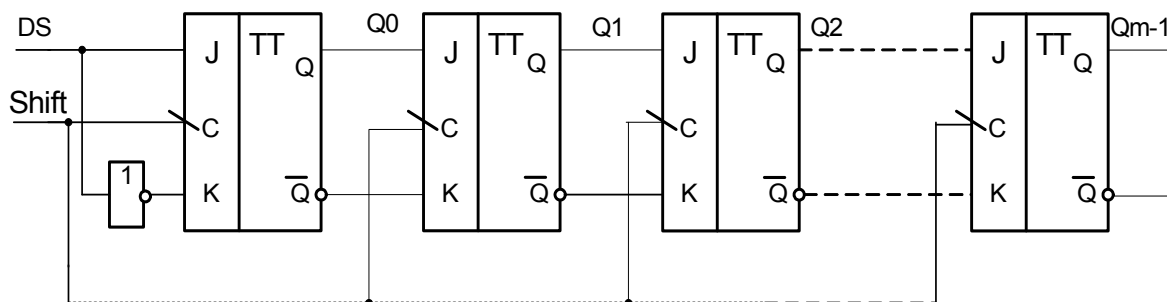


Рис. 18. Схема сдвигового регистра

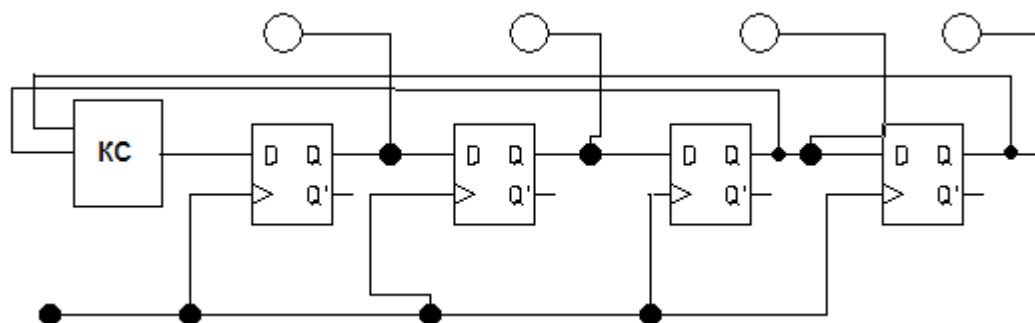


Рис. 19. Схема ГПСЧ

Контрольные вопросы:

1. Что такое регистр?
2. Какие способы организации чтения и записи в память вы знаете?
3. Чем различаются параллельные регистры?
4. Чем определяется задержка распространения сигнала в параллельных и сдвиговых регистрах?
5. Какие операции можно производить над двоичным кодом с помощью регистров?
6. Что такое ГПСЧ?
7. Как изменить последовательность, вырабатываемую ГПСЧ?
8. Для чего нужны ГПСЧ?

Библиографический список

1. *Новиков Ю. В.* Основы цифровой схемотехники. Базовые элементы и схемы. Методы проектирования. – М.: Мир, 2001.
2. *Угрюмов Е. П.* Проектирование элементов и узлов ЭВМ. – М.: Высшая школа, 1987.
3. *Угрюмов Е. П.* Цифровая схемотехника. – СПб.: БХВ-Санкт-Петербург, 2000.
4. Применение интегральных микросхем в электронной вычислительной технике: Справочник / Под ред. Файзулаева Б. Н., Тарабрина Б. Н. – М.: Радио и связь, 1986.
5. *Хоровиц П., Хилл У.* Искусство схемотехники. В 3-х томах / Пер. с англ. – Мир, 1993.
6. Электротехника и электроника в упражнениях: Практикум на Electronics Workbench. В 2 т. / Под ред. Д. И. Панфилова. – М.: ДОДЭКА, 2001.
7. Лабораторный практикум по схемотехнике с использованием системы Electronics Workbench: метод. указания / А. В. Дубровский. – СПб.: ПГУПС, 2005.

Содержание

Введение	1
Лабораторная работа № 1. Исследование триггеров. Статика	2
Лабораторная работа № 2. Исследование триггеров. Динамика	4
Лабораторная работа № 3. Гонки и состязания в цифровых устройствах	6
Лабораторная работа № 4. Комбинационные устройства	10
Лабораторная работа № 5. Последовательностные схемы. Счетчики	12
Лабораторная работа № 6. Последовательностные схемы. Регистры	18
Библиографический список	23

Основы микроэлектроники и схемотехники

Методические указания
к выполнению лабораторных работ

Разработал ст. преподаватель **Дашонок Виктор Леонидович**

Редактор и корректор *Л. Г. Щёкина*
Компьютерная вёрстка *М. С. Савастеевой*

План 2010 г., № 178

Подписано в печать с оригинал-макета 27.12.2010.
Формат 60×84¹/₁₆. Бумага для множ. апп. Печать офсетная.
Усл. печ. л. 1,5. Уч.-изд. л. 1,5. Тираж 100 экз.

Заказ

Петербургский государственный университет путей сообщения
190031, СПб, Московский пр., 9

Типография ПГУПС. 190031, СПб, Московский пр., 9.