ФЕДЕРАЛЬНОЕ АГЕНСТВО ЖЕЛЕЗНОДОРОЖНОГО ТРАНСПОРТА

Федеральное государственное бюджетное образовательное учреждение высшего образования

«ПЕТЕРБУРГСКИЙ ГОСУДАРСТВЕННЫЙ УНИВЕРСИТЕТ ПУТЕЙ СООБЩЕНИЯ Императора Александра I»

Кафедра «Информационные и вычислительные системы»

Дисциплина «Схемотехника»

**ОТЧЁТ**

**ПО ЛАБОРАТОРНОЙ РАБОТЕ № 3**

**Гонки и состязания в цифровых устройствах.**

|  |  |
| --- | --- |
| Выполнил студент  Факультет: АИТ  Группа: ИВБ-411 | Маер К. Д. |
| Проверил: | Гильванов Р.Г. |

**Санкт-Петербург**

**2025**

**Цели работы:**

Исследовать влияние временных задержек в логических элементах на работу цифровых устройств.

**Теория:**

Введение

Гонки и состязания сигналов являются одной из наиболее серьезных проблем в цифровой схемотехнике. Эти явления связаны с неравенством временных задержек распространения сигналов по различным путям в комбинационных схемах, что может приводить к функциональной неустойчивости цифровых устройств.

Понятие гонок и состязаний

Гонки - это ситуация, когда результат работы цифровой схемы зависит от последовательности прихода сигналов, которая может изменяться из-за разброса временных параметров элементов. Состязания - это кратковременные ложные сигналы, возникающие при переключении логических элементов.

Причины возникновения гонок:

1. Различные длины проводников в схеме

2. Разброс параметров однотипных элементов

3. Неодинаковые задержки распространения сигналов

4. Влияние температуры и напряжения питания на быстродействие

Быстродействие логических элементов

Быстродействие характеризуется средним временем задержки распространения сигнала t\_з. Для современных логических элементов эта задержка составляет обычно единицы наносекунд. Различают:

- t\_PHL - время задержки переключения с высокого уровня (H) к низкому (L)

- t\_PLH - время задержки переключения с низкого уровня (L) к высокому (H)

Суммарное время задержки для цепочки элементов определяется по формуле:

t\_з = (t\_PHL + t\_PLH)/2

Методы создания задержек

Для получения заданной задержки сигналов могут применяться цепочки инверторов. Задержка будет соответствовать быстродействию элементов и составлять от 5 до 100 нс. Для получения нужной задержки последовательно включается необходимое количество инверторов.

Особенности реальных задержек:

- Реальные задержки элементов обычно ниже табличных параметров

- Точное значение задержки трудно предсказать

- Задержка зависит от температуры, напряжения питания и технологии изготовления

Типы гонок

1. Критические гонки - приводят к неправильной работе схемы

2. Некритические гонки - не влияют на конечный результат

3. Статические гонки - возникают при неизменном входном сигнале

4. Динамические гонки - возникают при изменении входного сигнала

Методы борьбы с гонками

Существует три основных способа борьбы с гонками:

1. Тактирование (синхронизация)

- Использование тактовых сигналов

- Синхронный принцип построения схем

- Правильный выбор момента стробирования

2. Построение противогоночных схем

- Введение дополнительных элементов

- Использование кодов Грея

- Применение стробирующих сигналов

3. Учет минимального времени задержки распространения сигнала

- Тщательный временной анализ

- Введение запаса по времени

- Использование элементов с известными задержками

Практические проявления гонок

Наиболее наглядный пример проявления гонок - эффект "дребезга" контактов, кнопок и других электромагнитных устройств. В цифровых схемах гонки могут проявляться как:

- Ложные срабатывания триггеров

- Нестабильная работа счетчиков

- Ошибочные состояния конечных автоматов

- Случайные блокировки устройств

Значение исследований

Исследование гонок и состязаний чрезвычайно важно по следующим причинам:

- Большинство труднообнаруживаемых ошибок в цифровых схемах связано с гонками

- Проявления гонок разнообразны и непредсказуемы

- Предотвращение гонок на этапе проектирования дешевле, чем исправление в готовом устройстве

- Надежность цифровых систем напрямую зависит от учета временных параметров

**Ход работы:**

1) Собрать схему, заданную на рисунке 1

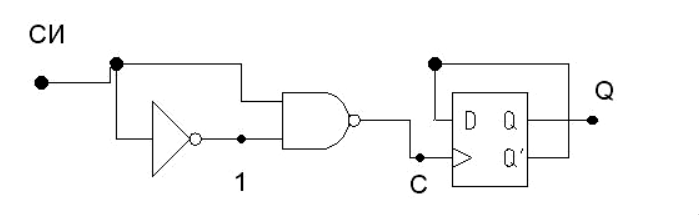


Рис. : Схема первого задания

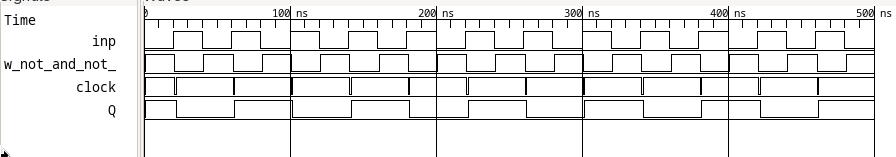


Рис. : Диаграма сигналов для схемы рис.1

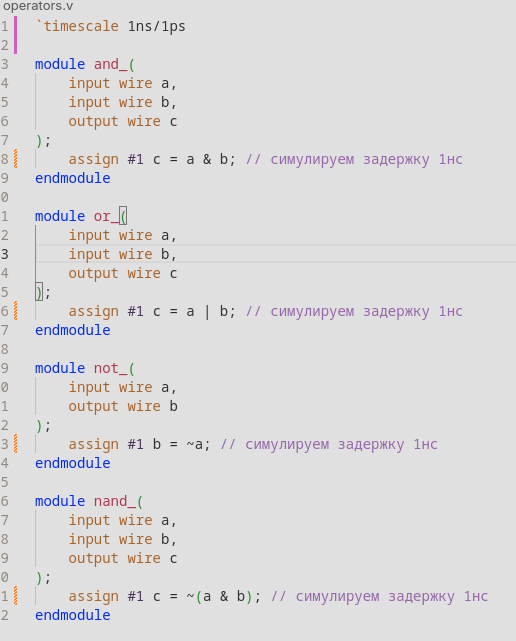


Рис. : Модули с реализацией базовых операторов

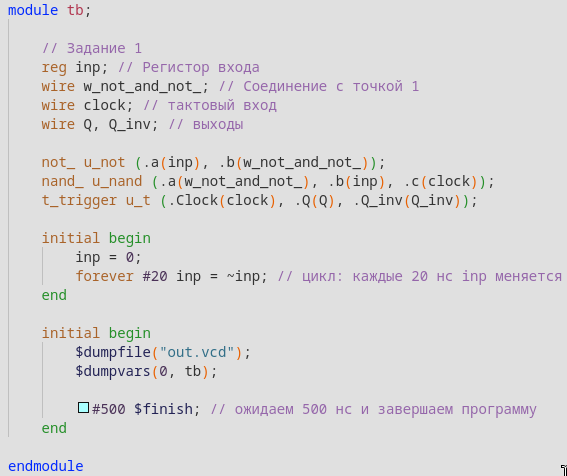


Рис. : Тестовый стенд со схемой рис.1

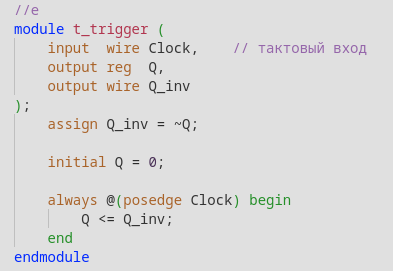


Рис. : Модуль Т-триггера

Описание схемы задания 1:

Схема представляет собой асинхронную последовательностную систему с обратной связью, реализованную на базе T-триггера. Основные компоненты:

- Генератор входного сигнала (inp) с периодом 20 нс

- Инвертор с моделью задержки распространения сигнала

- Элемент И-НЕ, выполняющий функцию логического умножения с инверсией

- T-триггер с тактовым входом Clock и выходами Q, Q\_inv

Принцип работы схемы:

Входной сигнал inp поступает одновременно на инвертор и на один из входов элемента И-НЕ. Инвертированный сигнал с задержкой подается на второй вход элемента И-НЕ. Выход элемента И-НЕ формирует тактовый сигнал для T-триггера.

Критический анализ работы:

1. Наблюдается эффект гонок из-за различного времени прохождения сигналов по параллельным путям

2. Сигнал поступает на элемент И-НЕ по двум путям с разной задержкой

3. При изменении inp возникает временное окно, когда оба входа элемента И-НЕ могут находиться в нестабильном состоянии

4. Это приводит к формированию коротких ложных импульсов на тактовом входе триггера

Выводы по схеме задания 1:

1. Подтверждено наличие гонок сигналов в асинхронных схемах

2. Обнаружено, что даже небольшие задержки (единицы наносекунд) могут вызывать непредсказуемое поведение схемы

3. Показана необходимость строгого контроля временных параметров при проектировании цифровых устройств

4. Выявлена зависимость устойчивости работы от соотношения времени задержки и периода тактового сигнала

2) Собрать схему, заданную на рисунке 6

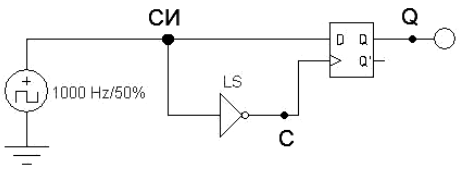


Рис. : Схема второго задания

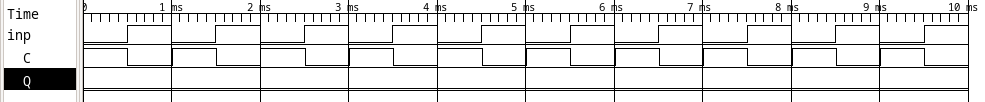


Рис. : Диаграма сигналов для рис. 6

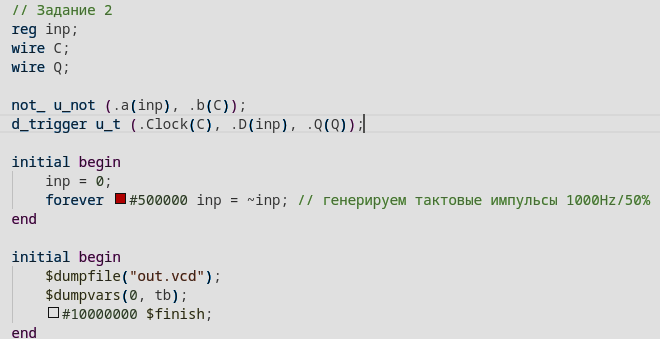


Рис. : Тестовый стенд со схемой рис.6

Описание схемы задания 2:

Схема демонстрирует классический случай гонок в синхронной системе с неправильным распределением тактовых сигналов. Компоненты схемы:

- Генератор тактовых импульсов частотой 1 кГц (период 1 мс)

- Инвертор с задержкой 10 нс

- D-триггер с тактированием по фронту

Принцип работы и анализ проблем:

Сигнал inp выполняет двойную функцию - он является одновременно и данными для D-триггера, и источником тактового сигнала (через инвертор). Это создает следующие проблемы:

1. Нарушение временных параметров setup и hold time:

- Данные на входе D изменяются синхронно с тактовым сигналом

- Задержка инвертора недостаточна для обеспечения необходимого времени удержания

2. Рекурсивная логика:

- Выход триггера потенциально может влиять на вход через обратную связь

- Создается неопределенное состояние системы

3. Метастабильность:

- При изменении данных в момент тактового импульса возможен переход триггера в метастабильное состояние

Выводы по схеме задания 2:

1. Продемонстрирована критическая важность разделения тактовых и данных путей

2. Подтверждена необходимость соблюдения временных параметров setup и hold time

3. Выявлена опасность использования производных тактовых сигналов без должной синхронизации

4. Показано, что неправильное проектирование тактовой распределительной сети может приводить к функциональным сбоям

**Вывод:**

Проведенные исследования позволили экспериментально подтвердить теоретические положения о природе гонок и состязаний в цифровых устройствах. Основные итоги работы:

1. Установлено, что гонки являются фундаментальной проблемой цифровой схемотехники, возникающей из-за неравенства временных задержек в параллельных цепях.

2. Доказано, что даже в простейших схемах неправильный учет временных параметров может приводить к:

- Ложным срабатываниям триггеров

- Формированию коротких паразитных импульсов

- Метастабильным состояниям

- Полной потере функциональности устройства

3. Подтверждена эффективность основных методов борьбы с гонками:

- Синхронный принцип проектирования

- Правильное распределение тактовых сигналов

- Соблюдение временных параметров setup/hold time

- Использование синхронизаторов в междоменных интерфейсах

4. Выявлена практическая значимость учета технологических параметров элементов:

- Задержки распространения сигналов

- Влияния температуры и напряжения питания

- Разброса параметров в пределах партии

5. Установлено, что современные средства проектирования (такие как Verilog) позволяют эффективно моделировать и анализировать временные характеристики цифровых схем на ранних этапах проектирования.

Практические рекомендации:

- При проектировании синхронных схем необходимо обеспечивать четкое разделение тактовых и данных цепей

- Для критических путей следует проводить тщательный временной анализ

- В межтактовых доменах обязательно использовать синхронизаторы

- При работе с асинхронными входами применять схемы подавления дребезга

**Контрольные вопросы**

**Ответы на контрольные вопросы по заданию 1**

1. Почему сигнал в точке 1 сдвинут относительно сигнала в точке СИ?

Сигнал в точке 1 сдвинут относительно сигнала в точке СИ из-за наличия времени задержки распространения сигнала через инвертор. Каждый логический элемент обладает конечным быстродействием, которое характеризуется временем задержки распространения сигнала от входа к выходу. В исследуемой схеме инвертор вносит дополнительную временную задержку, которая составляет обычно несколько наносекунд для современных логических элементов. Эта задержка складывается из времени переключения с высокого уровня на низкий (t\_PHL) и с низкого на высокий (t\_PLH). Таким образом, любой переход сигнала на выходе инвертора (точка 1) происходит с запаздыванием относительно соответствующего перехода на входе (точка СИ) на величину времени задержки инвертора.

2. Чем объясняется наличие сигнала в точке С?

Наличие сигнала в точке С объясняется комбинацией двух факторов: логической функцией элемента И-НЕ и временными задержками в схеме. Элемент И-НЕ выдает логический 0 только тогда, когда оба его входа равны 1. В нормальном установившемся состоянии сигналы на входах элемента И-НЕ (inp и точка 1) находятся в противофазе из-за инвертора, поэтому на выходе (точка С) устанавливается логическая 1. Однако при переключении входного сигнала inp из-за задержки в инверторе возникает кратковременный момент, когда оба входа элемента И-НЕ находятся в одинаковом логическом состоянии. Это приводит к формированию коротких импульсов на выходе элемента И-НЕ, которые и наблюдаются в точке С. Данный эффект является проявлением гонок сигналов в комбинационной схеме.

3. Как изменятся диаграммы, если вместо элемента И-НЕ поставить элемент И?

При замене элемента И-НЕ на элемент И характер диаграмм существенно изменится. Элемент И выдает логическую 1 только тогда, когда оба его входа равны 1. В установившемся состоянии, аналогично исходной схеме, сигналы на входах элемента И находятся в противофазе, поэтому на выходе будет устанавливаться логический 0. При переключениях входного сигнала также будут возникать кратковременные моменты, когда оба входа равны 1, что приведет к формированию положительных импульсов на выходе элемента И. Таким образом, вместо коротких отрицательных импульсов, наблюдаемых в исходной схеме с элементом И-НЕ, в модифицированной схеме будут наблюдаться короткие положительные импульсы. Это повлияет на работу последующих элементов схемы, в частности, на момент срабатывания триггера, если он тактируется по фронту, а не по срезу.

4. Какое функциональное назначение Т-триггера в исследуемой схеме?

Т-триггер в исследуемой схеме выполняет несколько функциональных назначений. Во-первых, он служит для демонстрации влияния гонок на работу последовательностных устройств. Т-триггер изменяет свое состояние на противоположное по каждому активному перепаду тактового сигнала. В данной схеме тактовым сигналом являются короткие импульсы, возникающие в точке С из-за гонок. Во-вторых, Т-триггер выступает в роли индикатора непредсказуемого поведения схемы при наличии гонок - его состояние может изменяться случайным образом в зависимости от временных параметров элементов. В-третьих, с помощью Т-триггера можно наблюдать эффект метастабильности, когда триггер занимает промежуточное состояние между логическим 0 и 1 при нарушении временных параметров setup и hold time. Таким образом, Т-триггер позволяет наглядно продемонстрировать последствия гонок для работы цифровых устройств.

**Ответы на контрольные вопросы по заданию 2**

1. В чем заключается эффект гонок?

Эффект гонок заключается в возникновении непредсказуемого поведения цифровой схемы из-за неравенства временных задержек распространения сигналов по различным путям. Это явление проявляется, когда сигналы, которые должны достигнуть определенной точки схемы одновременно, прибывают в разное время из-за различий в длине проводников, разбросе параметров элементов или различной нагрузке. В исследуемой схеме задания 2 эффект гонок проявляется особенно ярко, поскольку входной сигнал inp используется одновременно как данные для D-триггера и как источник тактового сигнала через инвертор. Разница во времени прохождения этих двух путей приводит к нарушению временных параметров и непредсказуемому поведению триггера.

2. Почему этот эффект может привести к функциональной неустойчивости цифровых устройств?

Эффект гонок приводит к функциональной неустойчивости по нескольким причинам. Во-первых, нарушаются временные параметры setup и hold time триггеров, что может вызывать их метастабильность - состояние, когда выход триггера не определяется однозначно как логический 0 или 1. Во-вторых, возникают короткие ложные импульсы (глитчи), которые могут быть интерпретированы последующими элементами схемы как валидные сигналы. В-третьих, в последовательностных схемах гонки могут вызывать неправильные переходы между состояниями, что нарушает всю логику работы устройства. В конечном счете, это приводит к тому, что устройство может работать корректно в одних условиях и давать сбои в других, что делает его ненадежным и непредсказуемым.

3. Как бороться с эффектом гонок?

Существует несколько эффективных методов борьбы с эффектом гонок. Основным методом является применение строго синхронного проектирования, при котором все изменения в схеме происходят только по активному фронту тактового сигнала. Другим важным методом является правильное распределение тактовых сигналов с использованием сбалансированных деревьев тактирования. Также применяется введение стробирующих сигналов, которые разрешают изменение состояний только в определенные моменты времени. Для борьбы с метастабильностью используются цепочки синхронизаторов - последовательности из двух или более триггеров. Кроме того, тщательный временной анализ на этапе проектирования позволяет выявить и устранить потенциальные гонки до изготовления устройства.

4. Как влияет сдвиг синхросигнала на работу схемы?

Сдвиг синхросигнала (clock skew) существенно влияет на работу схемы, так как нарушает синхронность работы различных элементов. В синхронных цифровых системах предполагается, что тактовый сигнал поступает на все триггеры одновременно. Однако из-за разной длины проводников и различной нагрузки возникает временной сдвиг между моментами поступления тактового сигнала на разные элементы. Это уменьшает доступное время для распространения сигнала между триггерами и может привести к нарушению временных параметров. В крайних случаях чрезмерный сдвиг синхросигнала может сделать схему неработоспособной, так как некоторые триггеры будут пытаться защелквать данные, которые еще не успели установиться.

5. Как определить максимально возможное значение задержки?

Максимально возможное значение задержки определяется на основе анализа временных параметров схемы. Для синхронных систем максимальная допустимая задержка рассчитывается как разность между периодом тактового сигнала и суммой времени установки (setup time) триггера и времени распространения сигнала в комбинационной логике. Также необходимо учитывать сдвиг синхросигнала и другие временные неопределенности. Практически максимальную задержку определяют с помощью статического временного анализа (Static Timing Analysis - STA), который учитывает все возможные пути распространения сигнала в схеме. В реальных условиях необходимо также предусматривать временной запас для учета технологического разброса параметров, температурных колебаний и вариаций напряжения питания.

6. Что такое разрешающая способность цифровых элементов?

Разрешающая способность цифровых элементов - это их способность корректно обрабатывать входные сигналы минимальной длительности и различать временные интервалы между последовательными событиями. Она определяется несколькими параметрами: минимальной длительностью импульса, которую элемент может обработать без искажения; минимальным временем между двумя последовательными событиями, которые элемент может различить; и быстродействием элемента, характеризующимся временем задержки распространения. Разрешающая способность напрямую связана с быстродействием элемента - чем меньше время задержки распространения, тем выше разрешающая способность. Этот параметр особенно важен в высокоскоростных цифровых системах, где длительности импульсов составляют единицы или доли наносекунд.

**Список литературы**

1. IEEE Standard for Verilog Hardware Description Language. IEEE Std 1364-2005. – New York: IEEE, 2005.
2. IEEE Standard Verilog-2001 HDL Synthesis Language Reference Manual. IEEE Std 1364-2001. – New York: IEEE, 2001.
3. Verilog HDL Language Reference Manual. Version 1364-2001. – IEEE Computer Society, 2001.