1. Unidad de memoria: Se encarga de almacenar los datos y programas a ejecutar por el CPU.

Unidad de Control: Se encarga de controlar el flujo de las operaciones que se realizan

Unidad aritmética-lógica: Se encarga de realizar operaciones matemáticas.

Unidad de entrada: Dispositivo que permite el ingreso de datos al sistema, por lo general un teclado.

Unidad de salida: Dispositivo que permite ver el resultado del procesamiento de datos, por lo general un monitor.

1. Dirige el tráfico de información entre los registros de la CPU y conecta con la UAL las instrucciones extraídas de la memoria.
2. Se denominan registros internos. Son pequeñas unidades de almacenamiento que la CPU utiliza para guardar temporalmente información durante la ejecución de las instrucciones. Algunos registros son accesibles y tienen un uso específico como el contador de programa, el puntero de pila, el acumulador, los flags, etc… mientras que hay otros que no son accesibles.
3. Registro de datos: Guardar valores de datos numéricos, como son los caracteres o pequeñas órdenes.

Registro de Datos de Memoria (MDR): Es un registro que se encuentra en el procesador y que esta conectado al bus de datos. Tiene poca capacidad y una velocidad alta por la que escribe o lee los datos del bus que van dirigidos a la memoria o al puerto E/S, es decir, un periférico.

Registro de Direcciones: Guardan direcciones que son usadas para acceder a la memoria principal o primaria, que solemos conocer como ROM o RAM.

1. Registros de salida: Almacena los resultados de las operaciones realizadas por la ALU.

Registros de datos: Almacena los operandos y los resultados parciales obtenidos durante las operaciones. Los registros de datos pueden incluir el registro acumulador, que almacena los resultados intermedios de las operaciones.

Registros de entrada: Estos registros almacenan los datos que se van a procesar.

Registros de control: Almacenan instrucciones que controlan que operación debe realizar la ALU.

1. Un BUS es un conjunto de líneas o cables que se utilizan para transmitir datos, señales y energía entre diferentes componentes en un sistema informático o electrónico.

Tipos:

Bus de datos. Se encarga de la transferencia de información entre los distintos componentes del CPU.

Bus de memoria: Es el encargado de transportar datos entre la memoria RAM y el CPU.

Bus de control: Este controla el empleo y acceso a las líneas de dirección y datos. Las señales de control emiten ordenes e información entre los componentes.

Bus de dirección: Este es un medio del procesador independiente del bus de datos, donde se instaura la dirección de memoria de la información que se esta transmitiendo.

Bus paralelo: Este tipo de bus de datos envía bytes de manera simultanea con el soporte de diferentes líneas que poseen funciones específicas.

Bus serie: En este tipo de bus, los datos o la información son enviadas bit a bit y son restaurados mediante registros.

1. Es un ciclo también llamado ciclo de fetch-and-execute o ciclo de fetch-decode-execute, es un período en el que la CPU ejecuta una instrucción de lenguaje máquina. Comprende una secuencia de acciones determinada que debe llevar a cabo la CPU para ejecutar cada instrucción en un programa.
2. .
3. En la arquitectura de Von Neumann, la CPU lee las instrucciones y los datos de la memoria a través del bus. Las instrucciones se decodifican y ejecutan utilizando la ALU y los registros de la CPU. Los registros almacenan temporalmente los datos necesarios para ejecutar las instrucciones rápidamente, mientras que el bus asegura la comunicación eficiente entre la memoria y la CPU. Esta estructura permite a la computadora ejecutar programas de manera secuencial y organizada, siguiendo el flujo de instrucciones almacenadas en la memoria.

En resumen, el bus facilita la transferencia de datos entre la CPU y la memoria, la CPU ejecuta las instrucciones almacenadas en la memoria utilizando los registros para operaciones temporales, y la memoria almacena tanto las instrucciones como los datos que la CPU procesa.

1. A) RIop1 out, RE1 in, RE1 out, Rlop2 out, MAR in, RAM out, MDR out, RE2 in, ALU add, Ac in, Ac out, R7 in

B) Ac out, RE1 in, R7 out, RE2 in, ALU add, Ac in, Ac out, MDR in, MAR in, RAM in

C) R2 out, RE1 in, MAR in, RAM out, MDR in, RAM out, MDR out, RE2 in, RE1 & RE2 in, ALU add, Ac in, Ac out, R4 in

D) R2 out, RE1 in, MAR in, RAM out, MDR in, RAM out, MDR out, RE2 in, RE1 & RE2 in, ALU GE, ACU in