

Relatório
Unidade Lógica Aritimética

Laboratório de Lógica Digital

ICMC

Anna Paula Pawlicka Maule

Guilherme Pinto

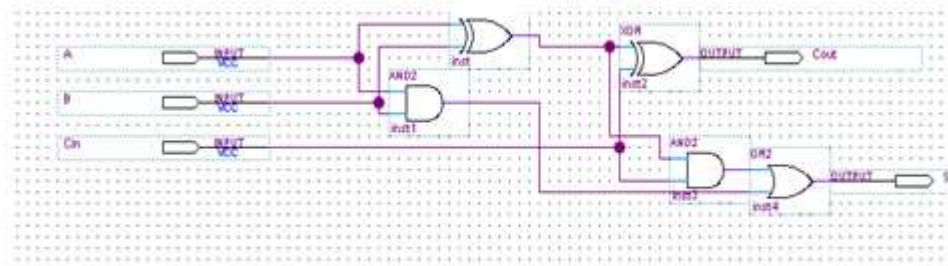
ULA:

Unidade Lógica Aritimética

Nesta ULA foram usadas duas entradas com 5 bits, sendo um bit para selecionar o sinal. Foi implementado um mostrador Hexadecimal, Somador, subtrator, multiplicador, divisor, e comparador.

Somador/Subtrator

(Somador X):

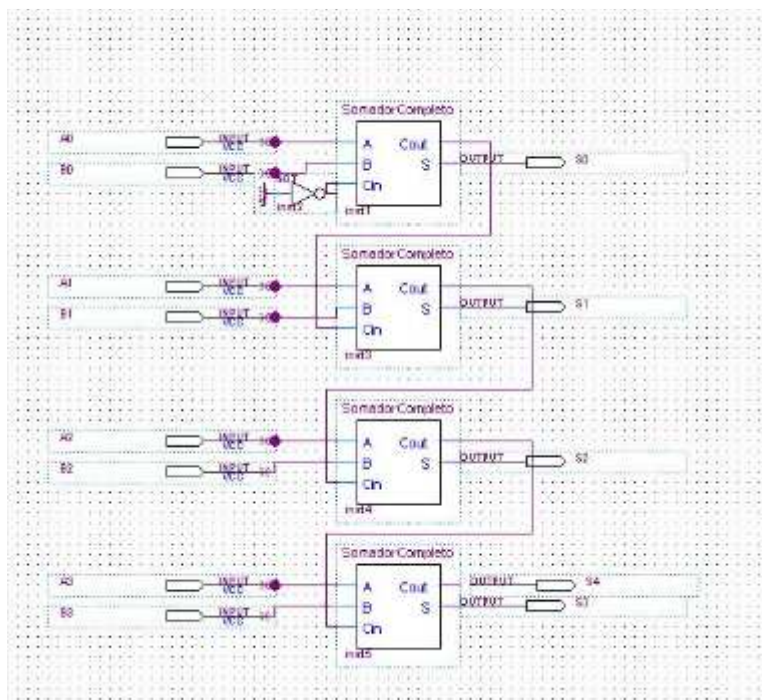


Através da tabela verdade e Karnaugh obtemos, as seguintes expressões para o FULL ADDER:

$$S = A \oplus B \oplus T$$

$$TS = TE + AB + AT$$

Abaixo segue a figura de um somador completo de 4 bits, são 4 caixinha de full adder, cada caixinha pra soma de 1 bit de A e 1 bit de B, e assim respectivamente do bit menos significativo pro mais significativo.



Nesta ULA o somador foi composto, por um comparador, entradas pra verificação do sinal(positivo e negativo), e o somador completo. Se os números binários forem de sinal diferentes, o comparador verifica quem é o maior número e inverte ele, e só depois realiza a soma com o menor número(que ficou conservado), negando o resultado dessa soma, obteremos o valor final desejado. Este somador segue os princípios dos números complementares(válido para qualquer base Z).

Obs: tome overflow 0 como positivo e overflow 1 como negativo.

Exemplo:

$$S=A+B$$

$$A=0\ 1111$$

$$B=1\ 0101$$

Como são de sinais opostos, nega-se o maior número fica(A) e soma-se com o menor : $S(\text{parcial})=\bar{A}+B$

$$\bar{A}=0000$$

$$B=0101$$

$$S(\text{parcial})=0101$$

$S(\text{final}) = \overline{S}(\text{parcial})$

$S(\text{final}) = 1010$

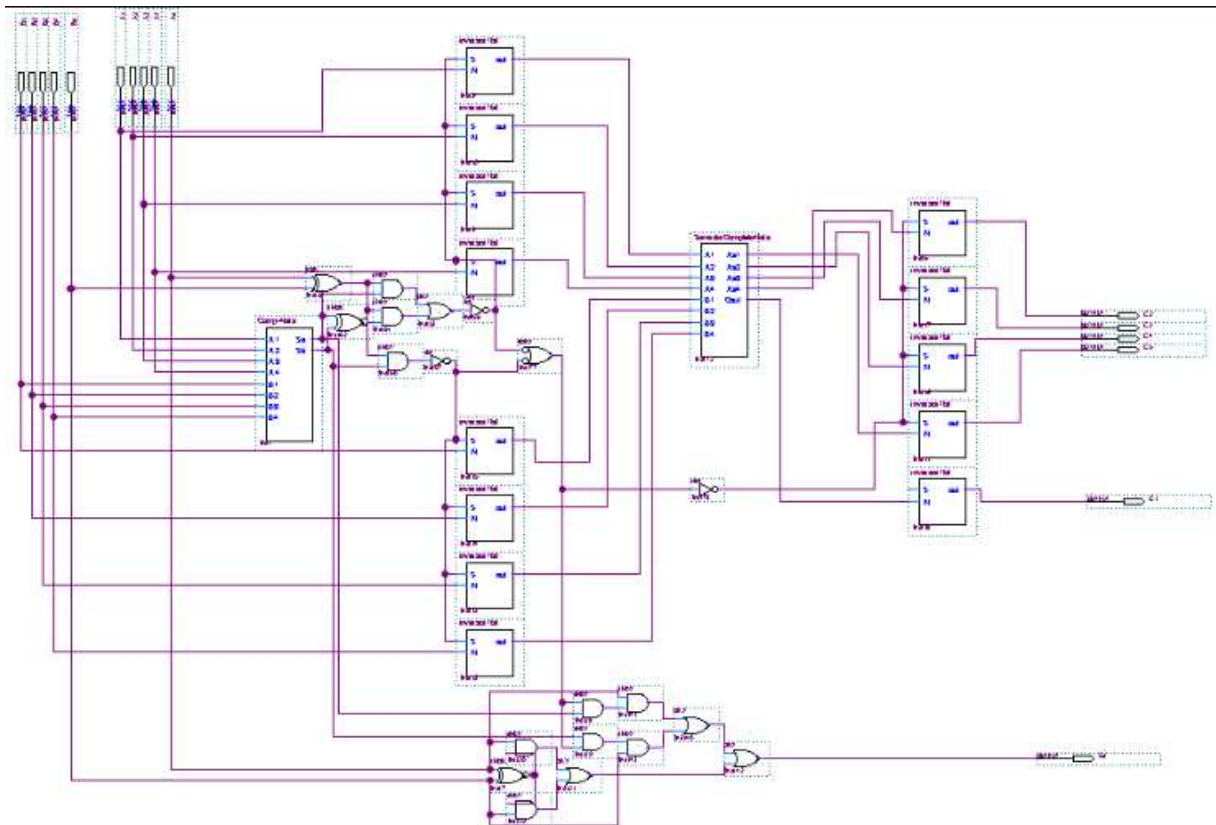
Verificando: $S = A - B$, pois B é negativo

$S = 1111-0101$

$S = 1010$;

Caso os números tenham mesmo sinal, nada é alterado e ocorre a soma normalmente.

A subtração será realizada com a inversão de uma das entradas, e a operação será feita no somador X.

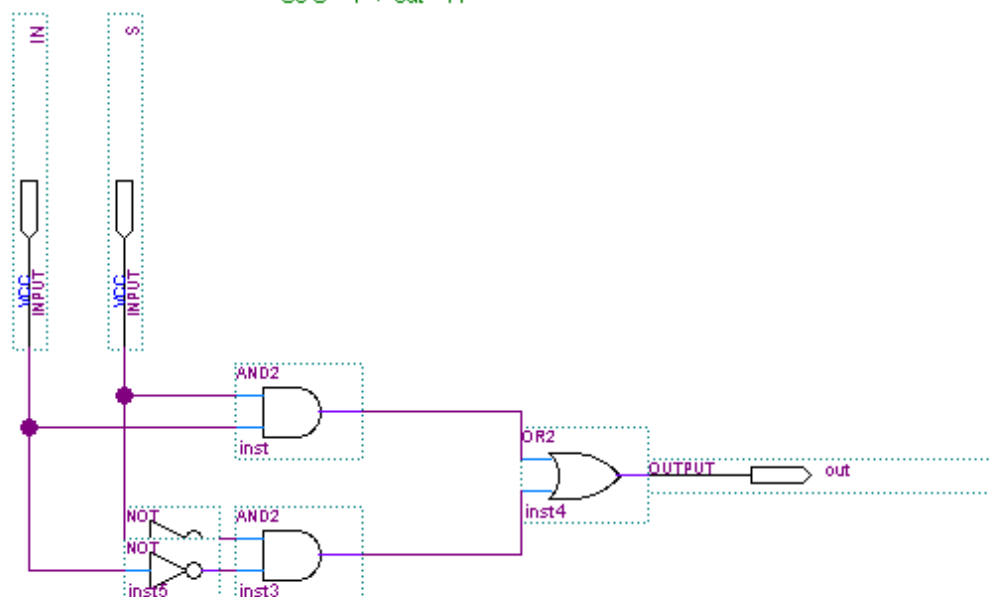


Inversor usado antes e depois da soma, caso os sinais dos números forem diferentes:

INVERSOR DE BITS COM SINAL (S)

Se $S = 0 \rightarrow \text{out} = -A$

Se $S = 1 \rightarrow \text{out} = A$



Multiplicador de 4 bits:

O multiplicador será feito com somadores completos , pois se multiplicarmos dois números com 4bits cada(A4 A3 A2 A1 x B4 B3 B2 B1) temos como resultado 4 dados de até 7 bits cada, que somados terá resultado final da multiplicação.

$$S1=B1A1,$$

$$S2=(A1B2)+(A2B2)$$

$$S3=(A1B3)+(A2B2)+(A1B3)$$

$$S4=(A4B1)+(A3B2)+(A2B3)+(A1B4)$$

$$S5=(A4B2)+(A3B3)+(A2B4)$$

$$S6=(A4B3)+(A3B4)$$

$$S7=(A4B4)$$

$$S8=0$$

Foram usados 2 somadores de 8 bits, e um de 9 bits , serão pegos os bits menos significativos do resultado do somador de 9 bit, assim obtendo o resultado da multiplicacao.

As entradas dos somadores serão feitas da seguinte forma:

1111

X1111

00001111 (A1.B[4..1])

00011110 (A2.B[4..1])

00111100 (A3.B[4..1])

01111000 (A4.B[4..1])

1- Somador de 8 bits

Entradas:

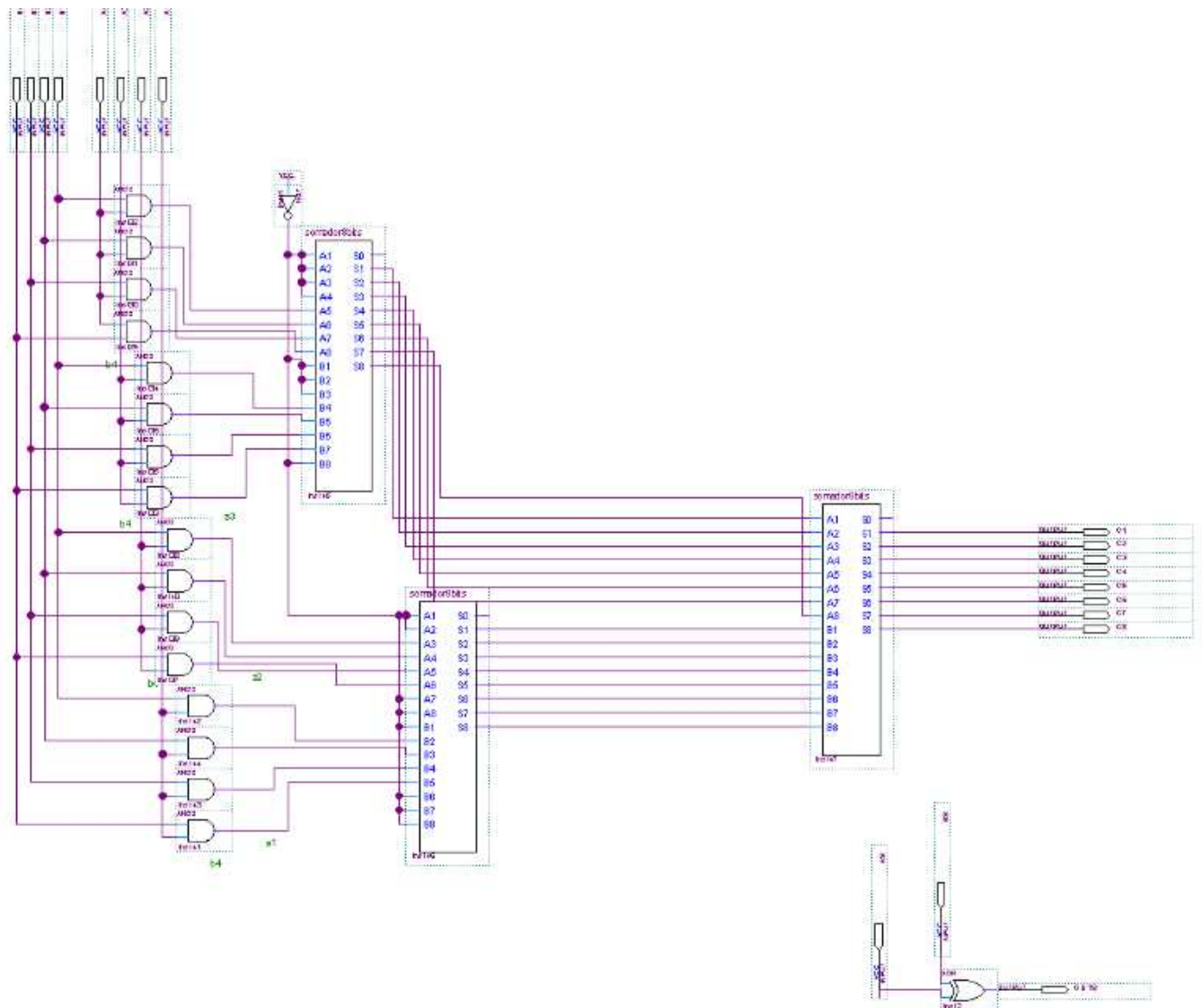
(A1.B[4..1]) com (A2.B[4..1])

2- Somador de 8 bits

Entradas:

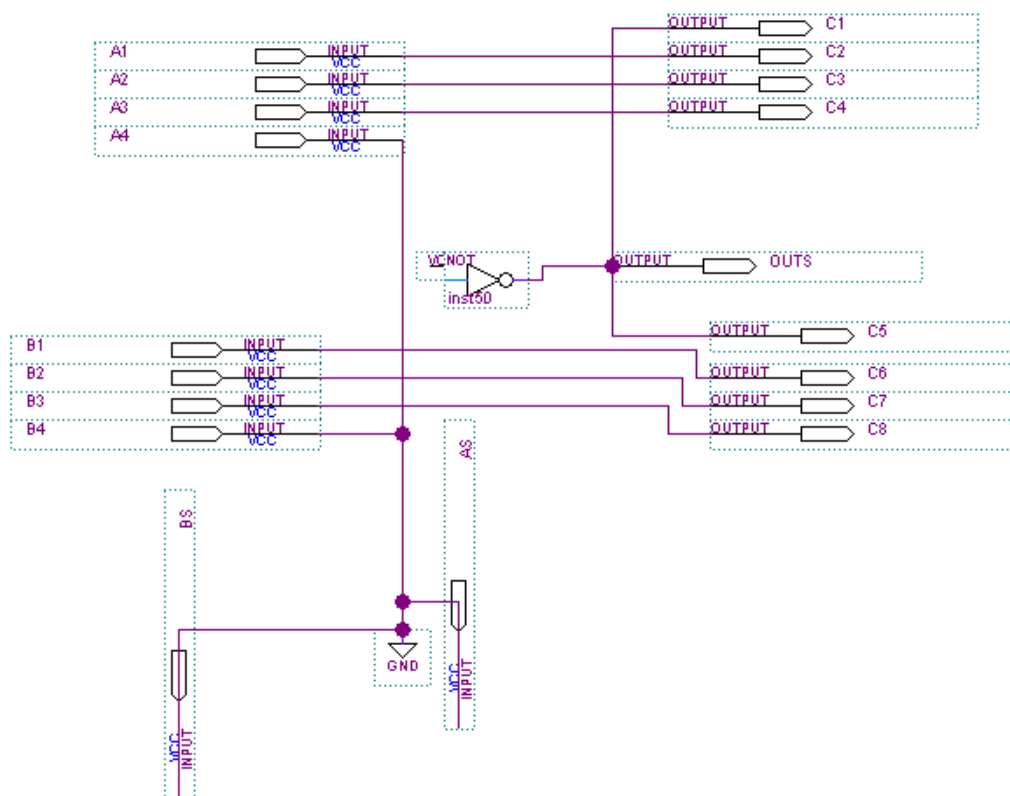
(A3.B[4..1]) com (A4.B[4..1])

Somador de 9 bit, as entradas serão as saídas dos somadores de 8 bits.



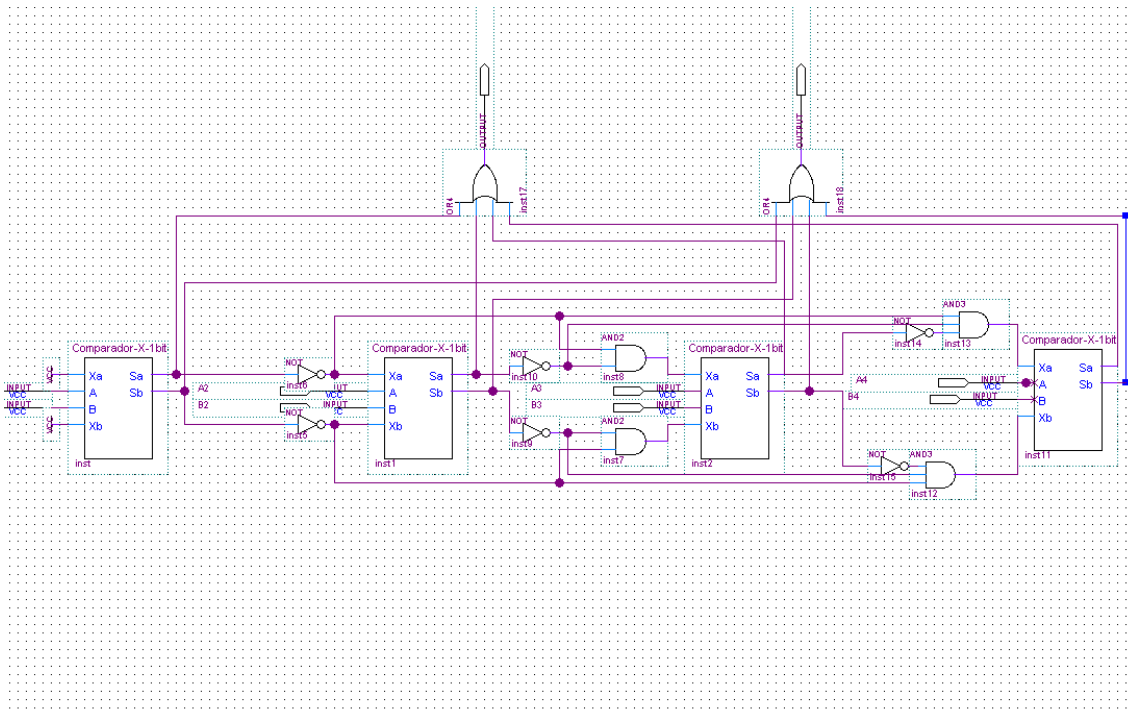
Divisão por 2 :

O divisor por 2 (10) pega o número de entrada e move-o uma posição para a direita, assim o bit menos significativo vira o “numero depois da vírgula”, se este bit for 0 significa que o número era par e a divisão não tem resto, se for 1 o número dividido era impar, e tem resto 1, ou seja, o 1 significa 0,5 em decimal.



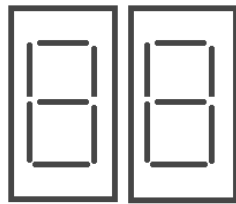
Comparador:

Pega o bit mais significativo dos dois números a serem comparados, esses bits serão negados antes de entrarem no comparador, dentro do comparador haverá um XOR onde entrará A e B e um AND com A e resultado da XOR e outro AND com resultado da XOR e B. Então, se os bits significativos forem iguais os segundo bits significativos serão comparados. Assim as entradas do próximo comparador será um AND com o segundo bit negado mais o resultado do comparador anterior negado (pois se os bits são iguais, o XOR dá 0) e , o outro AND será o segundo bit de B negado mais o resultado negado do comparador anterior, e assim respectivamente para os próximos bits até achar um bit que se difere do outro.

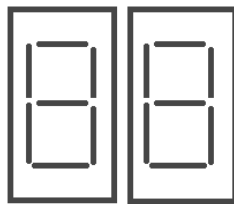


Se os bits forem diferentes uma saída do comparador será 1 e a outra 0. Pois, a saída (Sa) do comparador vai depender da AND de A com o resultado da XOR, e a saída (Sb) depender da AND de B com a XOR (observe que como os bits são diferentes a XOR vai ter resultado 1), se A for maior, portanto 1, a saída (Sa) do comparador será 1, esse resultado irá pra uma OR junto com o valor do primeiro bit de A, evidenciando assim, que o número binário A é maior que B.

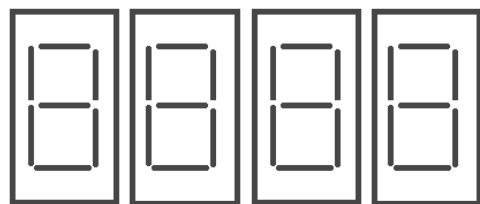
Display na FPGA



↓
SOMA



↓
MULTIPLICAÇÃO



↓
DIVISÃO

↓
COMPARAÇÃO