

# INEL 4215: Proyecto

## Diseño y Simulación de un Microprocesador RISC Pipelined

### Especificaciones:

1. La arquitectura estará basada en los principios de RISC.
2. Se implementará el siguiente sub conjunto de instrucciones de la arquitectura ARM:
  - “Data processing”)
    - Immediate (Second source operand = #<immediate>)
    - Shift by immediate (Second source operand = <Rm>, <shift> #<shift\_imm>)
  - “Load and store word or unsigned byte”
    - Immediate offset:  $EA = [ \langle Rn \rangle, \# +/- \langle offset\_12 \rangle ]$
    - Register offset:  $EA = [ \langle Rn \rangle, +/- \langle Rm \rangle ]$
    - Scaled register offset:  $EA = Rn +/- Rm \text{ shifted}$
  - Branch y Branch & Link
    - Para estas dos instrucciones el cálculo de target address será como sigue:  
 $TA = \text{address of branch instruction} + 4 + 4x(\text{offset sign extended}).$
3. La unidad de procesamiento será una unidad pipelined de cinco etapas como la descrita en la lección Pipeline Processing Unit Organization.
4. El circuito debe ser implementado utilizando Verilog. Cada uno de los componentes (multiplexers, decodificadores, memoria, circuitos combinatoriales, etc.) debe ser implementados como un módulo.
5. El circuito debe ser sincronizado con el “rising edge de reloj del sistema.

### Evaluación:

Codificación y simulación de componentes del data path	15%
Diagrama de bloque y de circuito del microprocesador	20%
Simulación de Unidad de Control	20%
Simulación de operación del microprocesador	45%