



PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE
ESCUELA DE INGENIERÍA
DEPARTAMENTO DE INGENIERÍA ELÉCTRICA
IEE2463 SISTEMA ELECTRÓNICOS PROGRAMABLES

Ayudantia 07 2S23

ZYBOZ7 - AXI Timer e Interrupciones con VHDL/Vitis

Ayudante: Catalina Sierra catalina.sierra@uc.cl

Prof. Dr.-Ing. Félix Rojas - felix.rojas@uc.cl

1. Objetivos de la Ayudantía

- Familiarizarse con el IPCore AXI Timer.
- Comprender como habilitar interrupciones y el modo PWM en AXI Timer.
- Aprender a programar la Zybo desde ambos programas (Vitis y Vivado).

2. Actividades Previas a la Ayudantía

En el video de la ayudantía se explica y utiliza el IPCore AXI Timer en un diseño de hardware para luego habilitar interrupciones periódicas mediante software en Vitis. Adicionalmente también revisaremos cómo programar la Zybo desde ambos programas: desde Vitis y desde Vivado. Para el desarrollo de esta ayudantía se debe:

- Crear un nuevo proyecto en Vivado asociado a la ZyboZ7-10 y en el mismo un *Block Design* donde se conectarán los módulos Microblaze, AXI Timer, AXI Interrupt Controller y AXI Gpio de acuerdo a lo visto en el video de la ayudantía.
- Incluir archivo *Constraints* asociado a la tarjeta y editarlo de acuerdo al *Block Design* desarrollado.
- Generar el *HDL Wrapper* del *Block Design* y luego el *bitstream*, para exportar el *hardware* y luego abrir Vitis desde Vivado.
- Una vez en Vitis crear un *Platform Project* con el archivo xsa generado y buildear. Tras esto, crear un *Application Project* vacío, luego en el mismo en la carpeta **src** haciendo click derecho añadimos un archivo C, el cual se corresponderá con el archivo **Timer_Ints.c** disponible en el repositorio. Luego buildear nuevamente.

