

Ayudantia 07 2S23

ZYBOZ7 - AXI Timer e Interrupciones con VHDL/Vitis

Ayudante: Catalina Sierra catalina.sierra@uc.cl Prof. Dr.-Ing. Félix Rojas - felix.rojas@uc.cl

1. Objetivos de la Ayudantía

- Familiarizarse con el IPCore AXI Timer.
- Comprender como habilitar interrupciones y el modo PWM en AXI Timer.
- Aprender a programar la Zybo desde ambos programas (Vitis y Vivado).

2. Actividades Previas a la Ayudantía

En el video de la ayudantía se explica y utiliza el IPCore AXI Timer en un diseño de hardware para luego habilitar interrupciones periódicas mediante software en Vitis. Adicionalmente también revisaremos cómo programar la Zybo desde ambos programas: desde Vitis y desde Vivado. Para el desarrollo de esta ayudantía se debe:

- Crear un nuevo proyecto en Vivado asociado a la ZyboZ7-10 y en el mismo un *Block Design* donde se conectarán los módulos Microblaze, AXI Timer, AXI Interrupt Controller y AXI Gpio de acuerdo a lo visto en el video de la ayudantía.
- Incluir archivo *Constraints* asociado a la tarjeta y editarlo de acuerdo al *Block Design* desarrollado.
- Generar el *HDL Wrapper* del *Block Design* y luego el *bitstream*, para exportar el *hardware* y luego abrir Vitis desde Vivado.
- Una vez en Vitis crear un Platform Project con el archivo xsa generado y buildear. Tras esto, crear un Application Project vacío, luego en el mismo en la carpeta src haciendo click derecho añadimos un archivo C, el cual se corresponderá con el archivo Timer_Ints.c disponible en el repositorio. Luego buildear nuevamente.

- Programar la Zybo. Para esto vaya a: Xilinx \rightarrow Program FPGA

3. Actividades Durante la Ayudantía

El ejercicio propuesto para esta ayudantía consiste en habilitar el modo de operación PWM en el IPCore AXI Timer que utilizamos para generar interrupciones. A continuación se presentará una serie de pasos para orientar el desarrollo de esta actividad.

- Abrir el proyecto donde se desarrolló el Block Design de la ayudantía para editarlo de acuerdo a lo solicitado: sacar el pin pwm0 (click derecho + make external) y conectarlo al canal R del led RGB de la Zybo. Ojo con los constraints porque hay dos leds RGB y el led RGB 6 es el que está disponible en la Zybo-Z10, si descomentan el equivocado Vivado les arrojará errores.
- Tras la edición correspondiente, validar el diseño, volver a generar el bitstream y exportar el hardware (File Export Export Hardware) y abrir Vitis (Tools Launch Vitis IDE) para crear un nuevo proyecto (New Platform Project Build, luego New Application Project).
- Crear un nuevo archivo C en la carpeta src donde se debe trabajar el código correspondiente al archivo test_pwm.c disponible en https://github.com/IEE2463-SEP/AYUD07-AXI_TIMER/blob/main/test_pwm.c.
- Lo que debe hacer es modificar los parámetros PWM_PERIOD, CYCLE_PER_DUTYCYCLE y DUTYCYCLE_DIVISOR, los cuales actualmente están con valores que permiten visualizar un parpadeo del canal R del led RGB, de forma que se pueda apreciar una variación en la intensidad del la luz del led.

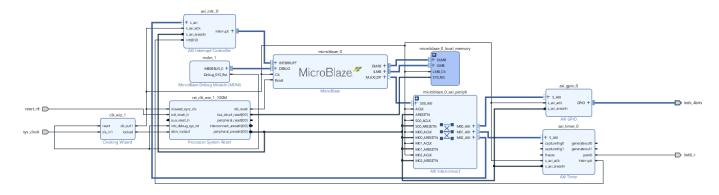


Figura 1: Block Design en Vivado del proyecto considerando el ejercicio propuesto