

UTFPR  
Engenharia de Computação  
Lógica Reconfigurável

## Relatório da Atividade 1: Portas Lógicas

Aluno: Deivid da Silva Galvão  
Professor orientador: Marcelo de Oliveira

Outubro  
2024

UTFPR  
Engenharia de Computação  
Lógica Reconfigurável

## Relatório

Relatório do Trabalho Prático Disciplinar apresentado como requisito parcial à obtenção de nota na disciplina de Lógica Reconfigurável do Curso Superior de Engenharia de Computação da Universidade Tecnológica Federal do Paraná.

Aluno: Deivid da Silva Galvão

Professor orientador: Marcelo de Oliveira

Outubro  
2024

# Conteúdo

1	Introdução	1
2	Implementação	1
3	Resultados Obtidos	2

# 1 Introdução

Na atividade 1, vamos aplicar os conceitos aprendidos anteriormente sobre o portas lógicas, focando na aplicação na linguagem VHDL, onde o objetivo foi realizar as operações lógicas NOT, AND, OR, NAND, NOR, XOR, XNOR a partir das entradas "a" e "b".

# 2 Implementação

```
library ieee ;    — Importando a biblioteca ieee
use ieee . std_logic_1164 . all ;

—
entity projeto1 is    — entidade do projeto
port (
  a , b: in bit ;    — declaracao das entradas
  z, h, k, w, v,m,p,x: out bit — declaracao das saidas
);
end entity ;

—
architecture projeto1 of projeto1 is — codigo do programa
begin
—z esta recebendo a saida da operacao "a" and "b"
  z <= a and b;
—v esta recebendo a saida da operacao negacao "a"
  v <= not a;
—p esta recebendo a saida da operacao negacao "b"
  p <= not b;
—x esta recebendo a saida da operacao "a" or "b"
  x <= a or b;
—w esta recebendo a saida da operacao "a" negacao and "b"
  w <= a nand b;
—h esta recebendo a saida da operacao "a" negacao or "b"
  h <= a nor b;
—m esta recebendo a saida da operacao "a" or exclusivo "b"
  m <= a xor b;
—k esta recebendo a saida da operacao "a" or exclusivo negado "b"
  k <= a xnor b;

end architecture ;

—
```

### 3 Resultados Obtidos

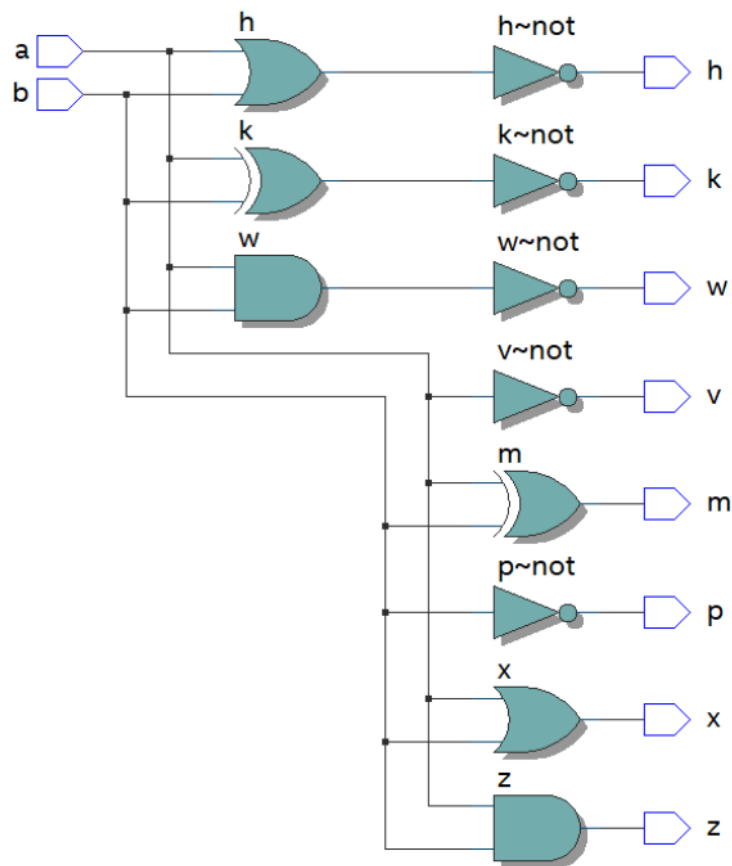


Figura 1: Diagrama Portas lógicas

Ao rodar o código VHDL mostrado anteriormente foi gerada a figura 1 onde é mostrado o esquema de portas lógicas que foi solicitado no código e a figura 2 a baixo mostra o gráfico de exemplo das saídas geradas por cada combinação de porta lógica.

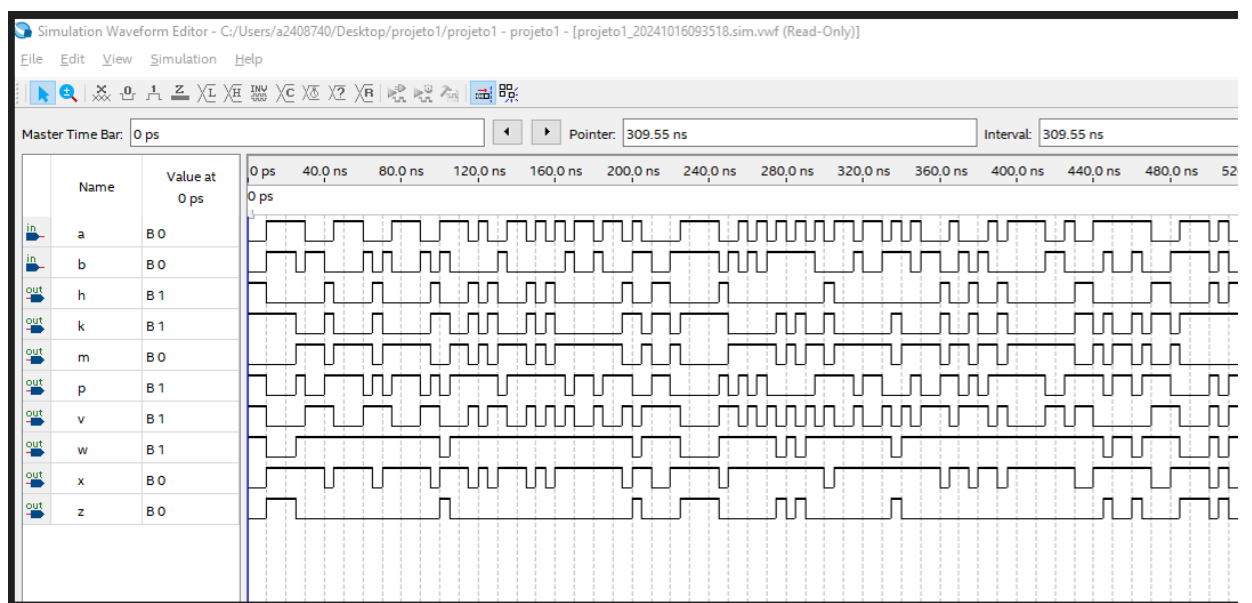


Figura 2: Simulação