



DEPARTAMENTO DE CIENCIAS DE LA COMPUTACIÓN
ESCUELA DE INGENIERÍA
PONTIFICIA UNIVERSIDAD CATÓLICA DE CHILE

IIC2343 - Arquitectura de Computadores (II/2025)

Ayudantía 12: Jerarquía de Memoria

Ayudantes: Daniela Ríos (danielaarp@uc.cl), Alberto Maturana (alberto.maturana@uc.cl), Fernanda Escobar (fer_jez2002@uc.cl)

Pregunta 1: Evaluación de una Jerarquía de Memoria

En la jerarquía de memoria de un computador, cuenta con una memoria caché de 128KiB, líneas de 32 palabras y tiempo de acceso de 8ns. Por otra parte, se sabe que el tiempo que toma, luego de un *miss*, copiar un bloque de memoria del siguiente nivel de la jerarquía en la caché, y luego acceder al dato buscado desde esta es de 80ns. Si se realizan 10 accesos a memoria, cuantos *hits* deben ocurrir para obtener un tiempo de acceso promedio de 16ns en el computador?

Pregunta 2: Jerarquía de Memoria (P3-I2-2023-1)

- (a) Suponga que, en un instante dado, posee el siguiente estado una caché de 8 líneas y 2 palabras por línea, cada una de 1 byte:

Línea	Validez	Timestamp	Tag
0	1	2	5
1	1	7	15
2	0	5	9
3	1	0	1
4	1	3	3
5	1	6	9
6	1	4	5
7	1	1	8

La columna “Línea” representa el índice de línea; “Validez” representa el *valid bit*; “Timestamp” representa el tiempo **desde el último acceso a la línea**; y “Tag” representa el valor, en base decimal, del *tag* que indica el bloque de memoria almacenado en la línea. Con este estado de caché, se realiza el acceso a memoria a las siguientes direcciones: 0x8F, 0x17, 0x11, 0x3D, 0xF5, 0x16. Indique, para cada acceso, si existe un *hit* o *miss*; si corresponde, la línea de la caché que es modificada; y el *hit-rate* para dos funciones de correspondencia distintas:

1. (3 ptos.) *Directly mapped*.
2. (3 ptos.) *4-way associative*.

Asuma que posee una memoria principal de 256 palabras de 1 byte y que la política de reemplazo utilizada es LRU, si corresponde (*i.e.* se reemplaza la línea con mayor *timestamp*). Para responder, complete las tablas adjuntas al enunciado. El *tag* de cada línea lo puede escribir en base binaria o decimal. No necesita indicar la actualización de *timestamp*, pero sí debe considerar su valor en caso de reemplazos.

- (b) Suponga que posee un espacio de direcciones virtuales de 20 bits, direcciones físicas de 19 bits y un tamaño de páginas de 128 KiB. En este esquema, un proceso P_i posee el siguiente estado para su tabla de páginas en un instante dado:

Entrada	Validez	Marco
0	0	Disco
1	0	1
2	1	0
3	0	2
4	0	2
5	1	3
6	0	Disco
7	1	1

La columna “Entrada” representa el número de entrada de la tabla; la columna “Validez” representa si el contenido del marco físico es válido; y “Marco” representa el valor, en base decimal, del marco físico asociado a la página ligada a la entrada. Si en esta celda se encuentra el valor “Disco”, esto indica que su contenido se encuentra en el *swap file*. Con este estado de tabla de páginas, se realiza el acceso a memoria a las siguientes direcciones virtuales: 0x8F3A0, 0x54168, 0xE07C4, 0x1701A. Indique, para cada acceso, si existe un *page fault* o no. Solo en caso de no existir *page fault* (*i.e.* que la página de la dirección virtual posea un marco físico asociado válido), indique el número de marco y la dirección física resultante. Para responder,

se solicita que complete la tabla adjunta al enunciado. Puede escribir la dirección física en base binaria o decimal.

Pregunta 3: Jerarquía de Memoria (P1-I3-2025-1)

- (a) Indique y justifique qué principio de localidad es explotado con la lógica de bloques de memoria y líneas de caché en una jerarquía de memoria.
- (b) Para estudiar el comportamiento de una caché N-way associative de L líneas a partir del valor de N, evalúa dos casos: (1)N=1; (2)N=L. Para cada caso, explique cómo se comporta el mapeo de un bloque de memoria a una línea de caché. Si se asemeja al comportamiento de otra función de correspondencia conocida, indíquela y justifique por qué.
- (c) Suponga que, para una memoria principal de 1024 palabras de 1 byte, posee una caché de 8 líneas y 16 palabras por línea con el siguiente estado intermedio:

Línea	Valid	Tag	Time
0	1	57	5
1	1	27	10
2	1	40	2
3	1	34	8

Línea	Valid	Tag	Time
4	1	58	7
5	1	9	4
6	1	62	3
7	1	0	1

La columna “Línea” representa el índice de línea; “Validez” representa el *valid bit*; “Tag” representa el valor decimal del *tag* que indica el bloque de memoria almacenado en la línea; y “Timestamp” representa el tiempo desde el último acceso a la línea (*i.e.* **un valor menor representa un acceso más reciente**). A partir de este estado, se realiza el acceso a memoria de las siguientes direcciones: 0x3AA, 0x1B0, 0x00F, 0x1FF, 0x01A y 0x2BB. Indique, para cada acceso, si hay *hit* o *miss*; la línea de caché accedida o modificada; y el *hit-rate* para la función de correspondencia **fully associative con política de reemplazo LRU**. Para responder, complete las tablas adjuntas al enunciado. El *tag* de cada línea lo puede escribir en base binaria o decimal. No necesita indicar el *timestamp* final por línea, pero sí debe usarlo en caso de reemplazos. **Considere que, si bien las direcciones se dan en hexadecimal, su representación binaria no necesariamente representa la cantidad de bits de cada dirección de memoria. Esta cantidad se debe deducir de la información otorgada.**

Feedback ayudantía

Escanee el QR para entregar feedback sobre la ayudantía.

