



IIC2343 - Arquitectura de Computadores (II/2025)

Ayudantía 14

Ayudantes: Daniela Ríos (danielaarp@uc.cl), Alberto Maturana (alberto.maturana@uc.cl), Tomás López Massaro (tomas.lopezm20@uc.cl)

Pregunta 1: Preguntas Conceptuales

- (a) [P4.2 | EX-2014-1] ¿Por qué pueden haber problemas de coherencia de caché en una CPU de 1 solo *core*?
- (b) [P2 | EX-2017-2] En un multiprocesador (varias CPUs que comparten una memoria común a través de un bus), cada CPU puede tener su propia memoria caché para así evitar tener que recurrir frecuentemente a la memoria principal a través del bus. Sin embargo, esto normalmente da origen al **problema de coherencia de cachés**. Para solucionar estos problemas, los controladores de cachés son diseñados de manera que “observen” (*snoop*) las solicitudes que pasan por el bus (y que fueron hechas por alguna otra caché) y que hagan algo en ciertos casos. El conjunto de reglas que define qué hacer y cuándo se llama **protocolo de consistencia de cachés**.
- i. Considera el protocolo *write through* estudiado en clase, cuya esencia es que todas las operaciones de escritura resultan en que la palabra que está siendo escrita en la caché también es escrita en la memoria para mantener la memoria actualizada todo el tiempo. Si el controlador de caché solo pudiera observar las líneas de dirección del bus, y no las de datos, ¿se vería el protocolo *write through* afectado por esta situación? Explica.
 - ii. Mencione y explique cada estado del protocolo *write-back* MESI.
- III. En los protocolos de tipo *write-back* no todas las escrituras van directamente a la memoria: cuando una línea de la caché es modificada, se pone un bit de la caché en 1 indicando que la línea de la caché está correcta pero la memoria no; finalmente, la línea es escrita en la memoria, pero posiblemente después de sufrir varias escrituras. El protocolo MESI estudiado en clase define cuatro estados para cada línea de la caché: *modified*, *exclusive*, *shared* (compartido), *invalid*. Si solo pudiéramos tener tres estados, ¿cuáles estados podrían ser eliminados (solo uno a la vez) y cuáles serían las consecuencias en cada caso?

Pregunta 2: Protocolo MESI (P4 | I3-2024-2)

Suponga que posee una arquitectura MIMD de memoria compartida con 3 CPU que poseen su propia caché y que siguen el protocolo MESI para asegurar consistencia. La memoria contiene los siguientes datos de variables; mientras que CPU0, CPU1 y CPU2 ejecutan los siguientes programas:

Dirección	<i>Label</i>	Valor	// CPU0	// CPU1	// CPU2
0x00	var1	255	MOV A, (var1)	MOV A, 0	MOV B, 0
0x01	var2	253	MOV B, (var2)	NOP	PUSH B
...	AND B,A	PUSH A	INC B
0xFE		0	INC B	POP B	PUSH B
0xFF		0	MOV B, (B)	MOV B, (B)	POP A
			MOV (B), B		

Asumiendo que cada dirección se almacena en una línea distinta, y que el contador SP posee un valor inicial igual a 255 en **todas** las CPU, indique el estado de cada línea de las caché (M/E/S/I) para cada ciclo completando la tabla adjunta, asumiendo que todas las líneas parten en estado I (ciclo 0):

Pregunta 3: Otros Protocolos (P4.b - Sec. 3 | I3-2024-1)

El protocolo MESIF consiste en una extensión de MESI que incluye un nuevo estado F (*Forward*). Este protocolo presenta las siguientes diferencias respecto a MESI:

- Si dos o más caché poseen una misma copia de un bloque sin cambios de la memoria compartida, **solo una** de ellas se encarga de transmitir la línea a otras CPU que soliciten el contenido. Esta caché será la que poseerá la línea en estado F.
- La caché **con la copia más reciente** se encarga de realizar la transmisión. Una vez que la caché transmite un bloque, su línea pasa de estado F a S. La que recibe la copia, en cambio, pasa a estado F y se vuelve la nueva encargada de realizar las transmisiones.
- Si la línea de una primera caché se encuentra en estado E y otra segunda caché solicita una copia del bloque, entonces la línea de la primera pasa de estado E a S, mientras que la línea de la segunda pasa a estado F. En este caso, el bloque no es transmitido entre las dos caché, sino que se obtiene directamente de la memoria principal.

Modifique los diagramas de estados adjuntos para incluir el nuevo estado F y los cambios correspondientes según los eventos del procesador (PrRd, PrWr) y del bus compartido (BusRd, BusRdX). No es necesario que indique las señales que se emiten en cada cambio de estado, pero sí debe señalar el evento que gatilla el cambio de un estado a otro.

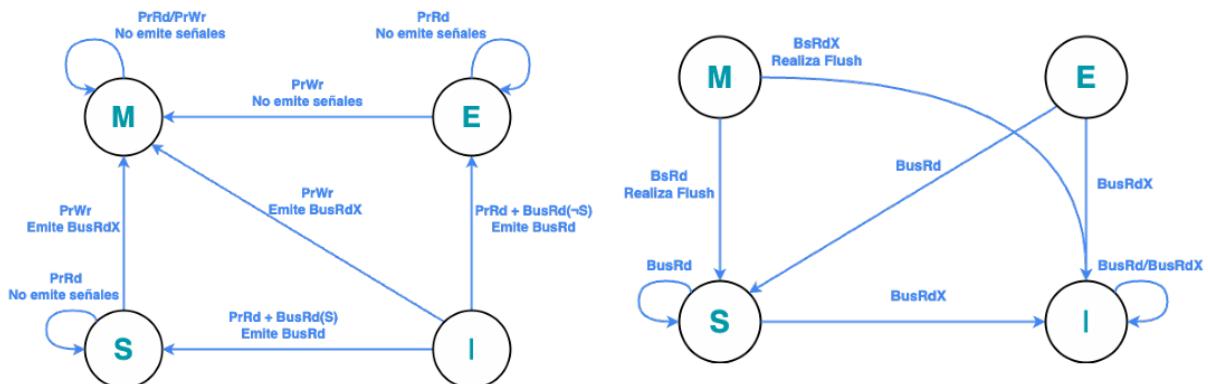


Figura 1: Diagramas MESI

Feedback ayudantía

Escanee el QR para entregar *feedback* sobre la ayudantía.

