



IIC2343 - Arquitectura de Computadores (II/2025)

Guía de Ejercicios: Jerarquía de Memoria

Ayudantes: Daniela Ríos (danielaarp@uc.cl), Alberto Maturana (alberto.maturana@uc.cl), Fernanda Escobar (fer_jez2002@uc.cl), Ignacio Gajardo (gajardo.ignacio@uc.cl)

Pregunta 1: I3-2024-1 (Pregunta 1)

- (a) En la jerarquía de memoria de un computador, cuenta con una memoria caché de 64KiB, líneas de 16 palabras y tiempo de acceso de 10ns. Por otra parte, cuenta con un *miss penalty* de 100ns. ¿Qué *hit-rate* debe tener la caché para obtener un tiempo de acceso promedio de 20ns en el computador?
- (b) Suponga que posee dos computadores con arquitecturas similares, salvo por sus memorias caché: poseen las mismas dimensiones, pero una es 16-way *associative* y la otra es 8-way *associative*. ¿Cuál presenta un *hit-time* promedio menor? Justifique su respuesta.
- (c) Suponga que, para una memoria principal de 256 palabras de 1 byte, posee una caché de 16 líneas y 4 palabras por línea con el siguiente estado intermedio:

Línea	Validez	Tag	Timestamp
0	1	20	1
1	1	5	11
2	1	10	4
3	1	25	9
4	1	31	8
5	1	16	3
6	1	1	6
7	1	8	2

Línea	Validez	Tag	Timestamp
8	0	10	-
9	0	20	-
10	0	30	-
11	0	5	-
12	0	15	-
13	0	2	-
14	0	1	-
15	0	0	-

La columna “Línea” representa el índice de línea; “Validez” representa el *valid bit*; “Tag” representa el valor decimal del *tag* que indica el bloque de memoria almacenado en la línea; y “Timestamp” representa el tiempo **desde el último acceso a la línea**. A partir de este estado, se realiza el acceso a memoria de las siguientes direcciones: 0x54, 0xE4, 0xE3, 0xCA, 0xCC, 0xA1. Indique, para cada acceso, si existe un *hit* o *miss*; si corresponde, la línea de la caché que es modificada; y el *hit-rate* para la función de correspondencia 8-way *associative*. Asuma una la política de reemplazo LRU. Para responder, complete las tablas adjuntas al enunciado. El *tag* de cada línea lo puede escribir en base binaria o decimal. No necesita indicar el *timestamp* final por línea, pero sí debe considerar su valor en caso de reemplazos.

Pregunta 2: I3-2024-2 (Pregunta 1)

- (a) ¿Qué incidencia tiene la política de reemplazo en una caché con función de correspondencia *directly mapped*? Justifique.
- (b) ¿Cómo incide el parámetro “ N ” en el *hit-time* de una memoria caché *N-way associative*?
- (c) Suponga que, para una memoria principal de 4096 palabras de 1 byte, posee una caché de 32 líneas y 16 palabras por línea con el siguiente estado intermedio:

Línea	Valid	Tag	Time
0	1	0	7
1	1	7	11
2	1	10	17
3	0	12	-
4	1	12	15
5	1	15	4
6	0	1	-
7	0	8	-

Línea	Valid	Tag	Time
8	1	5	13
9	1	9	5
10	1	13	9
11	1	11	2
12	1	15	10
13	1	0	12
14	1	1	21
15	1	5	14

Línea	Valid	Tag	Time
16	0	10	-
17	0	15	-
18	0	2	-
19	0	7	-
20	0	9	-
21	0	14	-
22	0	1	-
23	0	2	-

Línea	Valid	Tag	Time
24	1	8	6
25	1	9	16
26	1	14	18
27	1	7	8
28	1	3	3
29	1	6	19
30	1	2	20
31	1	15	1

La columna “Línea” representa el índice de línea; “Valid” representa el *valid bit*; “Tag” representa el valor decimal del *tag* que indica el bloque de memoria almacenado en la línea; y “Time” representa el tiempo **desde el último acceso a la línea**. A partir de este estado, se realiza el acceso a memoria de las siguientes direcciones: 0xC27, 0xFF0, 0x123, 0x782. Indique, para cada acceso, si existe un *hit* o *miss*; si corresponde, la línea de la caché que es modificada; y el *hit-rate* para la función de correspondencia *2-way associative*. Asuma una política de reemplazo LRU. Para responder, complete las tablas adjuntas al enunciado. El *tag* de cada línea lo puede escribir en base binaria o decimal. No necesita indicar el *timestamp* final por línea, pero sí debe considerar su valor en caso de reemplazos.

Pregunta 3: I2-2022-2 (Pregunta 1)

Considera un computador con una memoria de 1 KiB, organizada en palabras de 4 bytes cada una. Las direcciones generadas por el programa son siempre direcciones de palabras, es decir, la dirección del byte (de la palabra) con la dirección numéricamente menor. Para este computador se está diseñando el sistema de caché, con líneas de cuatro palabras, y se quiere decidir si es mejor un sistema *2-way set associative* o uno *4-way set associative*, considerando que en la caché caben 8 líneas en total y con política de escritura *write-through*.

- (a) ¿Cuántos bits adicionales—para tags, validez, y offset—necesita cada una de las dos versiones del sistema de caché? Justifica (No consideres la implementación del sistema de reemplazo de líneas).

Considera la siguiente secuencia de direcciones de memoria generadas como consecuencia de la ejecución de un programa:

- | | | |
|----------------|-----------------|-----------------|
| 1. 0x028 (40) | 7. 0x084 (132) | 13. 0x044 (68) |
| 2. 0x048 (72) | 8. 0x008 (8) | 14. 0x098 (152) |
| 3. 0x014 (20) | 9. 0x064 (100) | 15. 0x060 (96) |
| 4. 0x078 (120) | 10. 0x058 (88) | 16. 0x094 (148) |
| 5. 0x010 (16) | 11. 0x0B4 (180) | 17. 0x018 (24) |
| 6. 0x070 (112) | 12. 0x024 (36) | 18. 0x004 (4) |

- (b) Suponiendo que la estrategia de reemplazo de líneas fuera la ideal (Bélády), es decir, que el computador contara con un dispositivo que pudiera determinar cuál de las líneas en juego en la caché es la que se va a demorar más en volver a ser usada en el futuro, ¿cuál es el *hit rate* para cada una de las dos versiones del sistema de caché?