缩略词

ACO-OFDM Asymmetrically-clipped optical OFDM 非对称光 OFDM 调制

APD Avalanche Photo Diode 雪崩型光电二极管

BA BER Adaptive 最小误比特率准则

BER Bit Error Rate 误比特率

CCDF Complementary Cumulative Distribution Function 互补累积分布函数

CIR Channel Impose Response 信道冲激响应

CP Cyclic Prefix 循环前缀

CSI Channel State Information 信道状态信息

DCO-OFDM DC-biased optical OFDM 直流偏置光 OFDM 调制

DD Direct Detection 直接检测

DMTDiscrete Multi-Tone离散多音调制DOWDiffuse Optical Channel漫反射光信道DSLDigital Subscriber Line数字用户线路EVMError Vector Magnitude误差向量幅度FOVField of View接收机视场角

FPGA Field Programmable Gate Array 现场可编程门阵列

IEEE Institute of Electrical and Electronics Engineers 美国电子电气工程师协会

IMIntensity Modulation强度调制ISIInter Symbol Interference符号间干扰LDLaser Diode激光二极管

LED Light Emitting Diode 发光二极管

LMMSE Linear Minimum Mean Square Error 线性最小均方误差准则

LOS Light of Sight 直达径

LSLeast Square最小二乘法准则MAMargin Adaptive最小发射功率准则

MMSE Minimum Mean Square Error 最小均方误差估计准则

MSE Mean Square Error 均方误差

NSFNational science foundation美国国家科学基金会OFDMOrthogonal Frequency Division Modulation正交频分复用调制

PAPR Peak to Average Power Ratio 峰均比

 PD
 Photo Diode
 光电二极管

QAMQuadrature amplitude modulation正交幅度调制RARate Adaptive最大速率准则

SBLA Simple Blockwise Loading Algorithm 简单分组分配算法

SNR Signal Noise Ratio 信噪比

SVDSingular Value Decomposition奇异值分解VLCVisible Light Communication可见光通信

VLCC Visible Light communication consortium 可见光通信协会

WDMWavelength Division Multiplexing波分复用WPANWireless Personal Area Network无线私域网ZC Seq.Zadoff-Chu SequenceZC 序列

第1章 可见光多波段自适应通信系统硬件设计

1.1 引言

我们在前面四章介绍了可见光通信的基本原理及关键技术,特别针对自适应传输这个核心重点研究了信道估计及比特功率分配算法,并且针对本课题对应的硬件平台的实际情况进行了别要的仿真,选出了合适的技术方案,如使用低复杂度的 LS 算法进行信道估计、使用高精度的 EVM 方法进行信噪比估计、使用专为可见光通信设计的 Improved-SBLA 比特功率分配算法得到自适应参数。本章将对可见光通信的硬件系统做一个简要的介绍,还将概述自适应模块的逻辑设计。

1.2 硬件系统概述

本课题对应的硬件演示平台如图1.1所示,该系统目前已经实现了"编译级"的自适应传输,所谓"编译级"就是代码支持通过改变调制参数然后需要再编译来实现调制的改变,而真正的自适应传输系统因为时间紧迫及反向链路方案尚未确定等因素没有完成。不过本系统已有了自适应传输的雏形了,只是信道估计、计算自适应参数、改变调制等需要离线进行,下面对该系统进行概述。

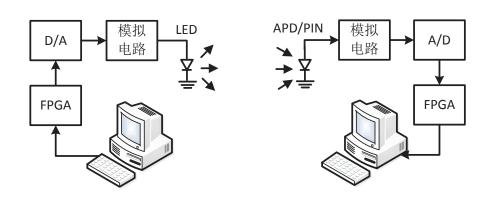


Figure 1.1 可见光通信硬件平台示意图

首先信源比特通过以太网接口(UDP协议)按帧发送到用于基带处理的FPGA芯片(整个传输过程都是按帧进行的,并且用于同步和信道估计的ZC序列符号只在帧头处放置,整个帧中所有的OFDM符号都使用这个ZC序列估计出来的信道参数解调),接

着在 FPGA 中完成扰码、信道编码、调制和 IFFT 等数字处理过程,然后将时域数字信号输入到数字模拟变换器(Digital to Analogue Converter,DAC)变成模拟信号,最后该模拟信号加上偏置电流之后去驱动 LED 灯,整个发射过程完成。接收端通过 PD 接收 LED 光信号,并将光信号强弱的变化转换成电信号的大小,然后将此模拟电信号送入模拟/数字变换器(Analog to Digital Converter,ADC)中抽样量化为数字信号,再送到接收端基带处理 FPGA 进行解调、解码和校验等操作,最后输出接收到的帧到接收端计算机。

1.2.1 发射端基带处理

发射端 FPGA 基带处理流程如图 2 所示,本演示系统信源帧长定为 1358 byte (设置 为该值主要是因为本系统主要以视频传输演示为主,而视频帧帧长就是 1358 byte),为了系统设计简便起见,当通过以太网接口接到的帧不足 1358 byte 时,会自动在后面补零再传输。

基带处理芯片接收到信源帧之后,第一步就是对其加 CRC,这里我们使用 24 bit 的循环校验码,循环校验比特的生成模块其实就是一个由生成多项式决定的除法电路,输入数据就是被除数,而余数就是我们需要的校验比特,当然为了加快计算速度,本系统CRC 使用 8 位并行计算方法,即不是想真的除法电路那样逐比特地输入,而是一次输入 8 比特,整个运算速度提高了 8 倍。由于篇幅限制,在这里就不对 CRC 模块再进行过多的展开。得到 24 bit(3 byte) 校验位之后添加到原信源数据之后,又因为本系统使用的是输入为 1362 byte 的低密度奇偶校验码(Low Density Parity Code,LDPC)作为信道编码,所以 1358 byte 数据帧加入 3 byte 的校验码之后还要补零 1 byte。为了防止过长的连 0 连 1 影响系统传输性能,所以还要把加了 CRC 及补零后的数据进行扰码再送入LDPC 编码器。

信道编码是通过在发射数据中增加冗余以便在接收端可以进行信道解码纠错,本系统使用码率为 3/4 的 LDPC 码,输入数据长度为 1362 × 8 bit,输出为 14528 bit 选择 LDPC 码的原因是其纠错性能佳,几乎适合所有信道,并且相对于 Turbo 码而言其解码器实现复杂度要低很多。这里使用的 LDPC 码的编码矩阵大小为 48 × 227,所以输入数据位宽要为 48 bit,而我们在 CRC 模块中输出数据位宽为 8 bit,所以这里需要位宽变换,可以使用 FPGA 提供的 RAM 或先入先出队列(First In First Out,FIFO)数据结构来实现。编码之后的校验比特插在等间隔的插在信息数据中间,具体数据结构变化如下图所示。

经过编码的帧数据长度变为 1816 byte,送入自适应调制模块,其功能是将信息比特分配到 OFDM 各个子载波上,并映射到星座图中的点,输出 OFDM 符号频域数据,这部分属于自适应设计的核心部分,将在下一节详细介绍。

经自适应模块调制后得到 N 个 OFDM 符号, N 的值也调制的选择有关, 假设根据自适应参数每个 OFDM 符号传输 R 比特,则有 N=[14528/R],其中 [·] 表示向上取整运算。为了提高传输速率,要保证所有的操作在一个 OFDM 帧周期内完成,所以要将将已调制符号交替存入两个 RAM 中,进行乒乓操作,即如果自适应模块再往其中 RAM

中写数据,则 IFFT 模块应该在另一个 RAM 中读数据去进行 IFFT 运算,到下一帧时这两个 RAM 的角色交换。IFFT 模块可以使用 Xilinx 公司提供的 IP 核实现,并且可以通过设置自动添加添加循环前缀,非常方便。得到 OFDM 时域符号之后,在每帧的头部再加上 ZC 导频序列之后输入到 DAC 芯片输出,整个发射端基带处理就完成了。

- 1.2.2 接收端基带处理
- 1.3 自适应模块 FPGA 方案设计
- 1.4 本章小结

