

## 缩略词

<b>ACO-OFDM</b>	Asymmetrically-clipped optical OFDM	非对称光 OFDM 调制
<b>APD</b>	Avalanche Photo Diode	雪崩型光电二极管
<b>BA</b>	BER Adaptive	最小误比特率准则
<b>BER</b>	Bit Error Rate	误比特率
<b>CCDF</b>	Complementary Cumulative Distribution Function	互补累积分布函数
<b>CIR</b>	Channel Impose Response	信道冲激响应
<b>CP</b>	Cyclic Prefix	循环前缀
<b>CSI</b>	Channel State Information	信道状态信息
<b>DCO-OFDM</b>	DC-biased optical OFDM	直流偏置光 OFDM 调制
<b>DD</b>	Direct Detection	直接检测
<b>DMT</b>	Discrete Multi-Tone	离散多音调制
<b>DOW</b>	Diffuse Optical Channel	漫反射光信道
<b>DSL</b>	Digital Subscriber Line	数字用户线路
<b>EVM</b>	Error Vector Magnitude	误差向量幅度
<b>FOV</b>	Field of View	接收机视场角
<b>FPGA</b>	Field Programmable Gate Array	现场可编程门阵列
<b>IEEE</b>	Institute of Electrical and Electronics Engineers	美国电子电气工程师协会
<b>IFFT</b>	Inverse Fast Fourier Transform	逆傅里叶变换
<b>IM</b>	Intensity Modulation	强度调制
<b>ISI</b>	Inter Symbol Interference	符号间干扰
<b>LD</b>	Laser Diode	激光二极管
<b>LED</b>	Light Emitting Diode	发光二极管
<b>LMMSE</b>	Linear Minimum Mean Square Error	线性最小均方误差准则
<b>LOS</b>	Light of Sight	直达径
<b>LS</b>	Least Square	最小二乘法准则
<b>MA</b>	Margin Adaptive	最小发射功率准则
<b>MMSE</b>	Minimum Mean Square Error	最小均方误差估计准则
<b>MSE</b>	Mean Square Error	均方误差
<b>NSF</b>	National science foundation	美国国家科学基金会
<b>OFDM</b>	Orthogonal Frequency Division Modulation	正交频分复用调制
<b>OOK-RZ</b>	On-Off Keying Return-to-Zero	归零开关键控

<b>PAPR</b>	Peak to Average Power Ratio	峰均比
<b>PD</b>	Photo Diode	光电二极管
<b>PN Seq.</b>	Pseudo-Noise Sequence	伪随机序列
<b>QAM</b>	Quadrature amplitude modulation	正交幅度调制
<b>RA</b>	Rate Adaptive	最大速率准则
<b>SBLA</b>	Simple Blockwise Loading Algorithm	简单分组分配算法
<b>SNR</b>	Signal Noise Ratio	信噪比
<b>SVD</b>	Singular Value Decomposition	奇异值分解
<b>VLC</b>	Visible Light Communication	可见光通信
<b>VLCC</b>	Visible Light communication consortium	可见光通信协会
<b>WDM</b>	Wavelength Division Multiplexing	波分复用
<b>WPAN</b>	Wireless Personal Area Network	无线私域网
<b>ZC Seq.</b>	Zadoff-Chu Sequence	ZC 序列

# 第一章 可见光多波段自适应通信系统硬件设计

## 1.1 引言

我们在前面四章介绍了可见光通信的基本原理及关键技术，特别针对自适应传输这个核心重点研究了信道估计及比特功率分配算法，并且针对本课题对应的硬件平台的实际情况进行了必要的仿真，选出了合适的技术方案，如使用低复杂度的 LS 算法进行信道估计、使用高精度的 EVM 方法进行信噪比估计、使用专为可见光通信设计的 Improved-SBLA 比特功率分配算法得到自适应参数。本章将对可见光通信的硬件系统做一个简要的介绍，还将概述自适应模块的逻辑设计。

## 1.2 硬件平台概述

本课题对应的硬件演示平台如图1.1所示，该系统目前已经实现了“编译级”的自适应传输，所谓“编译级”就是代码支持通过改变调制参数然后需要再编译来实现调制的改变，而真正的自适应传输系统因为时间紧迫及反向链路方案尚未确定等因素没有完成。不过本系统已有了自适应传输的雏形了，只是信道估计、计算自适应参数、改变调制等需要离线进行，下面对该系统进行概述。

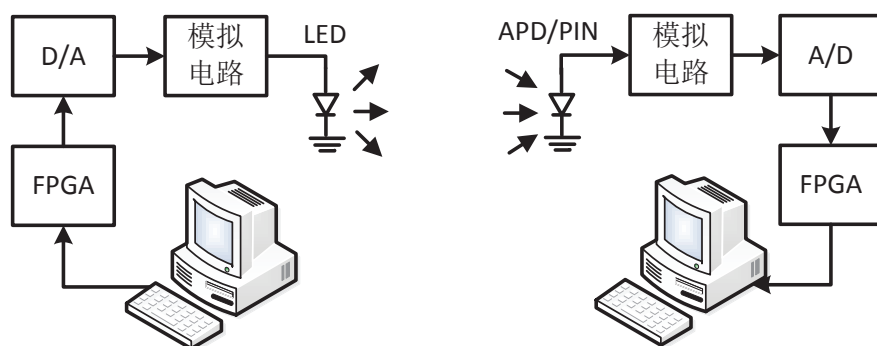


图 1.1 可见光通信硬件平台示意图

首先信源比特通过以太网接口（UDP 协议）按帧发送到用于基带处理的 FPGA 芯片（整个传输过程都是按帧进行的，并且用于同步和信道估计的 ZC 序列符号只在帧头处放置，整个帧中所有的 OFDM 符号都使用这个 ZC 序列估计出来的信道参数解调），

接着在 FPGA 中完成扰码、信道编码、调制和 IFFT 等数字处理过程，然后将时域数字信号输入到数字模拟变换器（Digital to Analogue Converter, DAC）变成模拟信号，最后该模拟信号加上偏置电流之后去驱动 LED 灯，整个发射过程完成。接收端通过 PD 接收 LED 光信号，并将光信号强弱的变化转换成电信号的大小，然后将此模拟电信号送入模拟/数字变换器（Analog to Digital Converter, ADC）中抽样量化为数字信号，再送到接收端基带处理 FPGA 进行解调、解码和校验等操作，最后输出接收到的帧到接收端计算机。

### 1.2.1 硬件型号及参数简介

本系统中用于基带处理的 FPGA 芯片选择美国 Xilinx 公司生产的 Virtex-6，具体型号为 XC6VSX315T，基于 40 nm 工艺，具有高性能、接口丰富等多方面优点。该芯片内部包含 49,200 个片逻辑单位，每个片逻辑单元中有 4 个查找表（Look Up Table, LUT）和 8 个触发器；内置 1,344 个 DSP48 数值计算块，每个数值计算块中包含一个  $25 \times 18\text{bit}$  乘法器、一个加法器和一个累加器；同时还有最大存储容量为 25,244 kb 的嵌入式存储 RAM；并且支持千兆网卡<sup>[7]</sup>。这些资源为我们下面的基带逻辑处理及复杂的 LDPC 解码运算提供了硬件基础。

DAC 选用美国 TI 公司生成的八通道高速数模转换芯片，型号为 DAC3484，其输入数值信号位宽为 16 bit，最高支持 1 GSps 的采样率；ADC 芯片同样使用 TI 公司产品，型号为 DAC9643，该芯片支持最高达 250 MHz 的采样速率，量化精度为 14 比特。

发射端模拟电路主要包括三部分，功率放大器、直流偏置模块和 LED 灯。功率放大器选用美国 Mini-Circuits 公司的 ZHL-3A 中功率放大器，其 3 dB 带宽范围是 0.4 MHz 150 MHz，功率增益 25 dB，最大输出功率为 30 dBm；采用的直流偏置模块 ZFBT-6GW+ 同样是 Mini-Circuits 公司产品，其 3 dB 带宽范围为 0.1 MHz 6 GHz，支持最大偏置电流 0.5 A。发光二极管选用美国硅谷光擎（LED Engin）生产的多色混光型发光二极管 LED——LZC-03MA07，其发光光谱图如图??所示。

接收端模拟电路主要由滤光片、光电二极管即放大器。本系统为可见光多波段通信系统，不同的色光用不同的滤波片，分别是蓝光滤光片 DTB435、绿光滤光片 DTB530、红光滤光片 HB610。光电转换模块选用雪崩型光电二极管（APD），具体型号为 C5331-11，生产商为日本滨松公司（Hamamatsu），其 3 dB 通带为 4 KHz 100 MHz，感光区直径 1 mm。接收端低噪声放大器选用美国 TI 公司生成的 OPA847，其带宽增益积为 3.9 GHz，输入噪声为  $0.85nV/\sqrt{Hz}$ 。

### 1.2.2 发射端基带处理

发射端 FPGA 基带处理流程如图1.5所示，本演示系统信源帧长定为 1358 byte（设置为该值主要是因为本系统主要以视频传输演示为主，而视频帧帧长就是 1358 byte），为了系统设计简便起见，当通过以太网接口接到的帧不足 1358 byte 时，会自动在后面补零再传输。

基带处理芯片接收到信源帧之后，第一步就是对其加 CRC，这里我们使用 24 bit 的

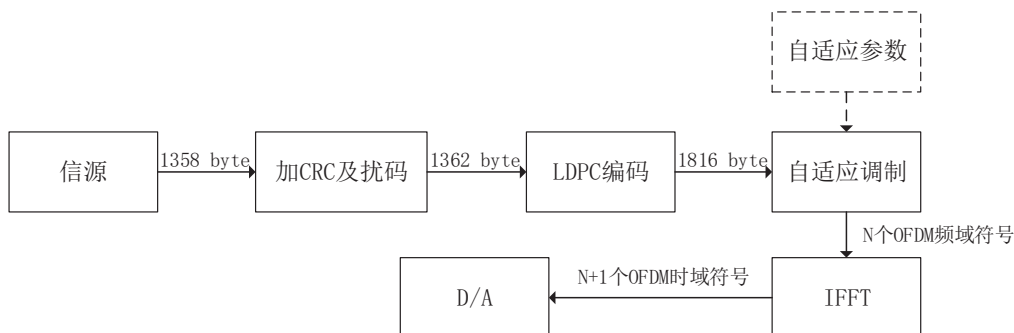


图 1.2 发射端基带处理原理框图

循环校验码，循环校验比特的生成模块其实就是一个由生成多项式决定的除法电路，输入数据就是被除数，而余数就是我们需要的校验比特，当然为了加快计算速度，本系统CRC使用8位并行计算方法，即不是想真的除法电路那样逐比特地输入，而是一次输入8比特，整个运算速度提高了8倍。由于篇幅限制，在这里就不对CRC模块再进行过多的展开。得到24 bit(3 byte)校验位之后添加到原信源数据之后，又因为本系统使用的是输入为1362 byte的低密度奇偶校验码（Low Density Parity Code, LDPC）作为信道编码，所以1358 byte数据帧加入3 byte的校验码之后还要补零1 byte。为了防止过长的连0连1影响系统传输性能，所以还要把加了CRC及补零后的数据进行扰码再送入LDPC编码器。

信道编码是通过在发射数据中增加冗余以便在接收端可以进行信道解码纠错，本系统使用码率为3/4的LDPC码，输入数据长度为 $1362 \times 8 \text{ bit}$ ，输出为14528 bit选择LDPC码的原因是其纠错性能佳，几乎适合所有信道，并且相对于Turbo码而言其解码器实现复杂度要低很多。这里使用的LDPC码的编码矩阵大小为 $48 \times 227$ ，所以输入数据位宽要为48 bit，而我们在CRC模块中输出数据位宽为8 bit，所以这里需要位宽变换，可以使用FPGA提供的RAM或先入先出队列（First In First Out, FIFO）数据结构来实现。编码之后的校验比特插在等间隔的插在信息数据中间，因为码率为3/4，每6字节信息数据后插入2个校验字节。

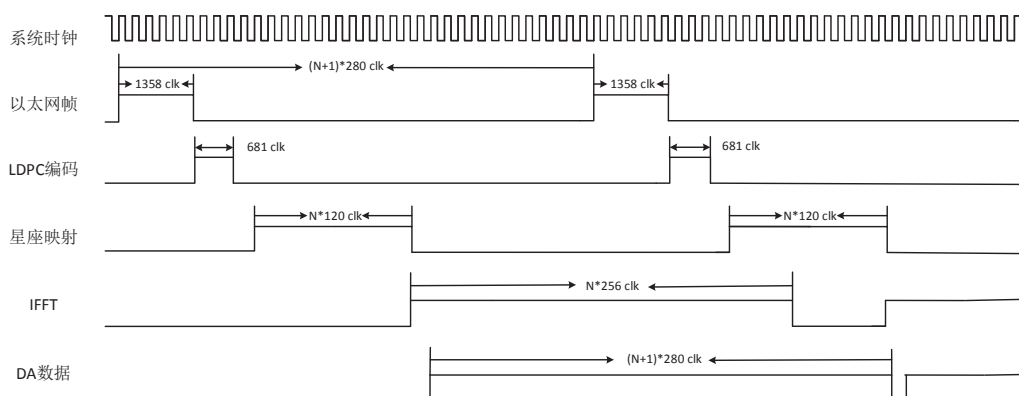


图 1.3 发射端基带处理时序图

经过编码的帧数据长度变为 1816 byte，送入自适应调制模块，其功能是将信息比特分配到 OFDM 各个子载波上，并映射到星座图中的点，输出 OFDM 符号频域数据，这部分属于自适应设计的核心部分，将在下一节详细介绍。

经自适应模块调制后得到  $N$  个 OFDM 符号， $N$  的值也调制的选择有关，假设根据自适应参数每个 OFDM 符号传输  $R$  比特，则有  $N = \lceil 14528/R \rceil$ ，其中  $\lceil \cdot \rceil$  表示向上取整运算。为了提高传输速率，要保证所有的操作在一个 OFDM 帧周期内完成，所以要将将已调制符号交替存入两个 RAM 中，进行乒乓操作，即如果自适应模块再往其中 RAM 中写数据，则 IFFT 模块应该在另一个 RAM 中读数据去进行 IFFT 运算，到下一帧时这两个 RAM 的角色交换。IFFT 模块可以使用 Xilinx 公司提供的 IP 核实现，并且可以通过设置自动添加添加循环前缀，非常方便。得到 OFDM 时域符号之后，在每帧的头部再加上 ZC 导频序列之后输入到 DAC 芯片输出，整个发射过程的时序安排如图 1.3 所示。

### 1.2.3 接收端基带处理

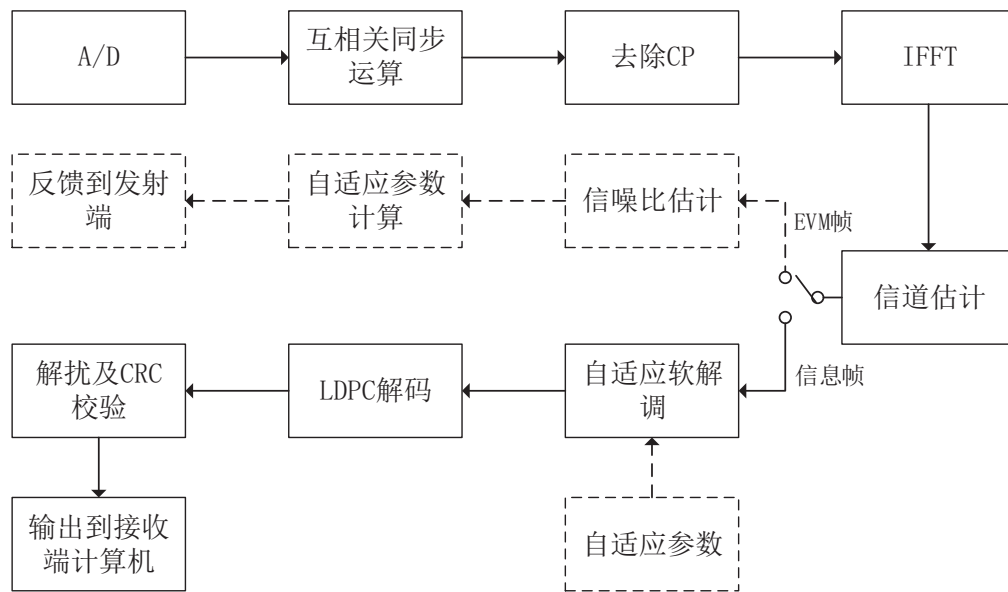


图 1.4 接收端基带处理原理框图

接收端基带处理过程如图 1.4 所示，模拟信号经过 AD 变化之后先与导频时域 ZC 序列进行互相关同步运算，互相关结果的峰值所在位置就是导频的开始位置，在现实时为了避免找最大值这样复杂的运算，会通过另外一个模块估计接收信号的功率，从而得到一个互相关阈值，如果互相关结果大于这个阈值就可以认为是同步峰。使用这个特性就能把接收到的信号重新分成一个个 OFDM 符号，包含 1 个导频符号和  $N$  个信息符号。

因为要使用 EVM 方法进行信噪比估计，此时需要将用于 EVM 估计的前导序列放在信息符号发送，我们称这种帧为 EVM 帧。将这些时域 OFDM 符号去掉 CP，再送入

FFT 模块，FFT 模块输出频域 OFDM 符号，其中导频符号用于信道估计（使用 LS 算法），待得到信道估计之后，对信息符号进行单系数均衡，如果是数据帧则送入自适应软解调模块就行解调；如果是 EVM 帧怎送入信噪比估计模块估计 SNR，之后再使用 Improved-SBLA 算法计算自适应参数，反馈到发射端，这部分也将在下一节展开。

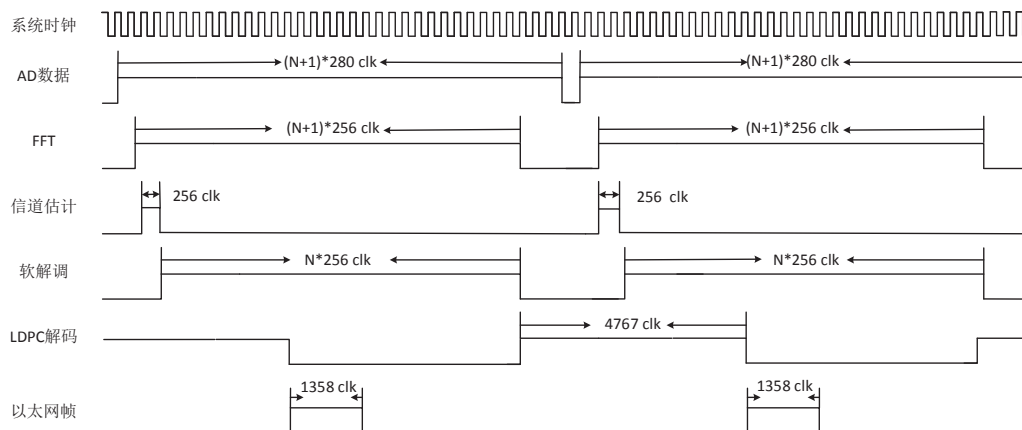


图 1.5 接收端基带处理时序图

软解调得到的数据被送入 LDPC 码解码模块进行解码，软解调的输出位宽因调制阶数不同而不同，如使用 4QAM 调制的子载波软解调输出位宽为 16 ( $8 \times 2$ ) bit、16QAM 为 32 ( $8 \times 4$ ) bit、64QAM 为 48 ( $8 \times 6$ ) bit、256QAM 对应为 64 ( $8 \times 8$ ) bit，而解码器的输入位宽为  $256 = 8 \times 32$  bit，所以这里也存在数据位宽变换的问题，可以先将各阶调制得到的数据量存在各自的 RAM 中，然后统一以 64 bit 位宽读入到一个 FIFO 中，再以 256 bit 位宽读入送入 LDPC 解码器解码。如接收端基带处理时序图 1.5 所示，解码过程所需要的时间也随迭代次数成正比，具体为迭代次数加 1 再乘以 227，本系统设置迭代次数为 20，故整个解码过程为 4767 clk。解码器输出位宽为 48 bit，经位宽变换为 8 bit 之后送入 CRC 模块进行校验，以统计误帧率，这是系统 QoS 一个重要的指标。如果通过 CRC 校验帧正确，则通过以太网接口送入接收端计算机，否则丢弃该帧。

## 1.3 自适应模块 FPGA 方案设计

### 1.3.1 自适应调制模块

### 1.3.2 信噪比估计与自适应参数计算

### 1.3.3 自适应软解调模块

## 1.4 本章小结

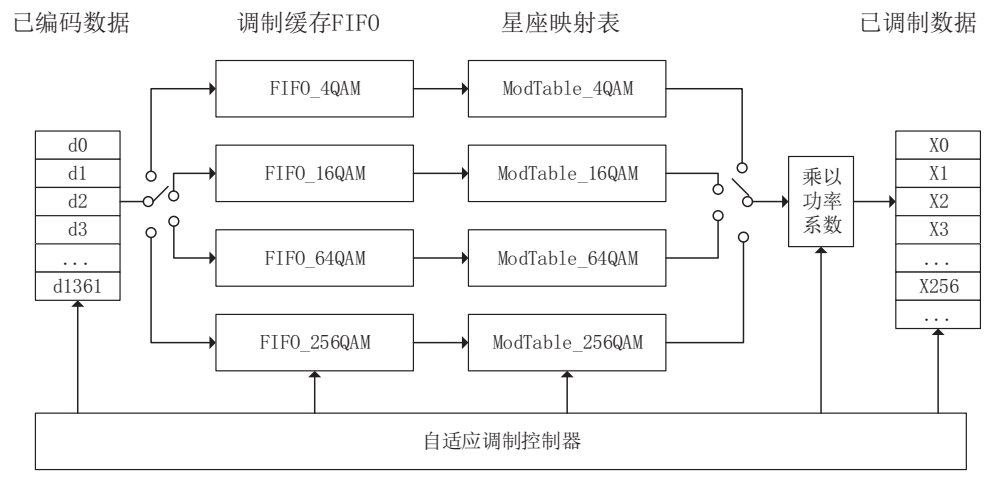


图 1.6 自适应调制模块示意图

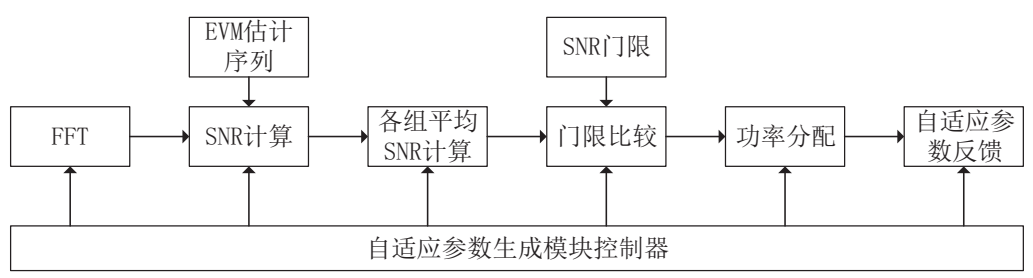


图 1.7 自适应参数生成模块示意图

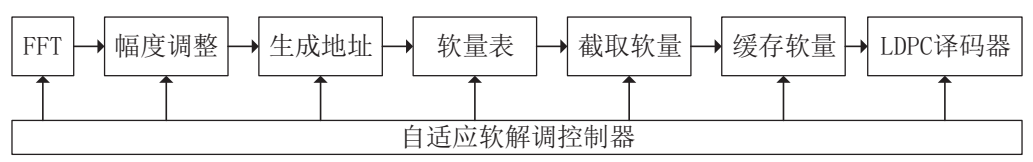


图 1.8 自适应软解调模块示意图



心於至善

---

