



院 (系) 学 号 审 批 _____
专 业 实 验 人 _____

实验题目：组合电路中的竞争与冒险

一、实验目的和要求：

- 1、观察组合电路中的竞争与冒险现象；
- 2、了解消除竞争与冒险现象的方法。

二、实验仪器及器件：

- 1、数字电路实验箱、数字万用表、示波器；
- 2、器件：3 个 74LS00、1 个 74LS20、1 个 330PF 电容。

三、实验原理：

1、竞争冒险现象及其成因

在组合逻辑电路中信号的传输可能通过不同的路径而汇合到某一门的输入端上。由于门电路的传输延迟，各路信号对于汇合点会有一定的时差。这种现象称为竞争。这个时候如果电路的输出产生了错误输出，则称为逻辑冒险现象。一般说来，在组合逻辑电路中，如果有两个或两个以上的信号参差地加到同一门的输入端，在门的输出端得到稳定的输出之前，可能出现短暂的，不是原设计要求的错误输出，其形状是一个宽度仅为时差的窄脉冲，通常称为尖峰脉冲或毛刺。

2、检查竞争冒险现象的方法

在输入变量每次只有一个改变状态的简单情况下，如果输出门电路的两个输入信号 A 和 \bar{A} 是输入变量 A 经过两个不同的传输途径而来的，那么当输入变量的状态发生突变时输出端便有可能产生两个尖峰脉冲。

因此，只要输出端的逻辑函数在一定条件下化简成 $Y = A + \bar{A}$ 或 $Y = A\bar{A}$ 则可判断存在竞争冒险。

3、消除竞争冒险现象的方法

(1) 接入滤波电路

在输入端并接一个很小的滤波电容 C_f ，足可把尖峰脉冲的幅度削弱至门电中的阈值电压以下。

(2) 引入选通脉冲

对输出引进选通脉冲，避开现象。

(3) 修改逻辑设计

在逻辑函数化简选择乘积项时，按照判断组合电路是否存在竞争冒险的方法，选择使逻辑函数不会使逻辑函数产生竞争冒险的乘积项。也可采用增加冗余项方法。

组合逻辑电路的险象是一个重要的实际问题。当设计出一个组合电路，安装后应首先进行静态测试，也就是用逻辑开关按真值表依次改变输入量，验证其逻辑功能。然后再进行动态测试，观察是否存在冒险。如果电路存在险象，但不影响下一级电路的正常工作，就不必采取消除险象的措施；如果影响下一级电路的正常工作，就要分析险象的原因，然后根据不同的情况采取措施加以消除。

四、实验内容：

实现函数 $F = AB + \overline{BCD} + \overline{ACD}$ ，并假定，输入只有原变量即无反变量输入。

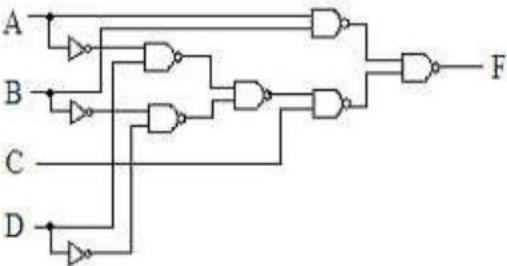
- 1、画出逻辑图，使易于观察电路的竞争冒险现象。
- 2、列出真值表。
- 3、静态测试，即按真值表验证其逻辑功能。
- 4、观察变量 A 变化过程中的险象，并测出毛刺的幅度和宽度（中值宽度）。
- 5、使再经过一级反相器，检查险象是否影响下一级电路的正常工作。
- 6、在 F 端并接一只 330PF 电容，还会影响下一级电路的正常工作吗。
- 7、分别观察变量 B、D 变化过程中产生的险象。
- 8、用加冗余项法消除 A 变化过程中产生的险象。此时允许使用 74LS20（二 4 输入与非门）。

五、实验设计及数据发现与处理：

- 1、画逻辑图。

将 F 化成以下形式：

$$\begin{aligned} F &= AB + \overline{BCD} + \overline{ACD} \\ &= AB + C(\overline{BDAD}) \\ &= \overline{AB \cdot C \cdot (BD \cdot AD)} \end{aligned}$$



图（1）观察竞争冒险现象电路

根据 F 的表达式画的逻辑图如图（1）所示。

- 2、列出真值表。根据 F 的表达式列出其真值表如表一所示：

A	B	C	D	F	F _测
0	0	0	0	0	0
0	0	0	1	0	0
0	0	1	0	1	1
0	0	1	1	1	1
0	1	0	0	0	0
0	1	0	1	0	0
0	1	1	0	0	0
0	1	1	1	1	1
0	0	0	0	0	0
1	0	0	1	0	0
1	0	1	0	1	1
1	0	1	1	0	0
1	1	0	0	1	1
1	1	0	1	1	1
1	1	1	0	1	1
1	1	1	1	1	1

表（1） F 的真值表

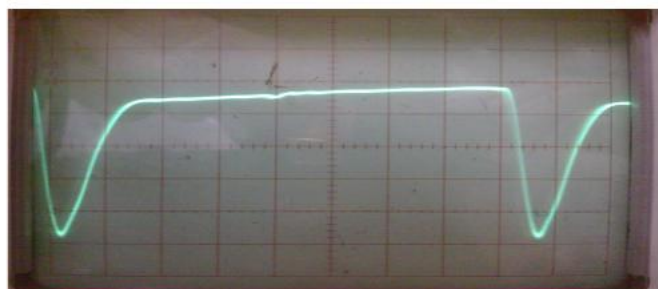
3、静态测试，即按真值表验证其逻辑功能。

A、B、C、D 接入逻辑开关对图（1）静态测试，得到的结果如图（1）的最后一列，可以知道表（1）的逻辑功能是正确的。

4、观察变量 A 变化过程中的险象：

即取 $B=C=D=1$ ，得 $F = \bar{A} + A$ ，A 改接函数发生器的连续脉冲源，工作频率 $f=3\text{MHz}$ 。

此时输出 F 出现竞争冒险现象，图像如图（2）所示：



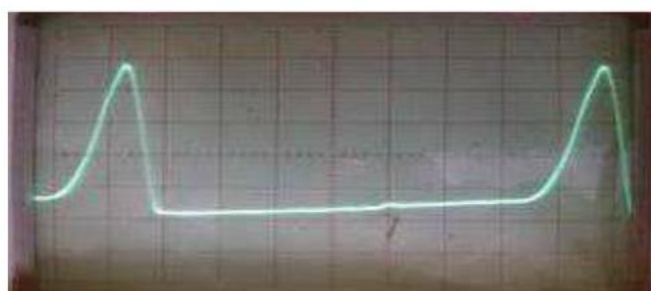
图（2）竞争冒险现象

其中，毛刺幅度约为 $4.25 \times 0.2 = 0.850\text{V}$ ，中值宽度为 $0.2 \div 5 \times 4 \div 10 = 0.016 \mu\text{s}$ 。

5、经过一级反相器，如图（3）（a）



(a)

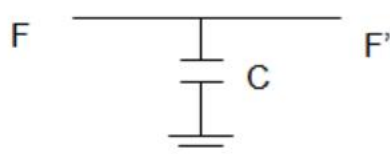


(b)

图（3）

由于 A 和 A' 经过的门个数不同，所以还是会出现竞争冒险现象，图像如图（3）（b）所示，这影响下一级电路的正常工作。毛刺幅度和中值宽度和没加反相器的一样。

6、在 F 端并接一只 330PF 电容，如图（4）



图（4）

这个电容足可把尖峰脉冲的幅度削弱至门电中的阈值电压以下，所以竞争冒险现象消失，不会影响下一级电路的正常工作。

7、分别观察变量 B、D 变化过程中产生的险象。

(1) 令 $A=C=1$, $D=0$, B 输入 3MHz 连续脉冲, 可得险象和 A 的一样, 即图 (2) 所示。

(2) 令 $A=B=0$, $C=1$, D 输入 3MHz 连续脉冲, 由于 D 和 D' 经过的门数基本一样, 门电路的传输延迟时差几乎为 0, 所以此时几乎看不到竞争冒险现象。

8、用加冗余项法消除 A 变化过程中产生的险象。

加冗余项 BCD, 即有

$$F = AB + \overline{BCD} + \overline{ACD} = AB + \overline{BCD} + \overline{ACD} + BCD$$

化成以下形式:

$$\begin{aligned} F &= AB + \overline{BCD} + \overline{ACD} \\ &= AB + \overline{BCD} + \overline{ACD} + BCD \\ &= AB + \overline{\overline{BCD}AD} + BCD \\ &= \overline{AB \cdot \overline{CBDAD} \cdot \overline{BCD}} \end{aligned}$$

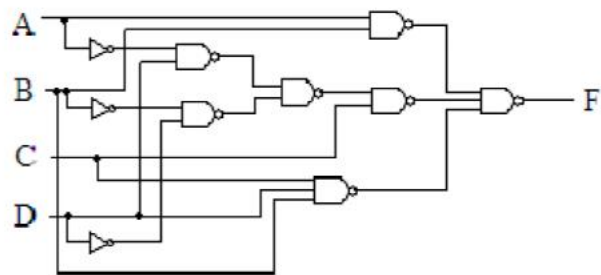


图 (5) 加冗余项电路图

根据 F 的画得逻辑图如图 (5) 所示, 经过观察, 这也可以消除竞争冒险现象。

因为当 $B=C=D=1$ 时, 有冗余项 $BCD=1$, 而 $\overline{BCD}=0$, 故 $F=1$, 此时不论 A 和 \overline{A} 是否经过同样数目的与非门都无法影响结果 ($F=1$) 的输出。

六、实验心得:

经过本次实验, 可以知道门电路传输延迟时差是产生竞争冒险现象的主要原因, 险象有可能是电路输出产生错误, 因此想办法消除, 方法主要有三个, 一是接入滤波电容, 二是引入选通脉冲, 三是增加冗余项, 进而修改逻辑设计。