



中山大學

SUN YAT-SEN UNIVERSITY

SUN YAT-SEN UNIVERSITY

院(系) 信息科学与技术学院 学号 _____ 班级 13 计科一班
专业 计算机类 实验人 _____

实验报告

实验题目: 利用 JK 触发器实现 74LS194 以及 74LS197 功能

2014 年 5 月 8 日

实验内容:

1. 利用 JK 触发器 (74LS73) 实现 74LS197 功能
2. 利用 JK 触发器 (74LS73) 实现 74LS194 功能

实验内容 1

一、实验目的

利用 JK 触发器 (74LS73) 实现 74LS197 功能

二、实验仪器及器件

1. 数字电路实验箱、示波器
2. 器件: 74LS73

三、实验原理

触发器的一个应用是对周期方波的频率进行分频。当脉冲波形加在一个 JK 触发器的时钟输入时, JK 触发器链接成切换状态 ($J=K=1$), 这是 Q 输出就是一个频率为时钟输入频率一般的方波。因此, 单个触发器可以用做除 2 芯片。触发器在每一个触发时钟边沿改变状态, 这就产生了一个输出, 它的频率变为时钟波形频率的一半。时钟频率的进一步分频可以通过将触发器的输出用做第二个触发器的时钟输入来实现。以此类推, 用这种方式连接触发器, 就可以实现 2^n 分频, 其中 n 是触发器的个数。因此, 要实现 74LS197 的十六进制计数功能, 就可以通过依次连接 4 个 JK 触发器 (其中每个触发器的 Q 输出作为下一级的时钟输入), 且 4 个触发器共用一个清零端。

四、实验内容

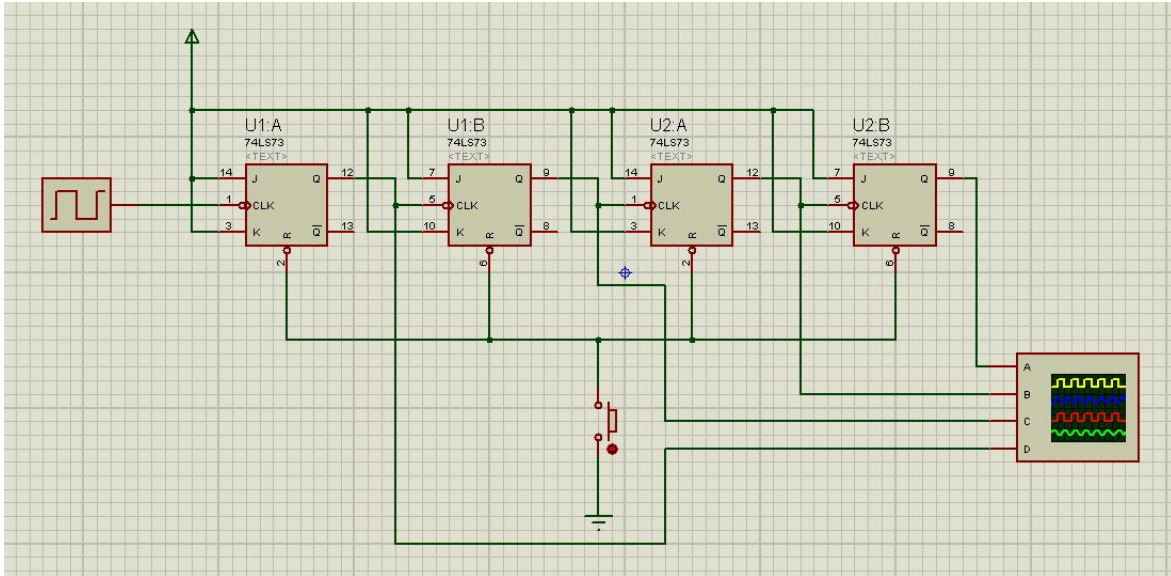
1. 根据实验原理设计出利用 JK 触发器 (74LS73) 实现 74LS197 功能的逻辑电路;
2. 用示波器记录输出波形, 并与 74LS194 的波形进行比较。

逻辑图如下:



实验题目：利用 JK 触发器实现 74LS194 以及 74LS197 功能

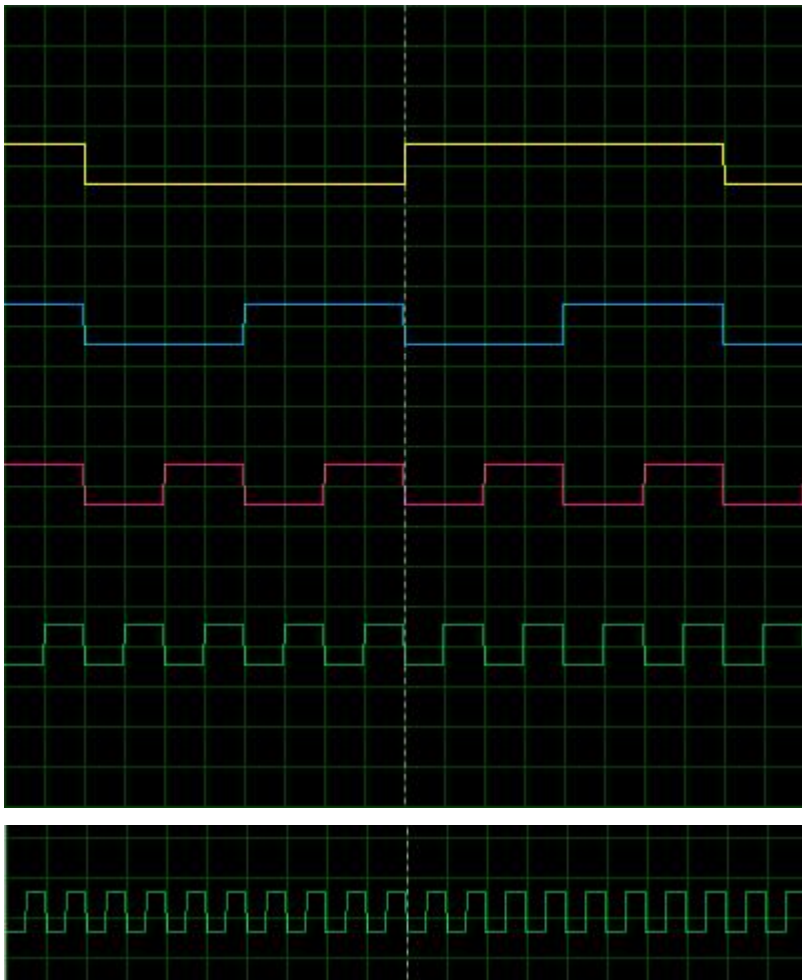
2014 年 5 月 8 日



Proteus 模拟波形图如下

其中从下到上分别是 CP、Q0、Q1、Q2、Q3 的波形。

对比后可知，该波形与 74LS197 进行十六进制计数时候的波形一致，说明逻辑电路正确，实验成功。





实验题目：利用 JK 触发器实现 74LS194 以及 74LS197 功能

2014 年 5 月 8 日

实验内容 2

一、实验目的

利用 JK 触发器（74LS73）实现 74LS194 功能

二、实验仪器及器件

1. 数字电路实验箱

2. 器件：74LS73

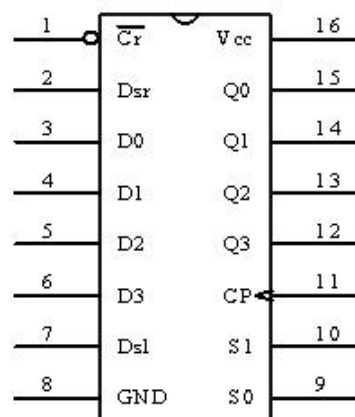
三、实验原理

74LS194 为移位寄存器。它具有左移、右移，并行送数、保持及清除等五项功能。其引脚图如右图所示。其中 Cr 为清除端，CP 为时钟输入端，S0、S1 为状态控制端，DSR 为右移数据串行输入端，DSL 为左移数据输入端，D0、D1、D2、D3 位并行数据输入端，Q0、Q1、Q2、Q3 为数据输出端。其功能表如右所示。

阅读 74LS73 的功能表，如右图所示。

当 J 与 K 状态相反时，输出 Q 的状态与 J 相同。本实验模拟的 74LS194 功能要实现四输入四输出，因而需要四个触发器。

对于清零的工作状态的实现，可通过四个触发器连接同一个清零端来解决。考虑另外四种工作状态，可以使用四个四选一的数据选择器实现 J 的输入。当 S1、S0 分别为 00、01、10、11 时实现的四个功能，可以通过 A0、A1、A2 和 A3 分别连接对应的 Qn，Qn-1（或 DSR）、Qn+1（或 DSL）与需要送入的信号来实现。



功能表

输 入				输 出	
预置	时钟	J	K	Q	\bar{Q}
L	X	X	X	H	L
H	↓	L	L	Q0	$\bar{Q0}$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	触发	
H	H	X	X	Q0	$\bar{Q0}$

Q0=建立稳态输入条件前，Q 的电平。

\bar{CR}	S1	S0	功能
0	X	X	清除
1	1	1	送数
1	0	1	右移
1	1	0	左移
1	0	0	保持



实验题目：利用 JK 触发器实现 74LS194 以及 74LS197 功能

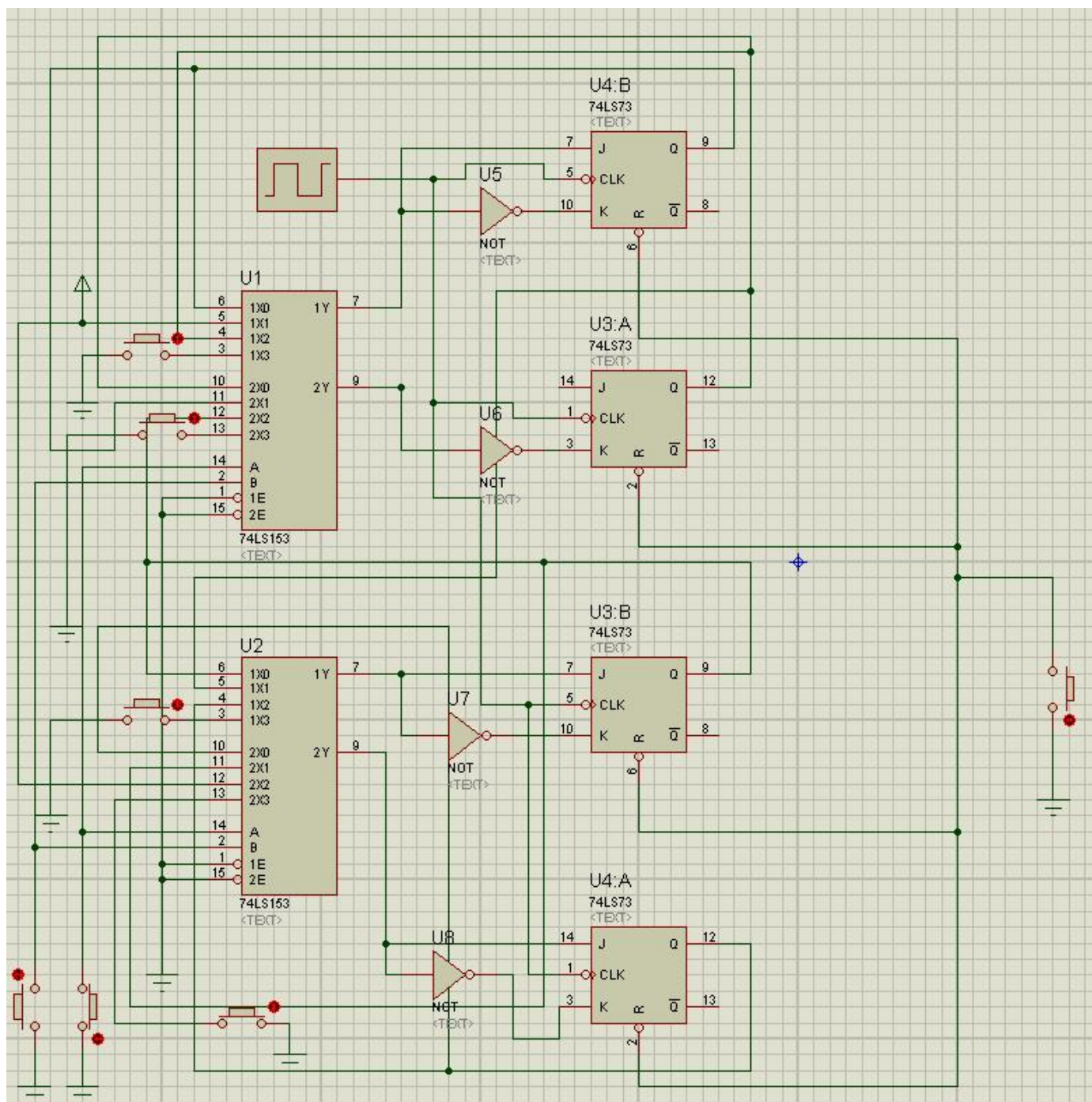
2014 年 5 月 8 日

四、实验内容

1. 根据实验原理设计出利用 JK 触发器（74LS73）实现 74LS194 功能的逻辑电路；

2. 检验电路是否符合 74LS194 的功能。

逻辑图如下：



检验可得，该实验模拟得到的功能与 74LS194 一致。