

4 位移位寄存器（并行存取，J— \overline{K} 输入）

54195/74195
54S195/74S195
54LS195/74LS195

195 为 4 位双向移位寄存器，共有 54195/74195、54S195/74S195，54LS195/74LS195 三种线路结构形式。其主要电特性的典型值如下：

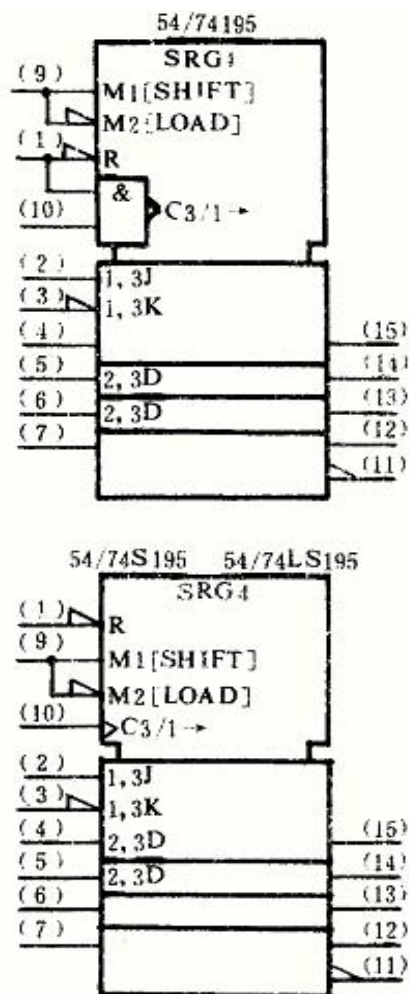
型号	fm	P _D
54195/74195	39MHz	195mW
54S195/74S195	105MHz	350mW
54LS195/74LS195	39MHz	70mW

当清除端（CLEAR）为低电平时，输出端（Q_A~Q_D）均为低电平。

当移位/置入控制端（S LOAD）为低电平时，并在并行数据输入端（A—D）送入数据，在时钟（CLOCK）上升沿作用下，Q_A~Q_D与A—D相一致。此时串行数据（J、 \overline{K} ）被禁止。

当S LOAD为高电平，在CLOCK上升沿作用下进行右移操作，数据由J、 \overline{K} 送入。

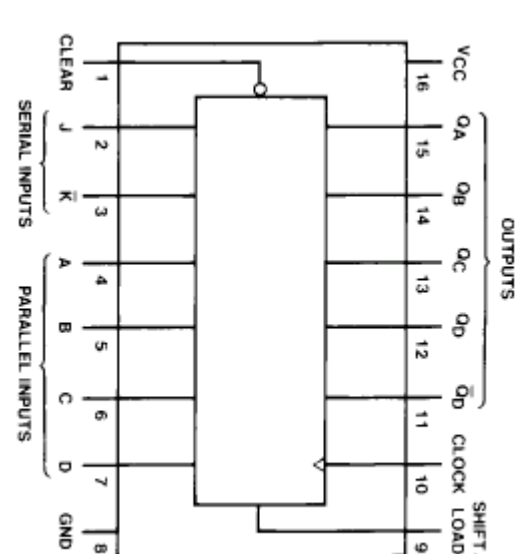
逻辑符号：



引出端符号

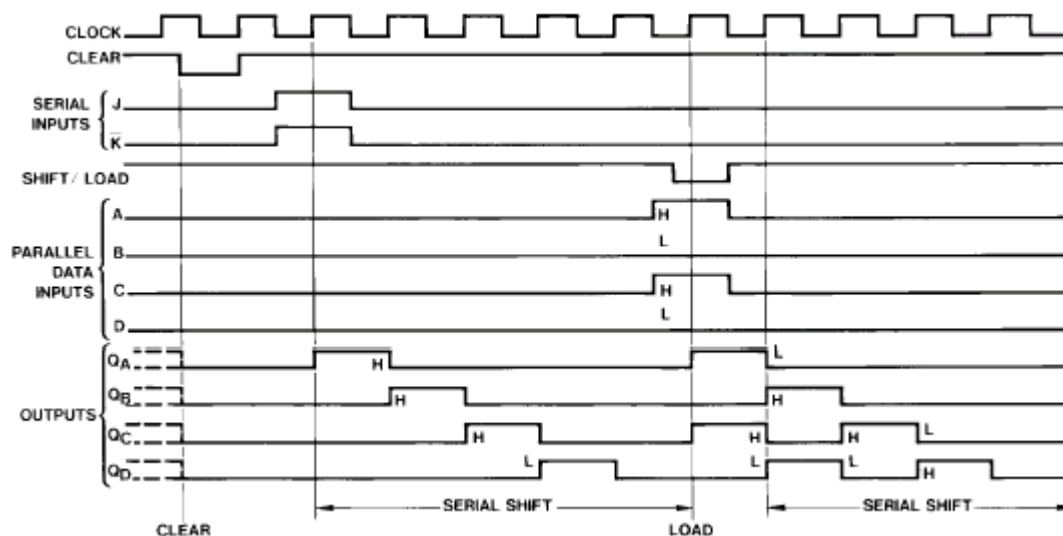
CLOCK	时钟输入端
CLEAR	清除端（低电平有效）
A—D	并行数据输入端
J	串行数据输入端
\overline{K}	串行数据输入端（低电平有效）
Q _A ~Q _D	输出端
\overline{Q}_D	互补输出端
S LOAD	移位控制/置入控制（低电平有效）

双列直插封装



极限值		
电源电压	7V	
输入电压		
54/74195, 54/74S195	5.5V	
54/74LS195	7V	
工作环境温度		
54×××	-55~125℃	
74×××	-0~70℃	
储存温度	-65℃~150℃	

时序图



功能表

输					入					输					出				
\overline{CR}	$\overline{SH}/\overline{LD}$	CP	J	\overline{K}	D_0	D_1	D_2	D_3	Q_0	Q_1	Q_2	Q_3	$\overline{Q_3}$						
L	X	X	X	X	X	X	X	X	L	L	L	L	H						
H	L	↑	X	X	d_0	d_1	d_2	d_3	d_0	d_1	d_2	d_3	d_3						
H	H	L	X	X	X	X	X	X	Q_{00}	Q_{10}	Q_{20}	Q_{30}	$\overline{Q_{30}}$						
H	H	↑	L	H	X	X	X	X	Q_{00}	Q_{10}	Q_{20}	Q_{30}	$\overline{Q_{30}}$						
H	H	↑	L	L	X	X	X	X	L	Q_{10}	Q_{20}	Q_{30}	$\overline{Q_{30}}$						
H	H	↑	H	H	X	X	X	X	H	Q_{10}	Q_{20}	Q_{30}	$\overline{Q_{30}}$						
H	H	↑	H	L	X	X	X	X	Q_{10}	Q_{20}	Q_{30}	Q_{30}	$\overline{Q_{30}}$						

H—高电平

L—低电平

↑—低到高电平跳变

X—任意

d_0, d_1, d_2, d_3 — D_0, D_1, D_2, D_3 端的稳态输入电平

$\overline{d_3}$ — d_3 的补码

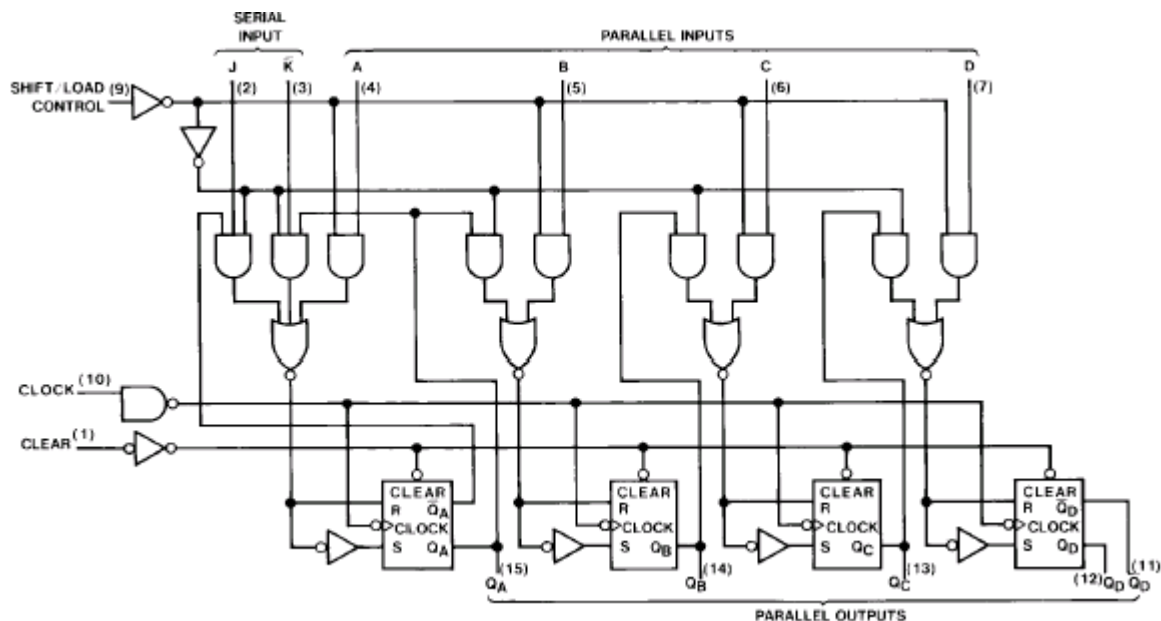
$Q_{00}, Q_{10}, Q_{20}, Q_{30}$ —规定的稳态输入条件建立前 Q_0, Q_1, Q_2, Q_3 的电平

$\overline{Q_{30}}$ — Q_{30} 的补码

Q_{0n}, Q_{1n}, Q_{2n} —时钟最近的 ↑ 前 Q_0, Q_1, Q_2 的电平

$\overline{Q_{0n}}, \overline{Q_{2n}}$ — Q_{0n}, Q_{2n} 的补码

逻辑图



推荐工作条件:

		54/74195			54/74S195			54/74LS195			单位
		最小	额定	最大	最小	额定	最大	最小	额定	最大	
电源电压V _{CC}	54	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V
	74	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
输入高电平电压V _{iH}		2			2			2			V
输入低电平电压 V _{iL}	54			0.8			0.8			0.7	V
	74			0.8			0.8			0.8	
输出高电平电流I _{OH}				-800			-1000			-400	uA
输出低电平电流I _{OL}	54			16			20			4	mA
	74			16			20			8	
时钟频率f _{CP}		0		30	0		70	0		30	MHz
脉冲宽度 T _w	CLOCK	16			7			25			ns
	CLEAR	12			12			20			ns
建立时间 t _{set}	S LOAD	25			11			30			ns
	J、 \overline{K} 、A-D	20			5			20			ns
	CLEAR 无效	25			9			25			ns
保持时间 t _H	J、 \overline{K} 、A-D	0			3			0			ns
恢复时间 tre	S LOAD			10						10	ns

动态特性($T_A=25^{\circ}\text{C}$)

参 数 ^[2]		测 试 条 件	'195		'S195		'LS195		单位
			最小	最大	最小	最大	最小	最大	
f _{max}		V _{cc} =5V, C _L =15Pf, R _L =400Ω ('195 为 280Ω, 'LS195 为 2KΩ)	30		70		30		MHz
t _{PLH}	CLOCK → 任一			22		12		22	ns
t _{PHL}	Q			26		16.5		26	ns
t _{PHL}	CLEAR → 任一			30		18.5		30	ns

[2]: f_{max} 最大时钟频率。t_{PLH} 输出由低电平到高电平传输延迟时间 t_{PHL} 输出由高电平到低电平传输延迟时间

静态特性 (TA 为工作环境温度范围)

参 数	测 试 条 件 ^[1]		'195		'S195		'LS195		单位
			最小	最大	最小	最大	最小	最大	
V _{IK} 输入嵌位电压	V _{cc} =最小	I _{ik} =-12mA		1.5					V
		I _{ik} =-18mA				-1.2		-1.5	
V _{OH} 输出高电平电压	V _{cc} =最小 V _{IH} =2V V _{IL} =最大, I _{OH} =最大	54	2.4		2.5		2.5		V
		74	2.4		2.7		2.7		
V _{OL} 输出低电平电压	V _{cc} =最小, V _{IH} =2V, V _{IL} =最大, I _{OL} =最大	54		0.4		0.5		0.4	V
		74		0.4		0.5		0.5	
I _I 最大输入电压时输入电流	V _{cc} =最大	V _I =5.5V		1		1			mA
		V _I =7V						0.1	
I _{IH} 输入高电平电流	V _{cc} =最大	V _{IH} =2.4V		40					μA
		V _{IH} =2.7V				50		20	
I _{IL} 输入低电平电流	V _{cc} =最大,	V _{IL} =0.4V		-1.6				-0.4	mA
		V _{IL} =0.5V				-2			
I _{OS} 输出短路电流	V _{cc} =最大	54	-20	-57	-40	-100	-20	-100	mA
		74	-18	-57	-40	-100	-20	-100	
I _{CC} 电源电流	V _{cc} =最大, S LOAD接地, J、 K、A-D接 4.5V, CLEAR瞬 时接地后接 4.5V, 然后CLOCK 瞬时接地后接 4.5V	54		63		99		21	mA
		74		63		109		21	

[1]: 测试条件中的“最小”和“最大”用推荐工作条件中的相应值。