

54162/74162

十进制同步计数器(同步清除) 简要说明:

162 为可预置的十进制同步计数器,共有 54/74162 和 54/74LS162 两种线路结构型式,其主要电特性的典型值如下:

型号	FMAX	PD
CT54162/CT74162	32MHz	305mW
CT54LS162/CT74LS162	32MHz	93mW

162 的清除端是同步的。当清除端/SR 为低电平时,在时钟端 CP 上升沿作用下,才可完成清除功能。

162 的预置是同步的。当置入控制器/PE 为低电平时,在 CP 上 升沿作用下,输出端 Q0 — Q3 与数据输入端 P0 — P3 — 致。对于 54/74162,当 CP 由低至高跳变或跳变前,如果计数控制端 CEP、CET 为高电平,则/PE 应避免由低至高电平的跳变,而 54/74LS162 无此 种限制。

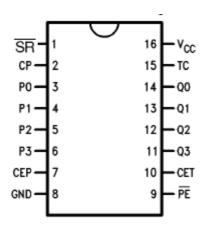
162 的计数是同步的,靠 CP 同时加在四个触发器上而实现的。 当 CEP、CET 均为高电平时,在 CP 上升沿作用下 Q0—Q3 同时变化, 从而消除了异步计数器中出现的计数尖峰。对于 54/74162,只有当 CP 为高电平时,CEP、CET 才允许由高至低电平的跳变,而 54/74LS162 的 CEP、CET 跳变与 CP 无关。

162 有超前进位功能。当计数溢出时,进位输出端(TC)输出一个高电平脉冲,其宽度为 Q0 的高电平部分。

在不外加门电路的情况下,可级联成 N 位同步计数器。

对于 54/74LS162, 在 CP 出现前,即使 CEP、CET、/SR 发生变化, 电路的功能也不受影响。

管脚图:



引出端符号:

 TC
 进位输出端

 CEP
 计数控制端

 Q0-Q3
 输出端

 CET
 计数控制端



 CP
 时钟输入端(上升沿有效)

 /SR
 异步清除输入端(低电平有效)

 /PE
 同步并行置入控制端(低电平有效)

功能表:

SR	PE	CET	CEP	Action on the Rising Clock Edge ()
L	Х	Х	Х	RESET (Clear)
Н	L	Х	Х	$LOAD(P_n \rightarrow Q_n)$
Н	Н	Н	Н	COUNT (Increment)
Н	Н	L	Х	NO CHANGE (Hold)
Н	Н	X	L	NO CHANGE (Hold)

说明: H-高电平 L-低电平 X-任意

极限值

电源电压	7V
输入电压	
54/74162	5.5V
54/74LS162	7V
CEP 与 CET 间电压	
54/74162	5.5V
工作环境温度	
54×××	−55~125°C
74×××	0~70°C
贮存温度	−65~150°C

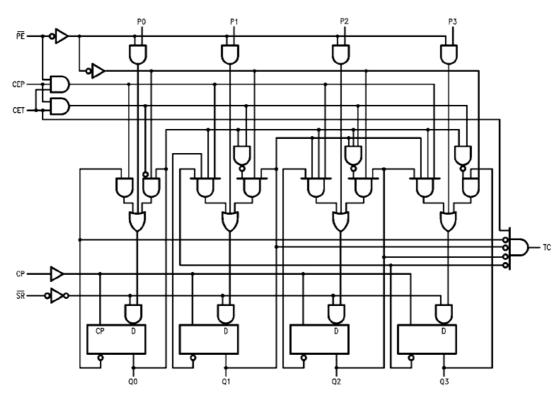
推荐工作条件:

		CT54	162/CT7	4162	CT54LS	站 Æ			
		最小	额定	最大	最小	额定	最大	单位	
中况中正 V.s.	54	4. 5	5	5. 5			5. 5	V	
电源电压 Vcc	74	4. 75	5	5. 25	4. 75	5	5. 25	v	
输入高电平电压 V_{IH}		2			2			V	
输入低电平电压 VIL	54			0. 8			0. 7	V	
	74			0. 8			0. 8	V	
输出高电平电流 I_{OH}				-800			-400	μА	
输出低电平电流 IoL	54			16			4	mA	
和古版电干电视 100	74			16			8	IIIIX	
时钟频率fcp		0		25	0		25	MHz	
脉冲宽度 tW	CP	25			25			ns	
אנארן אַנּאַע ניין	/SR	20			20			112	



建立时间t _{set}	PO-P3、CEP	20		20		ns
	/PE	25		20		115
保持时间ta		0		0		ns

逻辑图



静态特性 (Ta 为工作环境温度范围)

	参数 测试条件【1】			`1	62	`LS	162	单位		
	多奴	MINANTI LI			最小	最大	最小	最大	十匹	
VIK 输入钳位电压		Vcc 最小 IIK=-12mA		A		-1.5		v		
VIX 4	机八竹匠屯压	VCC 政小	IIK=-18mA	A				-1.5	1 "	
Vou té	计出高电平电压	Vcc=最小,VIH=2V,	VIL=最大,	54	2.4		2.5		V	
VOH 41	山山同电干电压	Іон=最大		74	2.4		2.7		v	
VOL 输出低电平电压		VCC=最小,VIH=2V,VIL=最大,IOL=最 54		54		0.4		0.4	v	
				74		0.4		0.5		
II 最大输	P0-P3,CEP,/SR	Vcc=最大 VI=5.5V('LS162 为 7				1		0.1		
入电压时 输入电流	/PE,CP,CET				1			0.2	mA	
IIII 输入高	СР,СЕТ	Vcc=最大 VIII	i=2.4V ('LS162	۷.		80		40		
HH 捌八高 电平电流	/PE	2.7V)		Ŋ		40		40	μА	
	P0-P3,CEP,/SR	2.7V)				40		20		
VIL 输入	CP,CET					-3.2		-0.8		
低电平电	/PE	Vcc=最大 VIL=0.4V				-1.6		-0.8	mA	
流	P0-P3,CEP,/SR					-1.6		-0.4		
IOS 输出短路电流		Vcc=最大 54		-20	-57	-20	-100	mA		



		74	-18	-57	-20	-100	
IccH 输出高电平时电源电流	Vcc=最大,/LD 先接高电平,再接低电 平,其余输入接高电平			85		31	m A
ICCH 相山同电干的电源电机				94		31	mA
IccL 输出低电平时电源电流	Vcc=最大,CP 先接高电平,再接低电	54		91		32	m A
ICCL 棚山瓜里干的电源电流	平,其余输入接低电平	74		101		32	mA

【1】: 测试条件中的"最大"和"最小"用推荐工作条件中的相应值。

动态特性 (TA=25℃)

4	⇒米 ₩ 【 0 】	测试条件	6	' 162		162	光	
	≽数【2】	侧瓜余件	最小	最大	最小	最大	单位	
	fmax		25		25		MHz	
tplh	CP->TC			35		35	ns	
tphl				35		35		
t PLH	CP->Q	Vcc=5V		20		24	***	
t PHL	(/PE=H)	C _L =15pF		23		27	ns	
t PLH	CP->Q	$RL=400\Omega$		25		24	***	
t PHL	(/PE=L)	('LS162 为 2KΩ)		29		27	ns	
tplh	CET->TC			16		14	***	
t PHL	CEI->IC			16		14	ns	
t PHL	/SR —>Q			38		28	ns	

【2】:fmax-最大时钟频率

tPLH-输出由低到高电平传输延迟时间

tphL-输出由高到低电平传输延迟时间