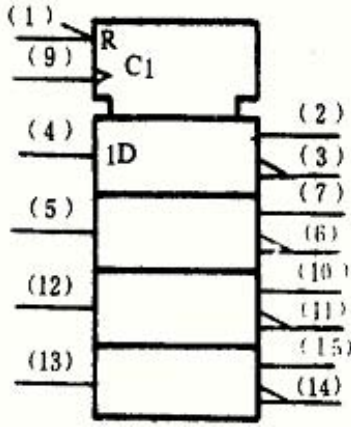
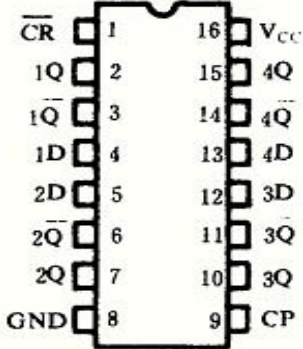


四上升沿 D 触发器（有公共清除端）		54175/74175 54S175/74S175 54LS175/74LS175																	
<div>简要说明</div> <div>175 为四上升沿 D 触发器，共有 54175/74175、54S175/74S175，54LS175/74LS175 三种线路结构形式。其主要电特性的典型值如下：</div> <table><tr><th>型号</th><th>fm</th><th>P_D</th></tr><tr><td>54163/74163</td><td>35MHz</td><td>150mW</td></tr><tr><td>54S163/74S163</td><td>110MHz</td><td>300mW</td></tr><tr><td>54LS163/74LS163</td><td>40MHz</td><td>55mW</td></tr></table> <div>当清除端（\overline{CR}）为低电平时，输出端 Q 为低电平。</div> <div>在时钟（CP）上升沿作用下，Q 与数据端（D）相一致。当 CP 为高电平或低电平时，D 对 Q 没有影响。</div>		型号	fm	P _D	54163/74163	35MHz	150mW	54S163/74S163	110MHz	300mW	54LS163/74LS163	40MHz	55mW	<div>逻辑符号</div> 					
型号	fm	P _D																	
54163/74163	35MHz	150mW																	
54S163/74S163	110MHz	300mW																	
54LS163/74LS163	40MHz	55mW																	
<div>引出端符号</div> <div>CP 时钟输入端（上升沿有效）</div> <div>\overline{CR} 清除端（低电平有效）</div> <div>1D~4D 数据输入端</div> <div>1Q~4Q 输出端</div> <div>1\overline{Q}~4\overline{Q} 互补输出端</div>		<div>外引线排列</div>  <div>CT54175 (D、J、F) CT74175 (D、J、P、F) CT54S175 (D、J、F) CT74S175 (D、J、P、F) CT54LS175 (D、J、F) CT74LS175 (D、J、P、F)</div>																	
<div>极限值</div> <table><tr><td>电源电压</td><td>7V</td></tr><tr><td>输入电压</td><td></td></tr><tr><td>54/74175，54/74S175</td><td>5.5V</td></tr><tr><td>54/74LS175</td><td>7V</td></tr><tr><td>工作环境温度</td><td></td></tr><tr><td>54×××</td><td>-55~125℃</td></tr><tr><td>74×××</td><td>0~70℃</td></tr><tr><td>储存温度</td><td>-65℃~150℃</td></tr></table>		电源电压	7V	输入电压		54/74175，54/74S175	5.5V	54/74LS175	7V	工作环境温度		54×××	-55~125℃	74×××	0~70℃	储存温度	-65℃~150℃		
电源电压	7V																		
输入电压																			
54/74175，54/74S175	5.5V																		
54/74LS175	7V																		
工作环境温度																			
54×××	-55~125℃																		
74×××	0~70℃																		
储存温度	-65℃~150℃																		

功能表

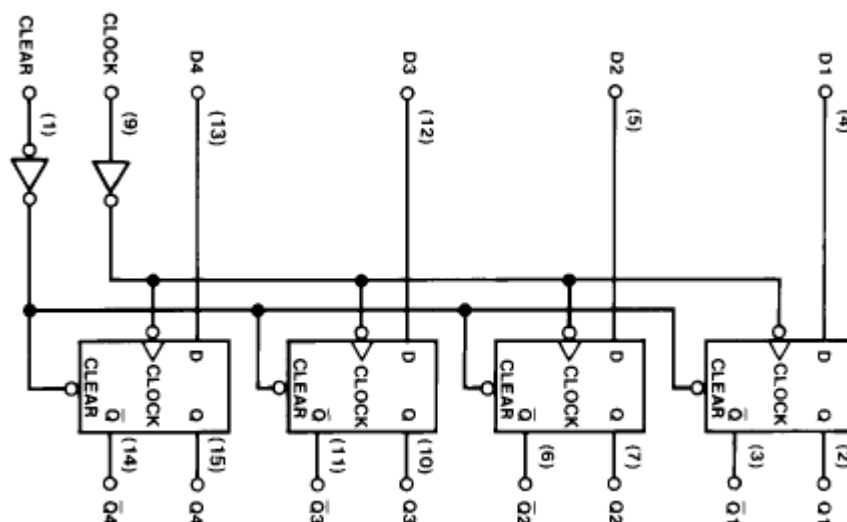
Inputs			Outputs	
Clear	Clock	D	Q	\overline{Q} †
L	X	X	L	H
H	↑	H	H	L
H	↑	L	L	H
H	L	X	Q ₀	\overline{Q}_0

H——高电平 L——低电平 †——低到高跳变 X——任意 Z——高阻
Q₀——规定的稳态输入条件建立前 Q 的电平

推荐工作条件:

		54/74175			54/74S175			54/74LS175			单位
		最小	额定	最大	最小	额定	最大	最小	额定	最大	
电源电压 V_{CC}	54	4.5	5	5.5	4.5	5	5.5	4.5	5	4.5	V
	74	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25	
输入高电平电压 V_{IH}		2			2			2			V
输入低电平电压 V_{IL}	54			0.8			0.8			0.7	V
	74			0.8			0.8			0.8	
输出高电平电流 I_{OH}				-800			-1000			-400	uA
输出低电平电流 I_{OL}	54			16			30			4	mA
	74			16			30			8	
时钟频率 fcp		0		25	0		75	0		30	MHz
脉冲宽度 T_w	CP	20			7			25			ns
	\overline{CR}	20			10			20			ns
建立时间 t_{set}	D	20			5			20			ns
	\overline{CR} 无效态	25			5			20			ns
保持时间 t_H		5			3			0			ns

逻辑图



静态特性 (TA 为工作环境温度范围)

参 数	测 试 条 件 ^[1]		'175		'S175		'LS175		单位
			最小	最大	最小	最大	最小	最大	
V _{IK} 输入嵌位电压	V _{CC} =最小	I _{ik} =-12mA		-1.5					V
		I _{ik} =-18mA				-1.2		-1.5	
V _{OH} 输出高电平电压	V _{CC} =最小 V _{IH} =2V V _{IL} =最大, I _{OH} =最大	54	2.4		2.5		2.5		V
		74	2.4		2.7		2.7		
V _{OL} 输出低电平电压	V _{CC} =最小, V _{IH} =2V, V _{IL} =最大, I _{OL} =最大	54		0.4		0.5		0.4	V
		74		0.4		0.5		0.5	
I _I 最大输入电压时输入电流	V _{CC} =最大	V _I =5.5V		1		1			mA
		V _I =7V						0.1	
I _{IH} 输入高电平电流	V _{CC} =最大	V _{IH} =2.4V		40					μA
		V _{IH} =2.7V				50		20	
I _{IL} 输入低电平电流	V _{CC} =最大,	V _{IL} =0.4V		-1.6				-0.4	mA
		V _{IL} =0.5V				-2			
I _{OS} 输出短路电流	V _{CC} =最大	54	-20	-57	-40	-100	-20	-100	mA
		74	-18	-57	-40	-100	-20	-100	
I _{CC} 电源电流	V _{CC} =最大, CP 瞬时接地后接 4.5V, 所有 D 和 \overline{CR} 接 4.5V			45		96		18	mA

[1]: 测试条件中的“最小”和“最大”用推荐工作条件中的相应值。

动态特性(T_A=25℃)

参 数 ^[2]		测 试 条 件	‘174		‘S174		‘LS174		单位
			最小	最大	最小	最大	最小	最大	
fmax		Vcc =5V,C _L =15Pf,R _L =400Ω (‘S175 为 280Ω , ‘LS175 为 2KΩ)	25		75		30		MHz
t _{PLH}	$\overline{CR} \rightarrow$ 任一 Q			25		15		30	ns
t _{PHL}					35		22		30
t _{PLH}	CP→任一 Q			30		12		25	ns
t _{PHL}					35		17		

[2]: f_{max} 最大时钟频率。t_{PLH} 输出由低电平到高电平传输延迟时间 t_{PHL} 输出由高电平到低电平传输延迟时间