

# 54113/74113

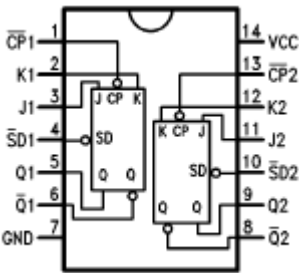
双下降沿 J-K 触发器（有预置端）

简要说明：

54/74S113 为带预置的两组 J-K 触发器，其主要电特性的典型值如下：

$F_{MAX}$	$P_D$
125MHz	150mW

管脚图：



引出端符号：

/CP1、/CP2	时钟输入端（下降沿有效）
J1、J2、K1、K2	数据输入端
Q1、Q2、/Q1、/Q2	输出端
/SD1、/SD2	直接置位端（低电平有效）

功能表：

输入				输出	
PR	/CP	J	K	Q	/Q
L	X	X	X	H	L
H	↓	L	L	$Q_0$	$/Q_0$
H	↓	H	L	H	L
H	↓	L	H	L	H
H	↓	H	H	$/Q_0$	$Q_0$
H	H	X	X	$Q_0$	$/Q_0$

说明：H—高电平  
L—低电平  
X—任意  
↓—高到低电平跳变

Q<sub>0</sub>—稳态输入条件建立前的Q的电平  
/Q<sub>0</sub>—稳态输入条件建立前Q的电平或Q<sub>0</sub> 的补码

极限值

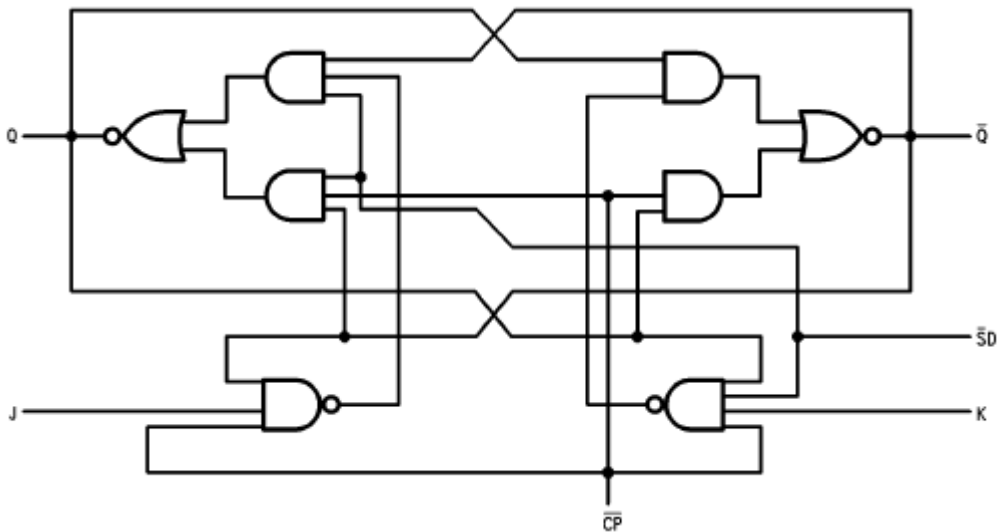
电源电压-----7V  
输入电压-----5.5V  
工作环境温度  
54S113----- -55~125℃  
74S113-----0~70℃  
贮存温度----- -65~150℃

推荐工作条件:

		CT54S113/CT74S113			单位
		最小	额定	最大	
电源电压 V <sub>CC</sub>	54	4. 5	5	5. 5	V
	74	4. 75	5	5. 25	
输入高电平电压 V <sub>IH</sub>		2			V
输入低电平电压 V <sub>IL</sub>				0. 8	V
输出高电平电流 I <sub>OH</sub>				-1000	μ A
输出低电平电流 I <sub>OL</sub>				20	mA
时钟频率f <sub>CP</sub>		0		80	MHz
脉冲宽度 t <sub>W</sub>	/CP (H)	6			ns
	/CP (L)	6. 5			
	/SD (L)	8			
建立时间 t <sub>set</sub>		3 ↓			ns
保持时间 t <sub>h</sub>		0 ↓			ns

↓ 表示以 CP 下降沿为参考

逻辑图 (1/2)



静态特性（ $T_A$  为工作环境温度范围）

参数		测试条件【1】		`S113		单位
				最小	最大	
VIK 输入钳位电压		Vcc 最小 IIK=-18mA			-1.2	V
VOH 输出高电平电压		Vcc=最小, VIH=2V, VIL=0.8V, IOH=-1000 $\mu$ A	54	2.5		V
			74	2.7		
VOL 输出低电平电压		VCC=最小, VIH=2V, VIL=0.8V, IOL=20mA			0.5	V
II 最大输入电压时输入 电流		Vcc=最大 VI=5.5V		1		mA
IIH 输入高电 平电流	J、K	Vcc=最大 VIH=2.7V		50		$\mu$ A
	/SD、 /CP			100		
VIL 输入低电 平电流	J、K	Vcc=最大 VIL=0.5V		-1.6		mA
	/SD			-7		
	/CP			-4		
IOS 输出短路电流		Vcc=最大		-40	-100	mA
Icc 电源电流		Vcc=最大 CP1 和 CP2 接地 Q1、Q2 和/Q1、/Q2 分别接高电平			50	mA

【1】：测试条件中的“最大”和“最小”用推荐工作条件中的相应值。

动态特性（ $T_A=25^{\circ}\text{C}$ ）

参数【2】		测试条件	‘S113		单位
			最小	最大	
fmax		Vcc=5V CL=15pF RL=280 $\Omega$	80		MHz
tPLH	/SD->Q			7	ns
tPHL	/SD->/Q			7	
tPLH	/CP->Q、			7	ns
tPHL	/Q			7	

【2】：fmax—最大时钟频率

tPLH—输出由低到高电平传输延迟时间

tPHL—输出由高到低电平传输延迟时间