

54/74166

8 位移位寄存器（串、并行输入，串行输出）

简要说明

54/74166 为 8 位移位寄存器,其主要电特性的典型值如下:

型号	f _m	P _D
54/74166	35MHz	360mW
54/74LS166A	35MHz	100mW

当清除端 (\overline{CLR}) 为低电平时, 输出端 (Q_H) 为低电平, 其余七个触发器也均为低电平。

当CLK INH为低电平, 移位/置入控制端 ($\overline{SH/LD}$) 为低电平, 并行数据输入端 (A—H) 送入数据, 在 CLK上升沿作用下进行串行移位操作, 数据由SER送入。

CLK 和 CLK INH 在功能上是等价的, 可以交换使用。在 CLK 为高电平时 CLK INH 才可变为高电平。

引出端符号

CLK, CLK INH 时钟输入端（上升沿有效）

\overline{CLR} 清除端（低电平有效）

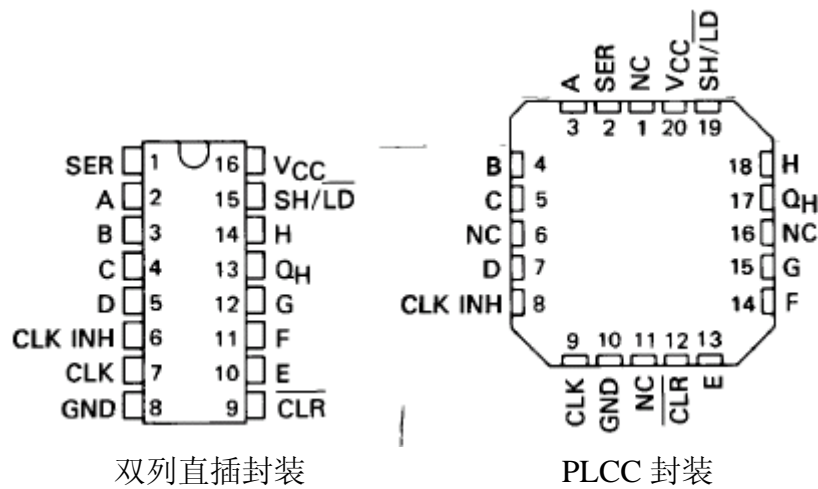
A—H 并行数据输入端

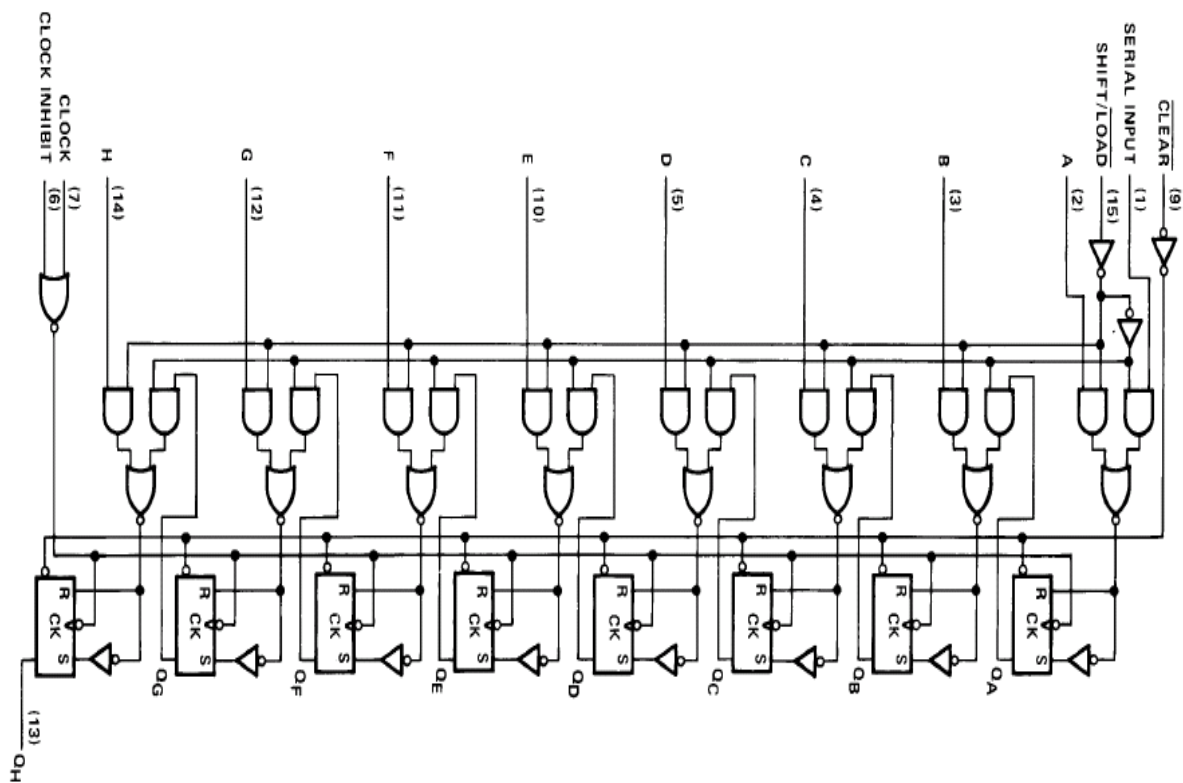
SER 串行数据输入端

Q_H 输出端

$\overline{SH/LD}$ 移位控制/置入控制（低电平有效）

封装图与逻辑图



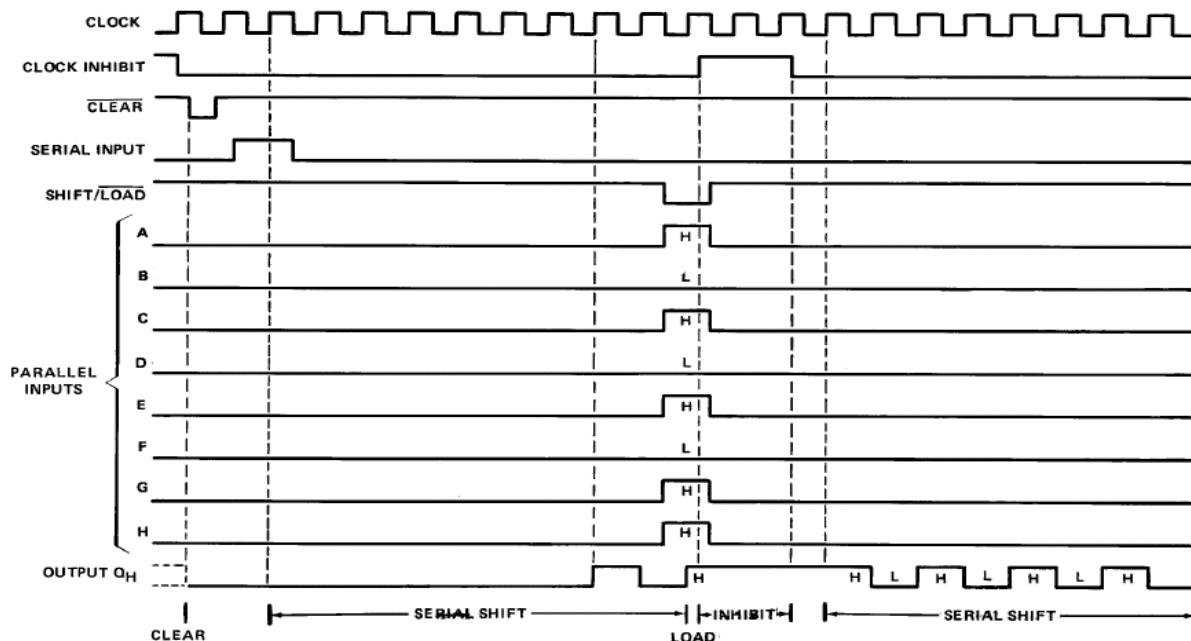


极限值

- 电源电压..... 7V
- 输入电压..... 5.5V
- 工作环境温度
 - 54164..... -55~125℃
 - 74164..... -0~70℃
- 储存温度.....-65℃~150℃

真值表

INPUTS						INTERNAL OUTPUTS		OUTPUT Q _H
CLEAR	SHIFT/LOAD	CLOCK INHIBIT	CLOCK	SERIAL	PARALLEL A...H	Q _A	Q _B	
L	X	X	X	X	X	L	L	L
H	X	L	L	X	X	Q _{A0}	Q _{B0}	Q _{H0}
H	L	L	↑	X	a...h	a	b	h
H	H	L	↑	H	X	H	Q _{An}	Q _{Gn}
H	H	L	↑	L	X	L	Q _{An}	Q _{Gn}
H	X	H	↑	X	X	Q _{A0}	Q _{B0}	Q _{H0}



推荐工作条件:

		'166			单位
		最小	额定	最大	
电源电压 V_{CC}	54	4.5	5	5.5	V
	74	4.75	5	5.25	
输入高电平电压 V_{IH}		2			V
输入低电平电压 V_{IL}				0.8	V
输出高电平电流 I_{OH}				-800	μA
输出低电平电流 I_{OL}				16	mA
时钟频率 f_{cp}		0		25	MHz
脉冲宽度 T_w	CLK, \overline{C} L R	20			ns
建立时间 t_{set}	SH/ \overline{L} D	30			ns
	SER, A-H	20			ns
保持时间 t_H		0			ns

静态特性 (T_A 为工作环境温度范围)

参 数	测 试 条 件 ^[1]	'166		单位
		最小	最大	
V_{IK} 输入嵌位电压	V_{CC} =最小, V_{IK} =-12mA		-1.5	V
V_{OH} 输出高电平电压	V_{CC} =最小 V_{IH} =2V V_{IL} =0.8V, I_{OH} =-800 μA	2.4		V
V_{OL} 输出低电平电压	V_{CC} =最大, V_{IH} =2V, V_{IL} =0.8V, I_{OL} =16mA		0.4	V
I_I 最大输入电压时输入电流	V_{CC} =最大 V_I =5.5V		1	mA
I_{IH} 输入高电平电流	V_{CC} =最大, V_{IH} =2.4V		40	μA
I_{IL} 输入低电平电流	V_{CC} =最大, V_{IL} =0.4V		-1.6	mA
I_{OS} 输出短路电流	V_{CC} =最大	54	-20	mA
		74	-18	

I_{CC} 电源电流	V_{CC} =最大, SER 接 4.5V, 除 CLK 外的其余输入接地, CLK 瞬时接地后接 4.5V		127	mA
---------------	---	--	-----	----

[1]: 测试条件中的“最小”和“最大”用推荐工作条件中的相应值。

动态特性($T_A=25^{\circ}\text{C}$)

参 数 ^[2]		测 试 条 件	‘165		单位
			最小	最大	
fmax	CLK → Q _H	V _{CC} =5V,C _L =15Pf,R _L =400 Ω	24		MHz
t _{PLH}				26	ns
t _{PHL}				30	ns
t _{PHL}	$\overline{\text{C L R}} \rightarrow \text{Q}_\text{H}$			35	ns

[2]: f_{max} 最大时钟频率。 t_{PLH} 输出由低电平到高电平传输延迟时间 t_{PHL} 输出由高电平到低电平传输延迟时间