

利用 MSI 设计组合逻辑电路实验报告

数据科学与计算机学院

张燕梅

1519

15352423

一. 实验目的

- 1.掌握 proteus 软件仿真调试的方法，并用之设计相关门电路；
- 2.熟悉编码器、译码器、数据选择器等组合逻辑功能模块的功能与使用方法；
- 3.掌握用 MSI 设计的组合逻辑电路的方法。

二. 实验内容

1.实验内容（一）

（1）实验要求

原理	A	B	C	F ₀	F ₁	F ₂	F ₃	F ₄	F ₅	F ₆	F ₇
$F_0 = \overline{A} \overline{B} \overline{C} \overline{D}$	0	0	0	D	0	0	0	0	0	0	0
$F_1 = \overline{A} \overline{B} C \overline{D}$	0	0	1	0	D	0	0	0	0	0	0
$F_2 = \overline{A} B \overline{C} \overline{D}$	0	1	0	0	0	D	0	0	0	0	0
$F_3 = \overline{A} B C \overline{D}$	0	1	1	0	0	0	D	0	0	0	0
$F_4 = A \overline{B} \overline{C} \overline{D}$	1	0	0	0	0	0	0	D	0	0	0
$F_5 = A \overline{B} C \overline{D}$	1	0	1	0	0	0	0	0	D	0	0
$F_6 = A B \overline{C} \overline{D}$	1	1	0	0	0	0	0	0	0	D	0
$F_7 = A B C \overline{D}$	1	1	1	0	0	0	0	0	0	0	D

线路连接：按教材提示连接。G1 作为数据输入端。当 G1 为低电平时，Y0-Y7 均输出高电平；当 G1 为高电平时，Y0-Y7 根据地址输入选择相应的输出端输出低电平。

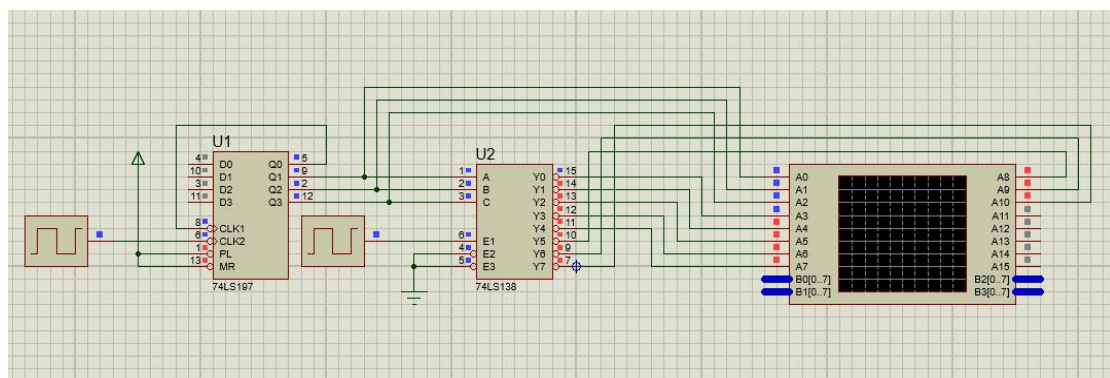
注意：地址输入端 S2、S1、S0 与 74LS197 的 Q3、Q2、Q1 依次

动态测试：用 74LS197 连接成 8 进制。其输出作为地址输入端。
观测记录输入输出波形。

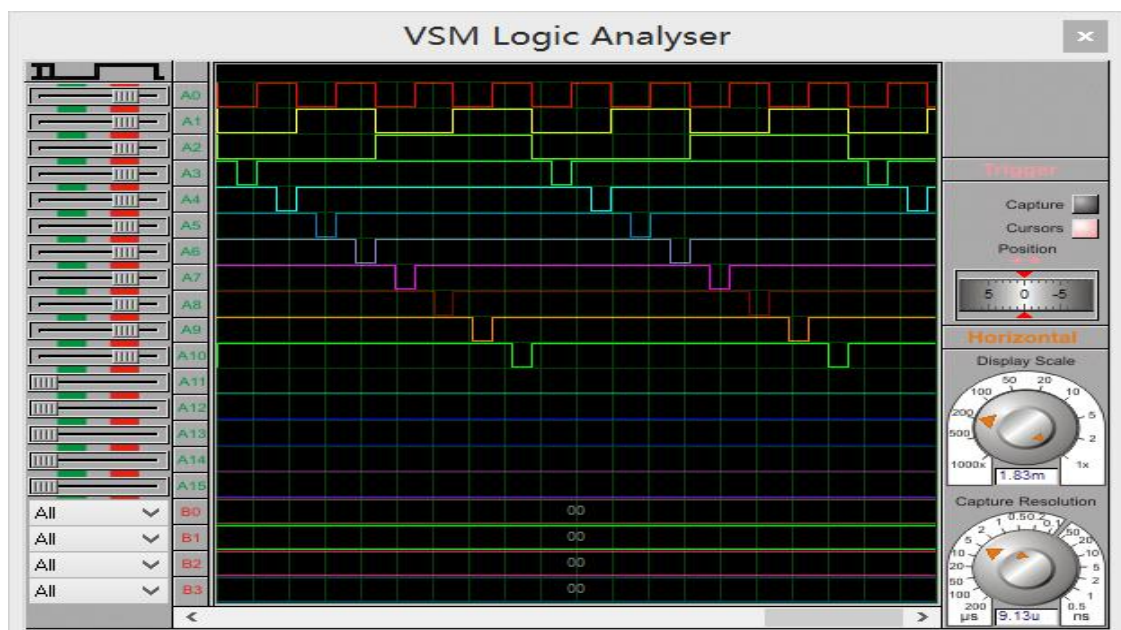
(2) 实验设计过程

用 74LS197 连接成 8 进制后，74LS138（地址输入端）的 A、B、C 与 74LS197 的 Q1、Q2、Q3 依次连接。由 74LS138 的原理可知：当 E1 为低电平时，Y0-Y7 均输出高电平；当 E2 为高电平时，Y0-Y7 根据地址输入选择相应的输出端输出低电平。

(3) 实验逻辑图



(4) 动态测试



2.实验内容（二）

（1）实验要求

LU(Logic Unit, 逻辑单元)设计：用八选一数据选择器 151 设计一个函数发生器电路它的功能如表（五）所示。待静态测试检查电路工作正常后，进行动态测试。将 74LS197 连接成十六进制作为电路的输入信号源，用示波器观察并记录 CP、S₁、S₀、A、B、Y 的波形。

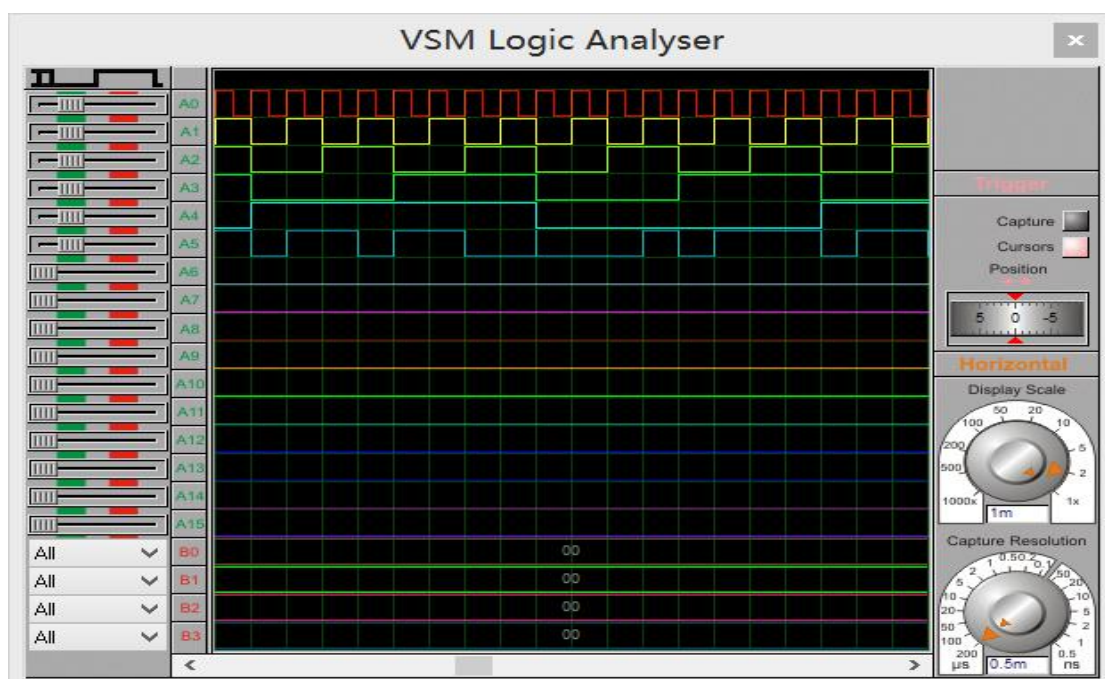
S ₁	S ₀	Y
0	0	$A \cdot B$
0	1	$A + B$
1	0	$A \oplus B$
1	1	\overline{A}

（2）实验设计过程

列出 Y 的真值表如下：

S1	S0	A	B	Y
0	0	0	0	0
0	0	0	1	0
0	0	1	0	0
0	0	1	1	1
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	1
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	0
1	1	1	1	0

令 Q1=S1, Q2=S0, Q3=A, 观察真值表可得：



3.实验内容（三）

（1）实验要求

AU(Arithmetic Unit, 算术单元)设计：设计一个半加半减器，输入为 S、A、B，其中 S 为功能选择口。当 S=0 时，输出 A+B 及进位；当 S=1 时，输出 A-B 及借位。

注意：分别用基本逻辑门、138 和 151 设计 AU 半加/减器与全加/减器有区别：只考虑两个加/减数本身，不考虑来自相邻位的进位或借位。

输入			输出	
S	A	B	Y	C (进/借位)
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	0	0
1	0	1	1	1
1	1	0	1	0
1	1	1	0	0

方法一：利用卡诺图化简后只使用门电路实现。

（2.1）实验设计过程

对真值表采用卡诺图化简后可以得到

Y、C 的逻辑表达式：

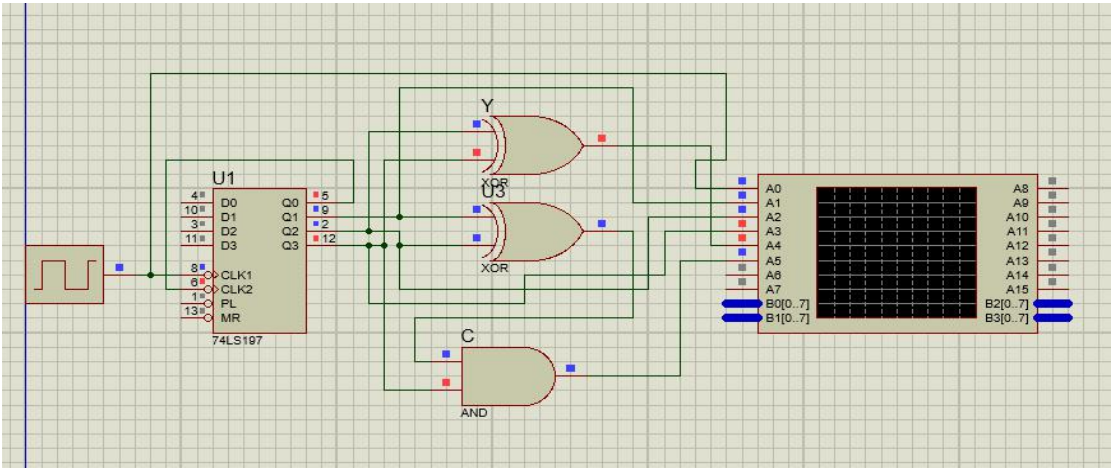
$$Y = A \oplus B$$

$$C = (S \oplus A)B$$

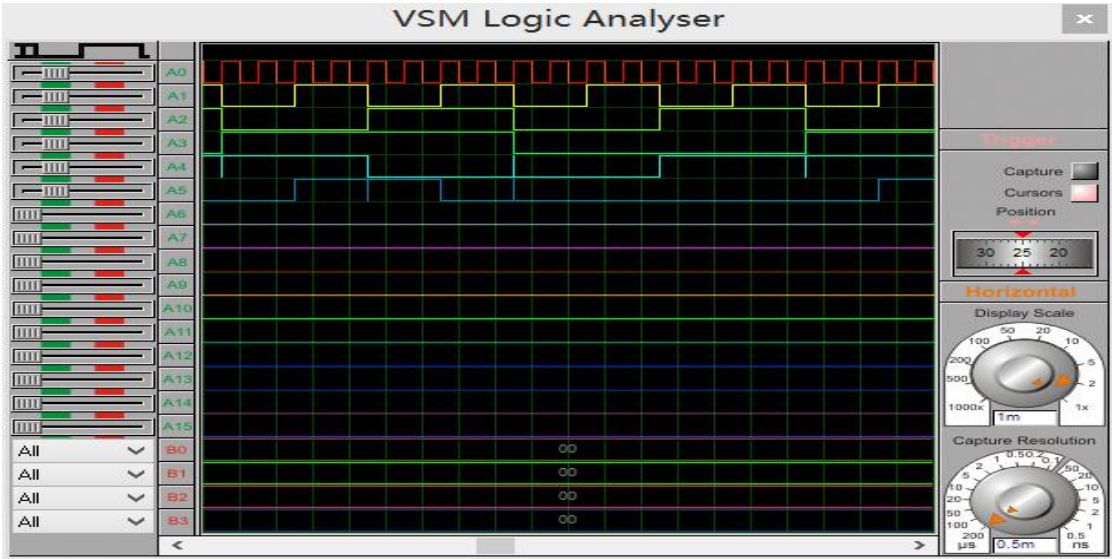
将 74LS197 连接成十六进制作为电路的输入信号源后，令 Q1=S，

Q2=A, Q3=B; 由逻辑表达式可得：Y 可用一个与非门将 A 与 B 接入，C 则先用一个与非门将 S 与 A 接入，再用一个与门将这个与非门与 B 相与可得。

(3.1) 实验逻辑图



(4.1) 动态测试



方法二：使用 74LS138 实现，可参照实验原理中全加器的设计

(2.2) 实验设计过程

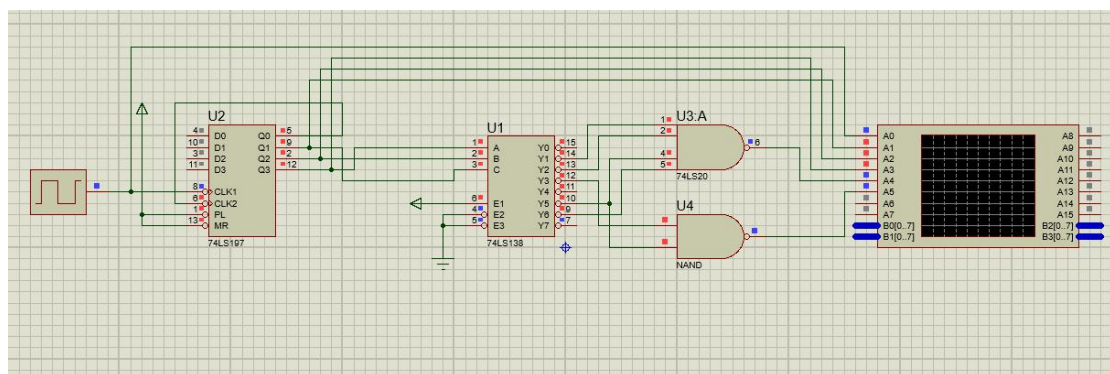
将 74LS197 连接成十六进制作为电路的输入信号源后，令 Q1=S,Q2=A,Q3=B; 74LS138（地址输入端）的 A、B、C 与 74LS197 的

Q3、Q2、Q1 依次连接。

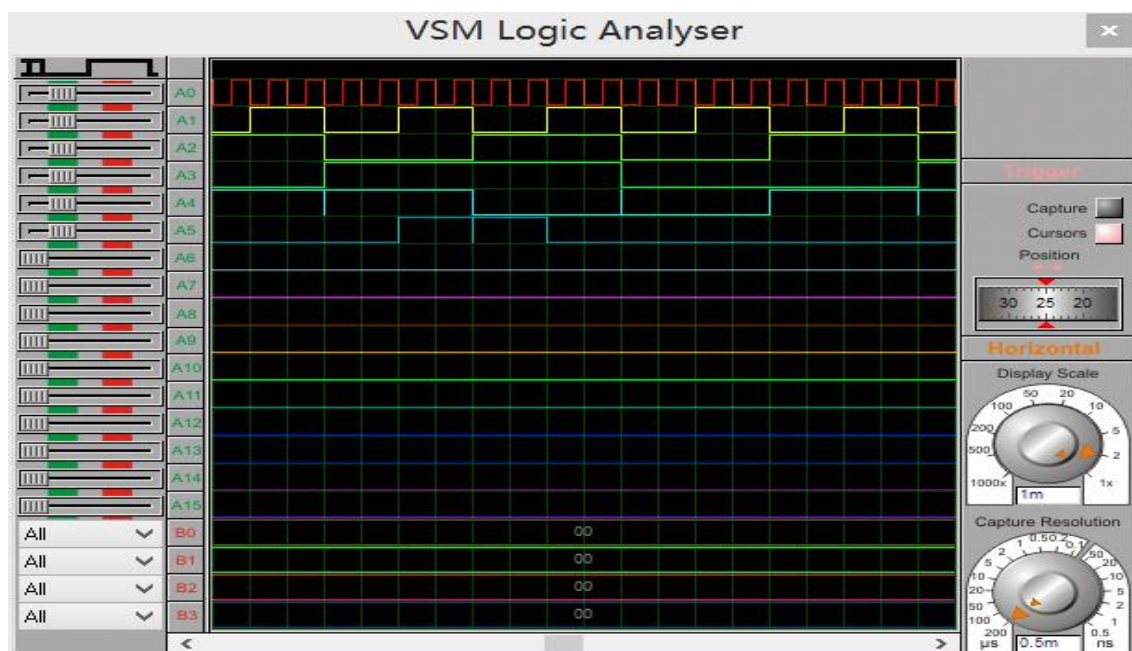
$$\begin{aligned} Y &= \bar{5} \bar{A} B + \bar{5} A \bar{B} + 5 \bar{A} B + 5 A \bar{B} \\ &= \overline{\bar{Y}_1 \cdot \bar{Y}_2 \cdot \bar{Y}_5 \cdot \bar{Y}_6} \\ C &= 5 A B + 5 \bar{A} B = \overline{\bar{Y}_3 \cdot \bar{Y}_5} \end{aligned}$$

输出 Y1',Y2',Y5',Y6'使用 74LS20 进行与非运算，得到输出 Y；输出 Y3',Y5'进行与非运算，得到输出 C。

(3.2) 实验逻辑图



(4.2) 动态测试



方法三：使用 74LS151 实现，可分两次连线单独记录进/差结果、进/借位结果，或使用两块 74LS151 实现。

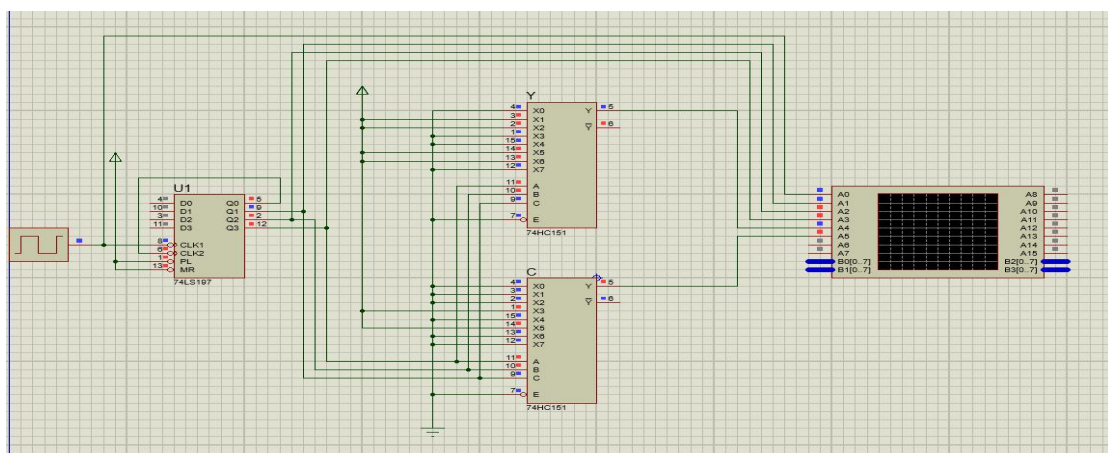
(2.3) 实验设计过程

将 74LS197 连接成十六进制作为电路的输入信号源后，令 $Q1=S, Q2=A, Q3=B$ ；两块 74LS151（控制端）的 A、B、C 与 74LS197 的 $Q3$ 、 $Q2$ 、 $Q1$ 依次连接。

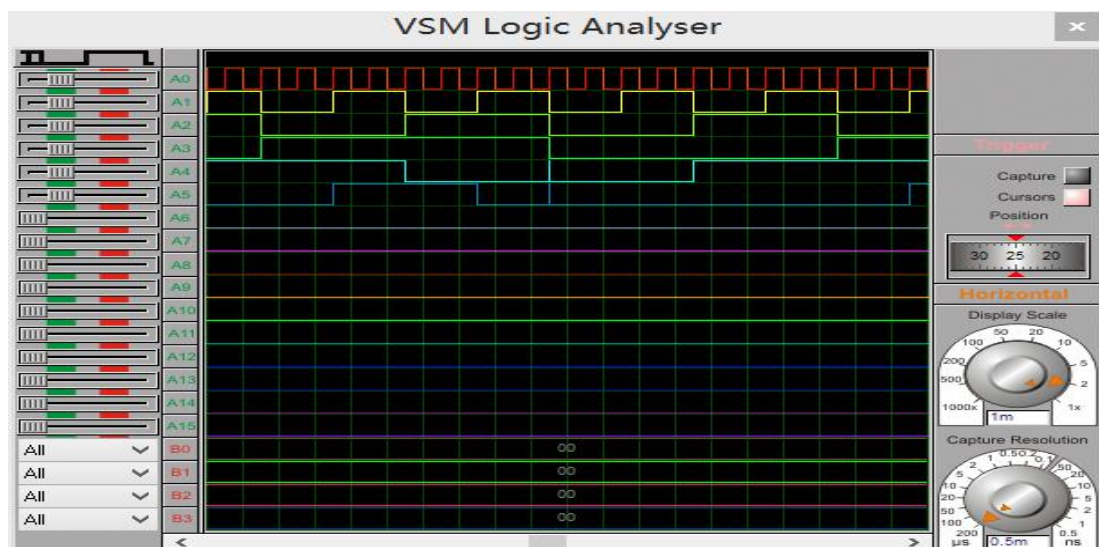
对于 Y： $X1=X2=X5=X6=1$ ； $X0=X3=X4=X7=0$ ；

对于 C： $X3=X5=1$ ； $X0=X1=X2=X4=X6=X7=0$ ；

(3.3) 实验逻辑图



(4.3) 动态测试



综上：方法一，二，三最终的输出波形一致且与真值表相同，从而可以验证该实验的正确性。

4.实验内容（四）

（1）实验要求

ALU(Arithmetic & Logic Unit, 算术逻辑单元): 用 proteus 设计一个六输入二输出的 ALU（要求仅可以用 2*197,1*138, N*与非门, 2*151）。六个输入包括三个控制端和三个数据输入端。

控制端：S2、S1、S0 决定 ALU 的 8 种功能，其中指定 6 种功能为与、或、A 非、B 非、异或、同或、全加、全减，剩余功能自由拟定。一种仅供参考的功能表如图所示：

指令			输出	
S2	S1	S0	Y	C (进/借位)
0	0	0	A与B	0
0	0	1	A或B	0
0	1	0	A非	0
0	1	1	B非	0
1	0	0	A异或B	0
1	0	1	A同或B	0
1	1	0	A+B+C	进位
1	1	1	A- B- C	借位

（2）实验设计过程

当 S2,S1,S0 为 0 0 0 时，Y=AB，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
0	0	0	0	0	0	0	0
0	0	0	0	0	1	0	0
0	0	0	0	1	0	0	0
0	0	0	0	1	1	0	0
0	0	0	1	0	0	0	0
0	0	0	1	0	1	0	0
0	0	0	1	1	0	1	0
0	0	0	1	1	1	1	0

则由真值表及 74LS138 的原理可得：

$$\begin{aligned}
 Y &= A\bar{B}\bar{C} + ABC = \overline{A\bar{B}\bar{C} + ABC} \\
 &= \overline{ABC \cdot \bar{A}\bar{B}\bar{C}} = \overline{\bar{Y}_6 \cdot \bar{Y}_7} = \bar{Y}_6 \oplus \bar{Y}_7
 \end{aligned}$$

当 S2,S1,S0 为 0 0 1 时，Y=A+B，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
0	0	1	0	0	0	0	0
0	0	1	0	0	1	0	0
0	0	1	0	1	0	1	0
0	0	1	0	1	1	1	0
0	0	1	1	0	0	1	0
0	0	1	1	0	1	1	0
0	0	1	1	1	0	1	0
0	0	1	1	1	1	1	0

则由真值表及 74LS138 的原理可得：

$$\begin{aligned}
 Y &= \bar{A}\bar{B}\bar{C} + \bar{A}BC + A\bar{B}\bar{C} + A\bar{B}C + AB\bar{C} + ABC \\
 &= \overline{\bar{A}\bar{B}\bar{C} \cdot \bar{A}BC \cdot A\bar{B}\bar{C} \cdot A\bar{B}C \cdot AB\bar{C} \cdot ABC} \\
 &= \overline{\bar{Y}_2 \cdot \bar{Y}_3 \cdot \bar{Y}_4 \cdot \bar{Y}_5 \cdot \bar{Y}_6 \cdot \bar{Y}_7} \\
 &= \bar{Y}_2 \oplus \bar{Y}_3 \oplus \bar{Y}_4 \oplus \bar{Y}_5 \oplus \bar{Y}_6 \oplus \bar{Y}_7
 \end{aligned}$$

当 S2,S1,S0 为 0 1 0 时，Y=A'，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
0	1	0	0	0	0	1	0
0	1	0	0	0	1	1	0
0	1	0	0	1	0	1	0
0	1	0	0	1	1	1	0
0	1	0	1	0	0	0	0
0	1	0	1	0	1	0	0
0	1	0	1	1	0	0	0
0	1	0	1	1	1	0	0

则由真值表及 74LS138 的原理可得：

$$\begin{aligned}
 Y &= \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + \overline{A}B\overline{C} + \overline{A}BC \\
 &= \overline{Y_0} \cdot \overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_3} = \overline{Y_0 \oplus Y_1 \oplus Y_2 \oplus Y_3}
 \end{aligned}$$

当 S2,S1,S0 为 0 1 1 时，Y=B'，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
0	1	1	0	0	0	1	0
0	1	1	0	0	1	1	0
0	1	1	0	1	0	0	0
0	1	1	0	1	1	0	0
0	1	1	1	0	0	1	0
0	1	1	1	0	1	1	0
0	1	1	1	1	0	0	0
0	1	1	1	1	1	0	0

则由真值表及 74LS138 的原理可得：

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + A\overline{B}\overline{C} + A\overline{B}C$$

$$= \overline{\overline{Y}_0 \cdot \overline{Y}_1 \cdot \overline{Y}_4 \cdot \overline{Y}_5} = \overline{Y}_0 \oplus \overline{Y}_1 \oplus \overline{Y}_4 \oplus \overline{Y}_5$$

当 S2,S1,S0 为 1 0 0 时，Y=A⊕B，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
1	0	0	0	0	0	0	0
1	0	0	0	0	1	0	0
1	0	0	0	1	0	1	0
1	0	0	0	1	1	1	0
1	0	0	1	0	0	1	0
1	0	0	1	0	1	1	0
1	0	0	1	1	0	0	0
1	0	0	1	1	1	0	0

则由真值表及 74LS138 的原理可得：

$$Y = \overline{A}B\overline{C} + \overline{A}BC + A\overline{B}\overline{C} + A\overline{B}C$$

$$= \overline{\overline{Y}_2 \cdot \overline{Y}_3 \cdot \overline{Y}_4 \cdot \overline{Y}_5} = \overline{Y}_2 \oplus \overline{Y}_3 \oplus \overline{Y}_4 \oplus \overline{Y}_5$$

当 S2,S1,S0 为 1 0 1 时，Y=(A⊕B)'[同或]，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
1	0	1	0	0	0	1	0
1	0	1	0	0	1	1	0
1	0	1	0	1	0	0	0
1	0	1	0	1	1	0	0

1	0	1	1	0	0	1	0
1	0	1	1	0	1	1	0
1	0	1	1	1	0	0	0
1	0	1	1	1	1	0	0

则由真值表及 74LS138 的原理可得：

$$\begin{aligned}
 Y &= \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + A\overline{B}\overline{C} + ABC \\
 &= \overline{Y_0 \cdot Y_1 \cdot Y_6 \cdot Y_7} = \overline{Y_0} \oplus \overline{Y_1} \oplus \overline{Y_6} \oplus \overline{Y_7}
 \end{aligned}$$

当 S2, S1, S0 为 1 1 0 时，Y=A+B+C，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
1	1	0	0	0	0	0	0
1	1	0	0	0	1	1	0
1	1	0	0	1	0	1	0
1	1	0	0	1	1	0	1
1	1	0	1	0	0	1	0
1	1	0	1	0	1	0	1
1	1	0	1	1	0	0	1
1	1	0	1	1	1	1	1

则由真值表及 74LS138 的原理可得：

$$\begin{aligned}
 Y &= \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC \\
 &= \overline{Y_1 \cdot Y_2 \cdot Y_4 \cdot Y_7} = \overline{Y_1} \oplus \overline{Y_2} \oplus \overline{Y_4} \oplus \overline{Y_7}
 \end{aligned}$$

$$Y = \overline{A}\overline{B}\overline{C} + \overline{A}\overline{B}C + A\overline{B}\overline{C} + ABC$$

$$= \overline{\overline{Y_0} \cdot \overline{Y_1} \cdot \overline{Y_6} \cdot \overline{Y_7}} = \overline{Y_0} \oplus \overline{Y_1} \oplus \overline{Y_6} \oplus \overline{Y_7}$$

当 S2,S1,S0 为 1 1 1 时，Y=A-B-C，其真值表如下表：

S2	S1	S0	A	B	C	Y	Cn
1	1	1	0	0	0	0	0
1	1	1	0	0	1	1	1
1	1	1	0	1	0	1	1
1	1	1	0	1	1	0	1
1	1	1	1	0	0	1	0
1	1	1	1	0	1	0	0
1	1	1	1	1	0	0	0
1	1	1	1	1	1	1	1

则由真值表及 74LS138 的原理可得：

$$Y = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}\overline{C} + ABC$$

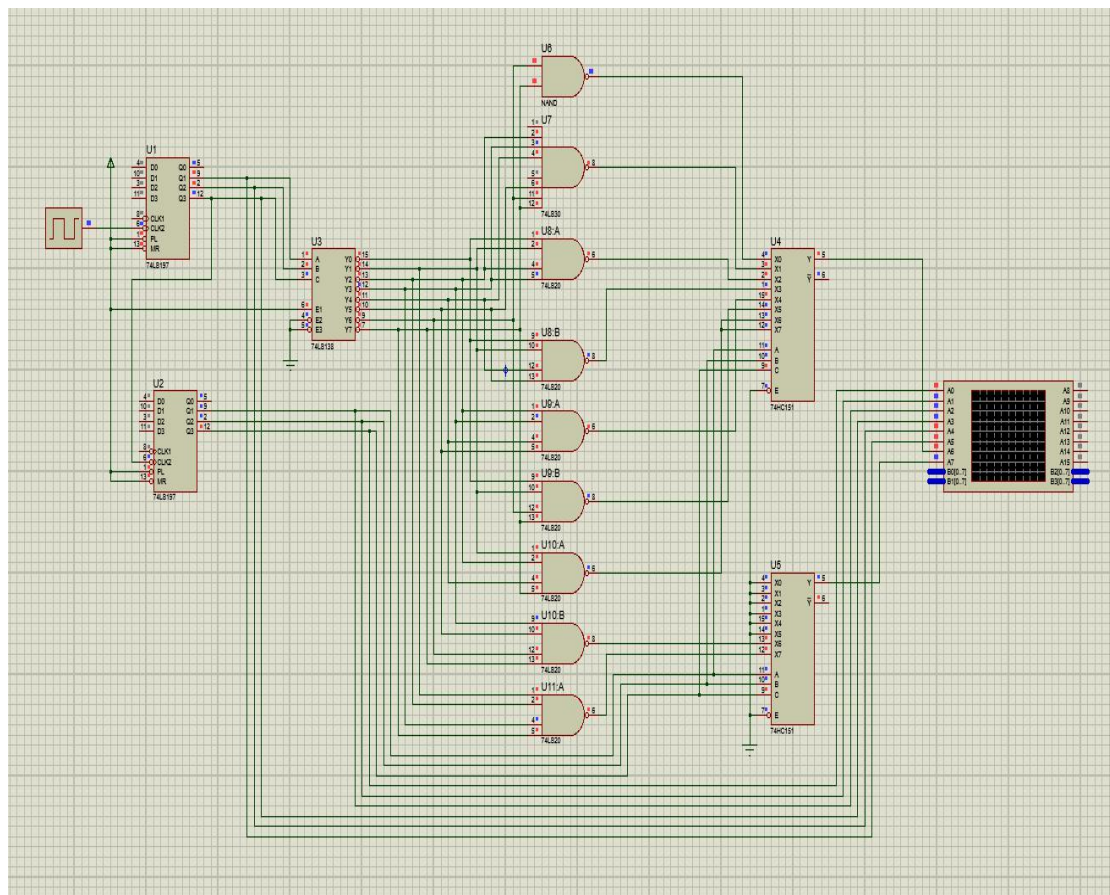
$$= \overline{\overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_4} \cdot \overline{Y_7}} = \overline{Y_1} \oplus \overline{Y_2} \oplus \overline{Y_4} \oplus \overline{Y_7}$$

$$C_n = \overline{A}\overline{B}C + \overline{A}B\overline{C} + A\overline{B}C + ABC$$

$$= \overline{\overline{Y_1} \cdot \overline{Y_2} \cdot \overline{Y_3} \cdot \overline{Y_7}} = \overline{Y_1} \oplus \overline{Y_2} \oplus \overline{Y_3} \oplus \overline{Y_7}$$

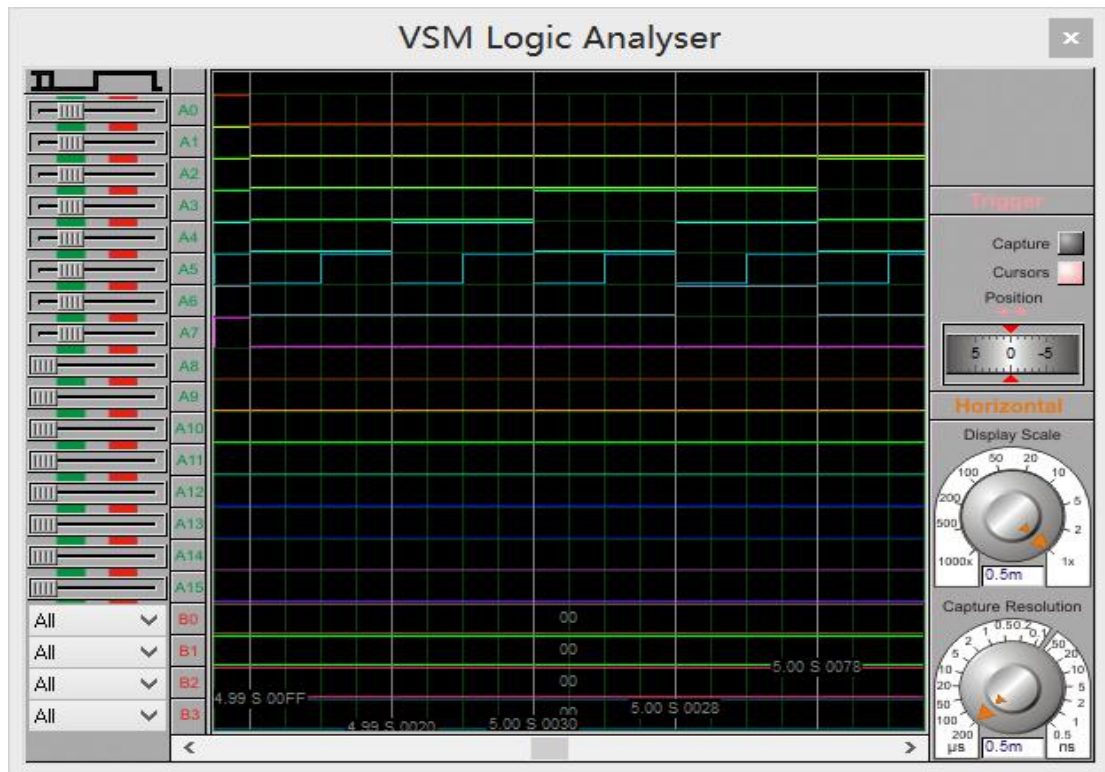
综上：将两块 74LS197 级联电路的输入信号源后，令 74LS197[U1] 中的 $Q_1=A, Q_2=B, Q_3=C$ ；令 74LS197[U2] 中的 $Q_1=S_2, Q_2=S_1, Q_3=S_0$ ；将 74LS197[U1] 中的 Q_1, Q_2, Q_3 与 74LS138 中的地址输入端中的 A, B, C 依次连接；将 74LS197[U2] 中的 Q_1, Q_2, Q_3 与两块 74LS151（控制端）的 A, B, C 依次连接。依照上述的表达式即可用 proteus 进行仿真。

（3）实验逻辑图

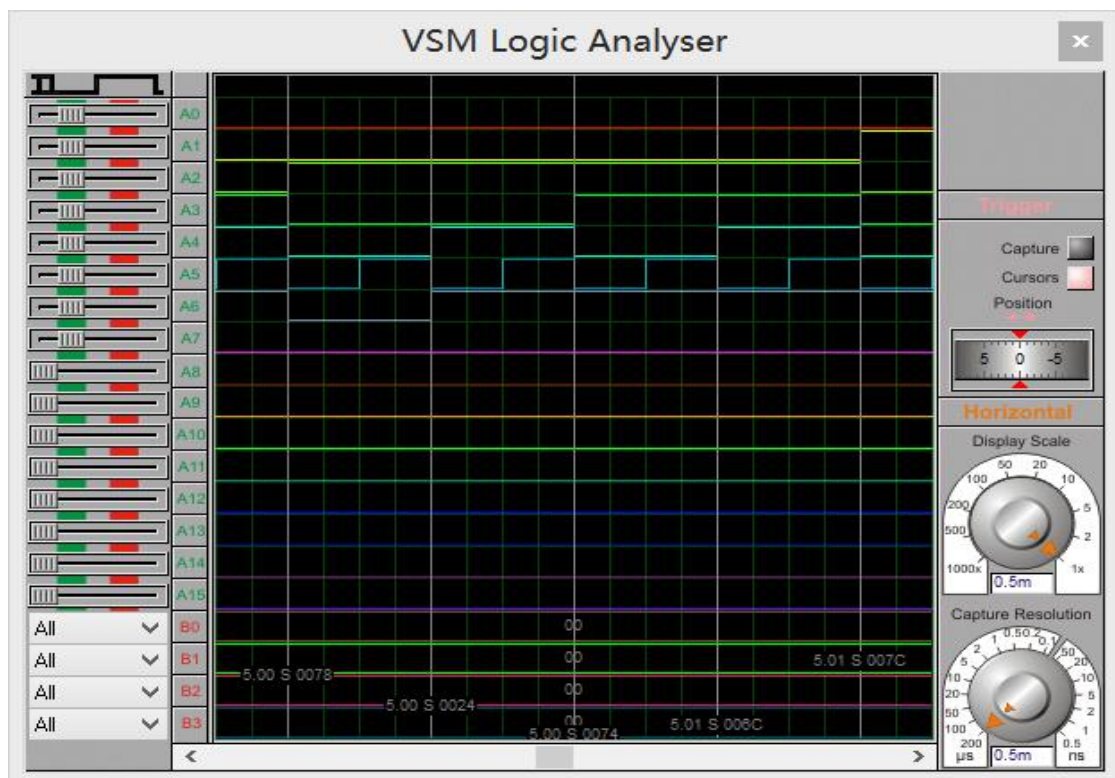


（4）动态测试

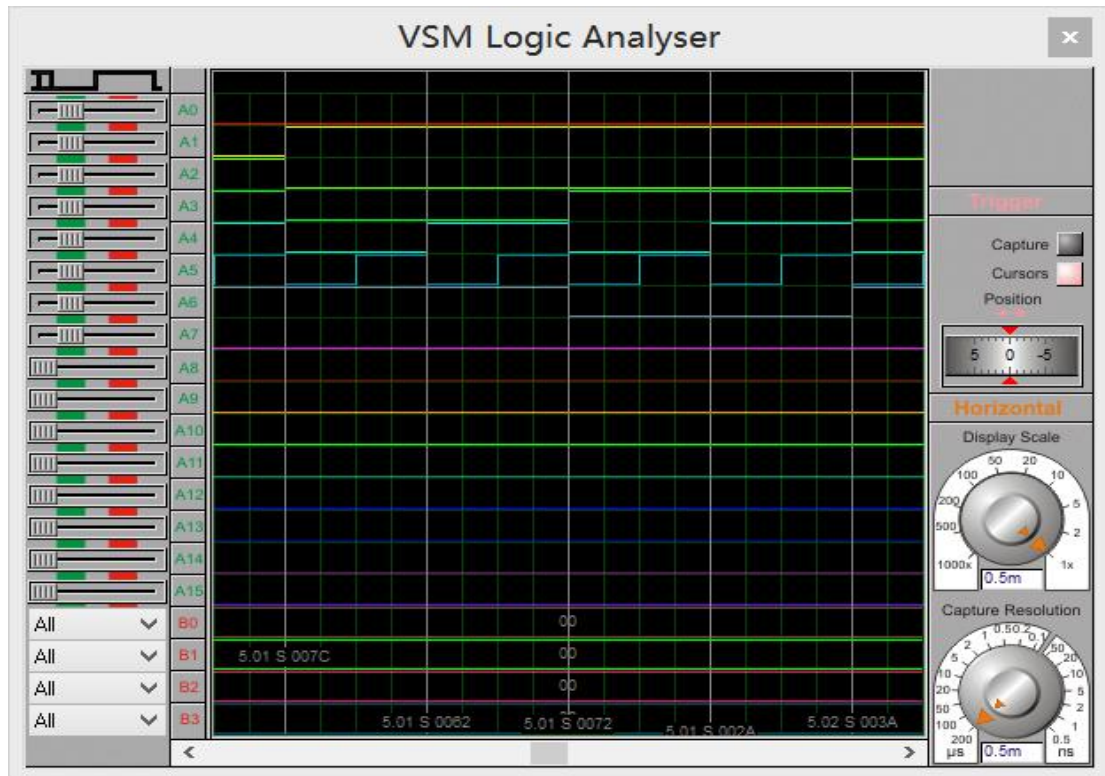
（4.1）A 与 B 输出波形图



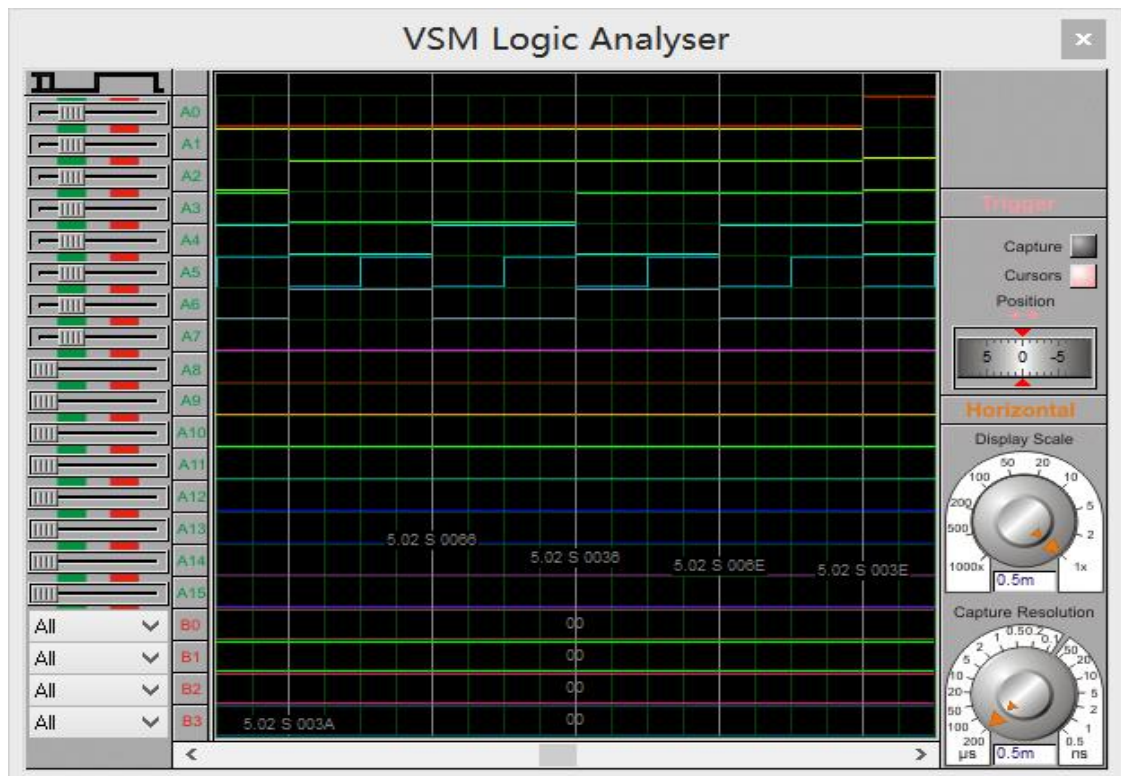
(4.2) A 或 B 输出波形图



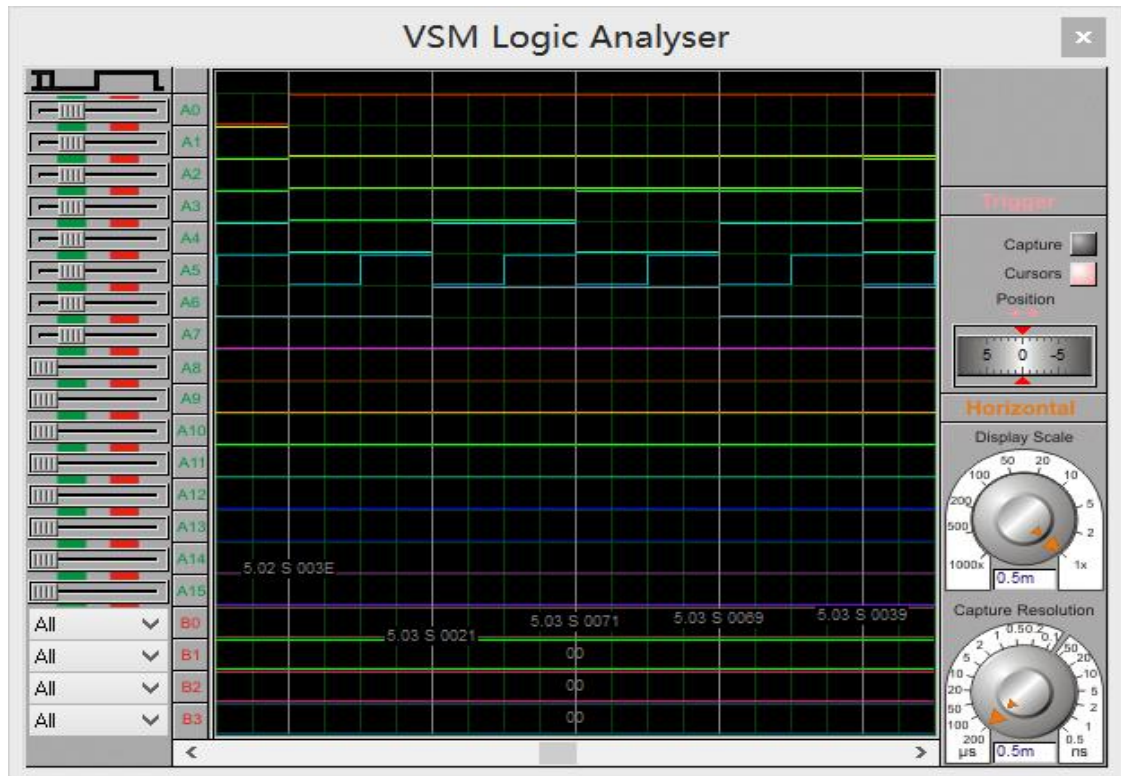
(4.3) A 非输出波形图



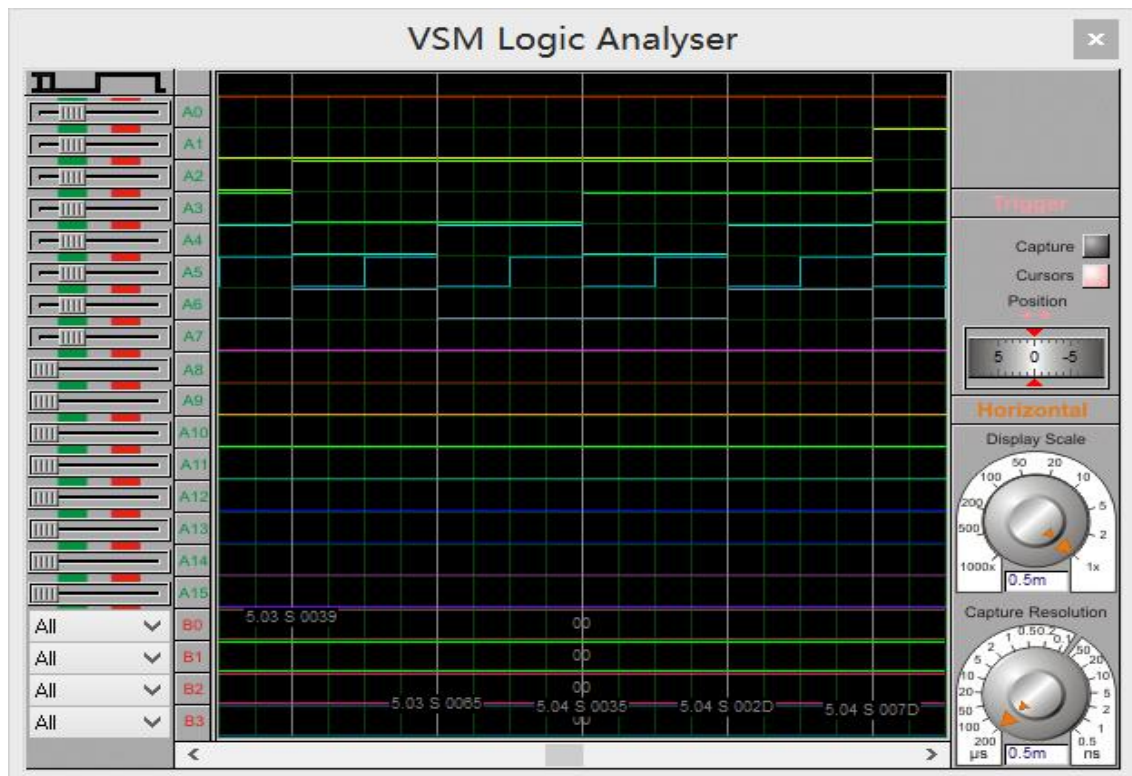
(4.4) B 非输出波形图



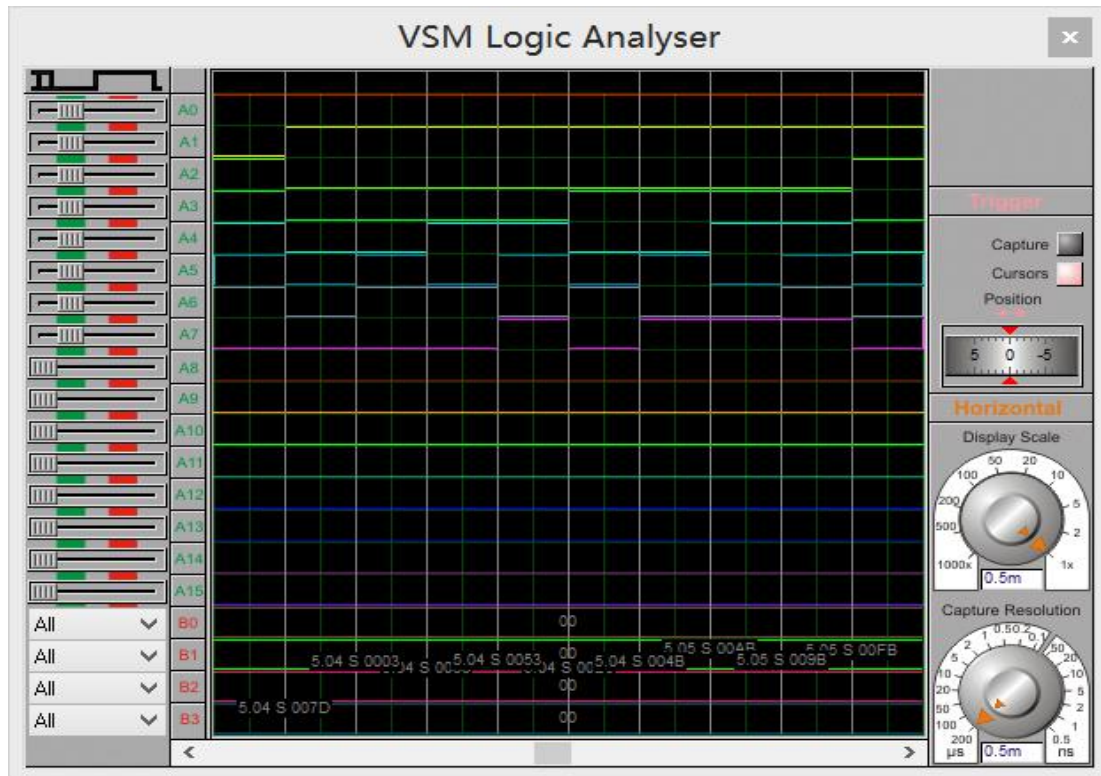
(4.5) A 异或 B 输出波形图



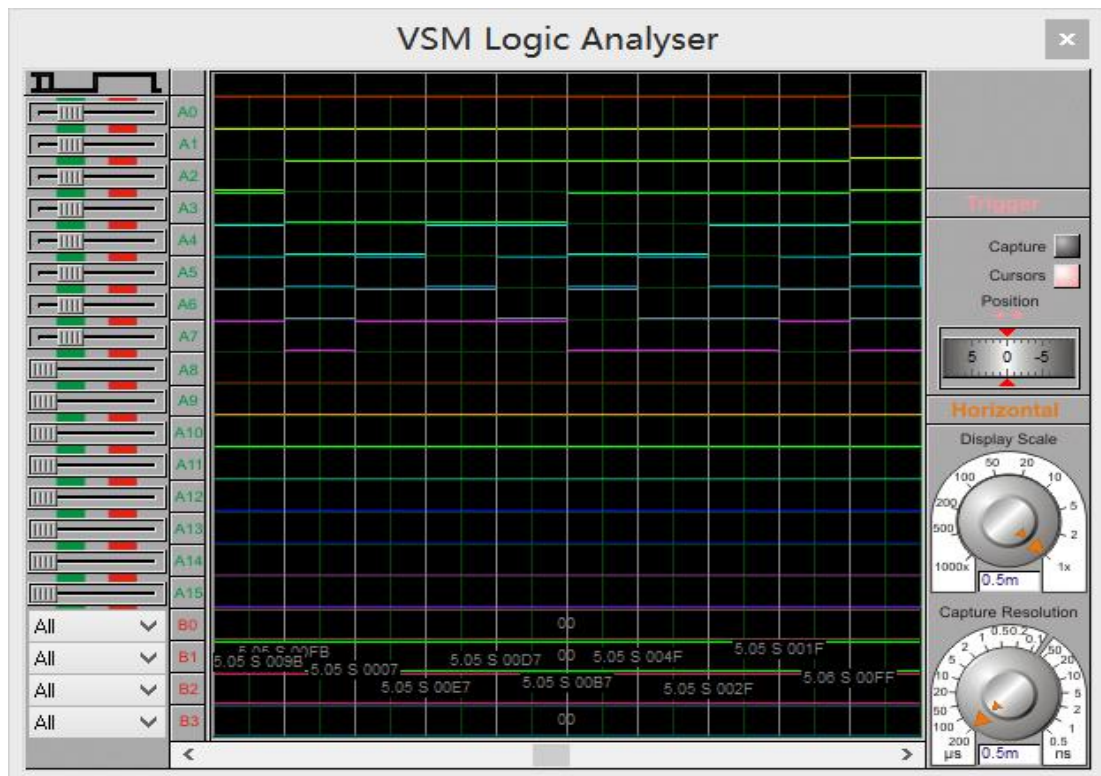
(4.6) A 同或 B 输出波形图



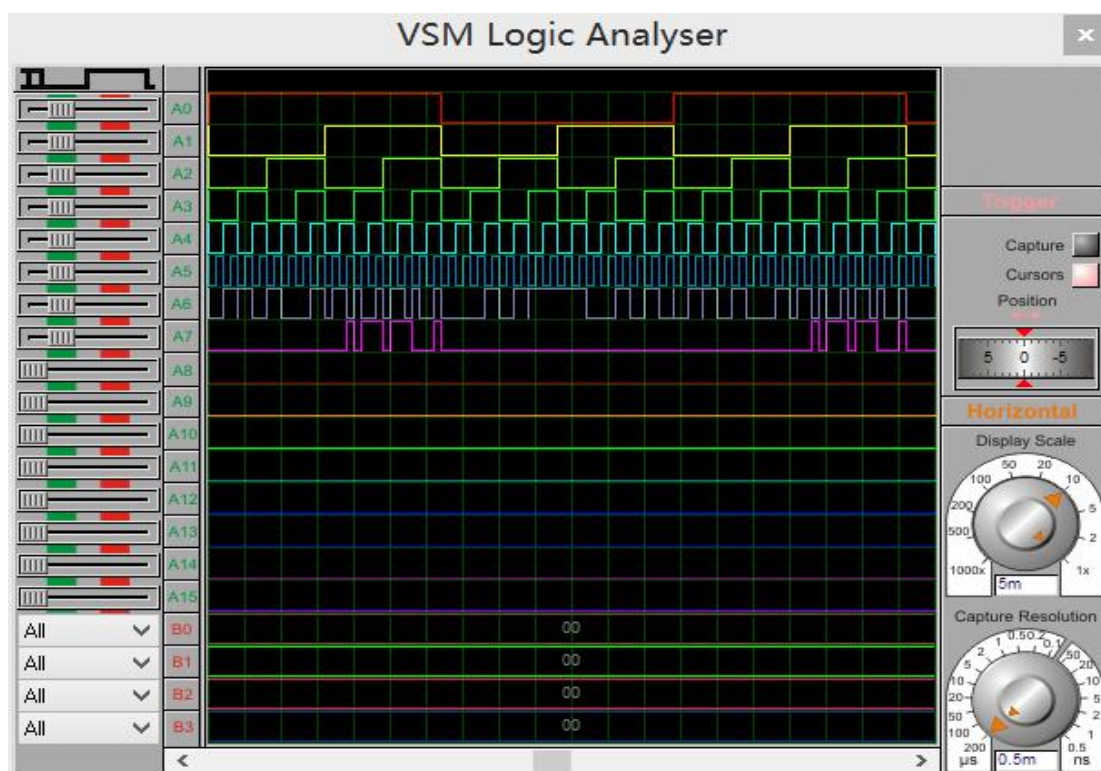
(4.7) A+B+C 输出波形图



(4.8) A-B-C 输出波形图



（4.9）总的输出波形图



三．实验分析与总结

1.按实验内容描述实验过程，分析实验中出现的問題

（1）在用 proteus 进行仿真时输出波形有毛刺，是因为在同一时刻有多个信号进行跳变。

（2）在进行 ALU 仿真时，74LS151 在连线过程中 E 接口忘记接低电平，导致其无法正常工作，Y 始终输出低电平，由于线路复杂，花了很长时间才检查出来，以后实验将在连线过程中更加仔细。

2.总结组合逻辑电路分析与设计体会

（1）通过 AU 可知，同一种结果可以由多种方法实现，在实验中应尽量挑选简单的方式。

(2) 在实验过程中应注意元件的输出端是低电平有效还是高电平有效，否则可能输出相反波形；相反，当输出相反波形时，应观察元件的高低电平是否有错。

(3) 在进行仿真实验时，由于线路复杂，很容易连错漏连，一旦出错将会浪费很多的时间来检查电路，因此在连线过程中应更加仔细。

(4) 在实验之前一定要学会预习，提前了解各元件的管脚，在实验课上才能游刃有余。

(5) 无论面对多复杂的电路也要时刻保持头脑清醒，简化电路，切不可慌张。