

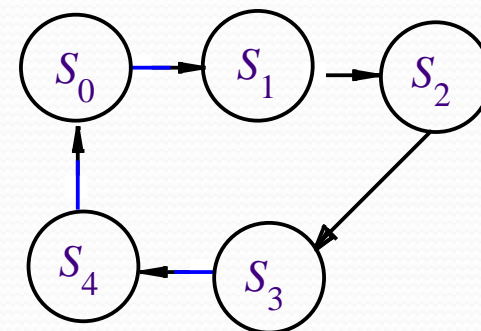
# 同步时序逻辑电路的设计方法

- 逻辑抽象，得出电路的状态转换图或状态转换表；
- 状态化简；
- 状态分配；
- 选定触发器的类型，求出电路的状态方程、驱动方程和输出方程；
- 根据得到的方程式画出逻辑图；
- 检查设计的电路能否自启动。

## 例 设计一个同步5进制加法计数器

(1) 根据设计要求，设定状态，画出状态转换图。该状态图不须化简。

(2) 状态分配，列状态转换编码表。



状态转换表

状态转换顺序	现 态			次态			进位输出
	$Q_2^n$	$Q_1^n$	$Q_0^n$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Q_0^{n+1}$	$Y$
$S_0$	0	0	0	0	0	1	0
$S_1$	0	0	1	0	1	0	0
$S_2$	0	1	0	0	1	1	0
$S_3$	0	1	1	1	0	0	0
$S_4$	1	0	0	0	0	0	1

(3) 选择触发器。选用JK触发器。

$$Q^{n+1} = J\overline{Q}^n + \overline{K}Q^n$$

(4) 求各触发器的驱动方程和进位输出方程。画出电路的次态卡诺图。

$Q_1^n Q_0^n$		00	01	11	10
$Q_2^n$	0	001	010	100	011
	1	000	×	×	×

将电路的次态卡诺图进行分解，并将由这些卡诺图化简得到的状态方程化为JK触发器特性方程的形式：

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_2^n$	0	001	010	100	011
	1	000	×	×	×

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_2^n$	0	0	0	1	0
	1	0	×	×	×

$Q_2^{n+1}$

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_2^n$	0	0	1	0	1
	1	0	×	×	×

$Q_1^{n+1}$

		$Q_1^n Q_0^n$			
		00	01	11	10
$Q_2^n$	0	1	0	0	1
	1	0	×	×	×

$Q_0^{n+1}$

$$Q_2^{n+1} = Q_0^n Q_1^n \overline{Q_2^n} = J \overline{Q_2^n} + \overline{K} Q_2^n \Rightarrow J = Q_0^n Q_1^n, K = 1$$

$$Q_1^{n+1} = Q_0^n \overline{Q_1^n} + \overline{Q_0^n} Q_1^n = J \overline{Q_1^n} + \overline{K} Q_1^n \Rightarrow J = K = Q_0^n$$

$$Q_0^{n+1} = \overline{Q_0^n} \overline{Q_2^n} = J \overline{Q_0^n} + \overline{K} Q_0^n \Rightarrow J = \overline{Q_2^n}, K = 1$$

再画出输出卡诺图

可得电路的输出方程：

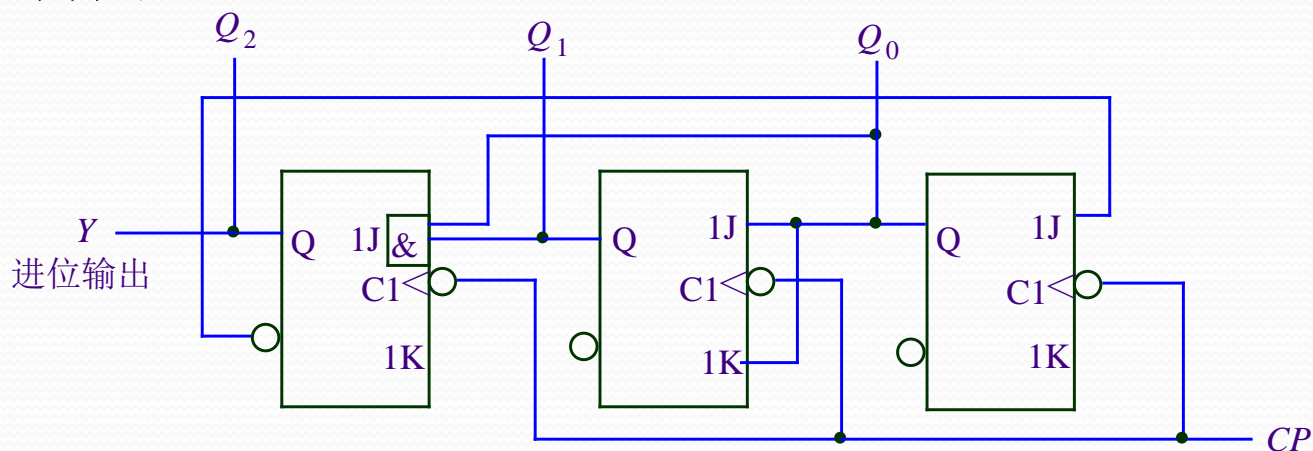
$$Y = Q_1$$

(5) 将各驱动方程与输出方程归纳如下：

$$\begin{aligned} J_0 &= \overline{Q_1} & K_0 &= 1 \\ J_1 &= Q_0 & K_1 &= Q_0 \\ J_2 &= Q_0 Q_1 & K_2 &= 1 \\ Y &= Q_1 \end{aligned}$$

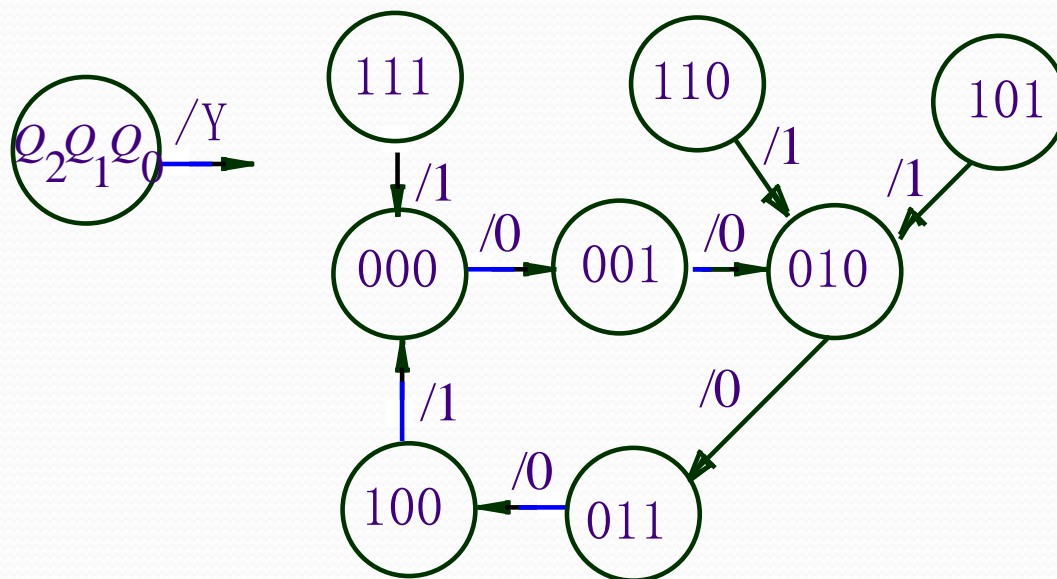
(6) 画逻辑图。

$Q_2^n \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	0	0
1	1	×	×	×



## (7) 检查能否自启动

利用逻辑分析的方法画出电路完整的状态图。



可见，如果电路进入无效状态101、110、111时，在 $CP$ 脉冲作用下，分别进入有效状态010、010、000。所以电路能够自启动。

**例** 设计一个串行数据检测器。该检测器有一个输入端 $X$ ，它的功能是对输入信号进行检测。当连续输入三个1（以及三个以上1）时，该电路输出 $Y=1$ ，否则输出 $Y=0$ 。

**解：**

（1）根据设计要求，设定状态：

$S_0$ ——初始状态或没有收到1时的状态；

$S_1$ ——收到一个1后的状态；

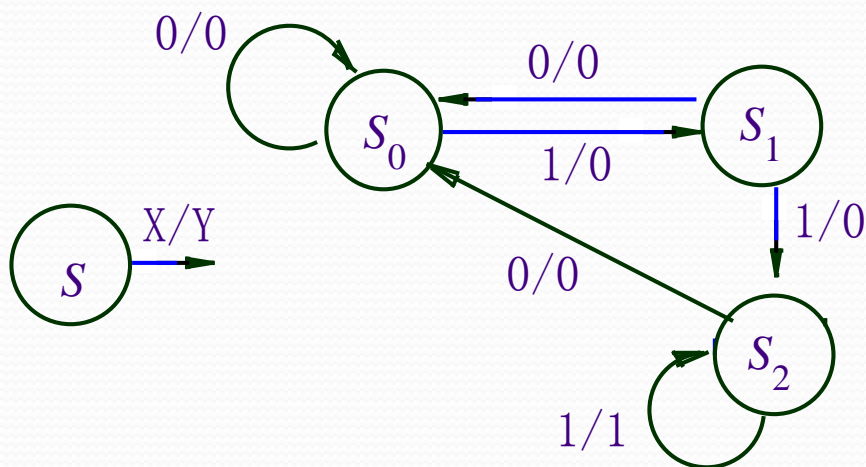
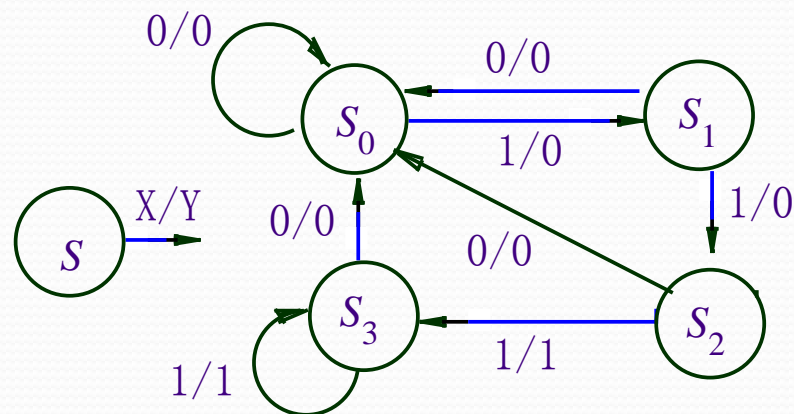
$S_2$ ——连续收到两个1后的状态；

$S_3$ ——连续收到三个1（以及三个以上1）后的状态。

(2) 根据题意可画出原始状态图:

(3) 状态化简。

观察上图可知,  $S_2$ 和 $S_3$ 是等价状态, 所以将 $S_2$ 和 $S_3$ 合并, 并用 $S_2$ 表示, 得简化状态图:



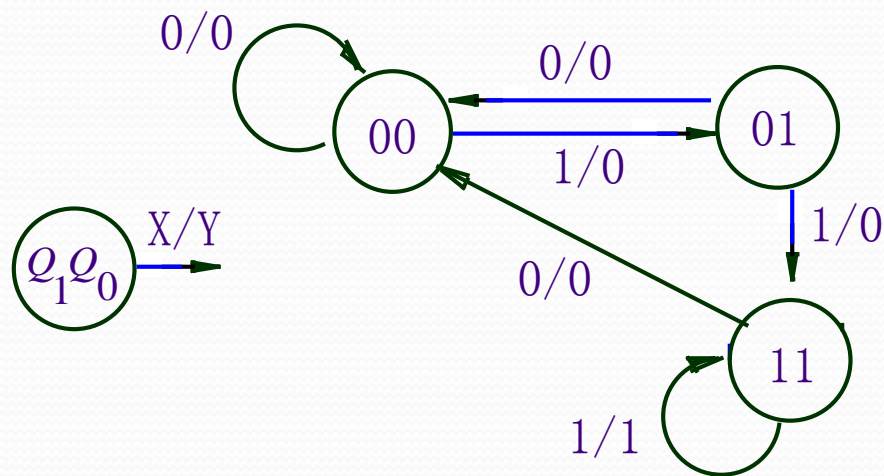


#### (4) 状态分配。

该电路有3个状态，可以用2位二进制代码组合（00、01、11）中的三个代码表示。本例取 $S_0=00$ 、 $S_1=01$ 、 $S_2=11$ 。

#### (5) 选择触发器。

本例选用2个D触发器。



编码后的状态图

↓

(6) 求出状态方程、驱动方程和输出方程。

列出D触发器的驱动表、画出电路的次态和输出卡诺图。

D 触发器的驱动表

$Q^n \rightarrow Q^{n+1}$		D
0	0	0
0	1	1
1	0	0
1	1	1

$X \backslash Q_1^n Q_0^n$	00	01	11	10
0	00/0	00/0	00/0	×
1	01/0	11/0	11/1	×

触发器的次态和输出卡诺图

由输出卡诺图可得电路的输出方程：

$Y \backslash Q_1^n Q_0^n$	00	01	11	10
0	0	0	0	×
1	0	0	1	×

$$Y = XQ_1^n$$

根据次态卡诺图和D触发器的驱动表可得各触发器的驱动卡诺图：

D 触发器的驱动表

$Q^n \rightarrow Q^{n+1}$		D
0	0	0
0	1	1
1	0	0
1	1	1

$Q_1^n Q_0^n$	00	01	11	10
X				
0	00/0	00/0	00/0	×
1	01/0	11/0	11/1	×

各触发器的次态和输出卡诺图

$Q_1^n Q_0^n$	00	01	11	10
X				
0	0	0	0	×
1	0	1	1	×

$$D_1 = X Q_0^n$$

$Q_1^n Q_0^n$	00	01	11	10
X				
0	0	0	0	×
1	1	1	1	×

$$D_0 = X$$

由各驱动卡诺图可得电路的驱动方程：

$$D_0 = X$$

$$D_1 = X Q_0^n$$

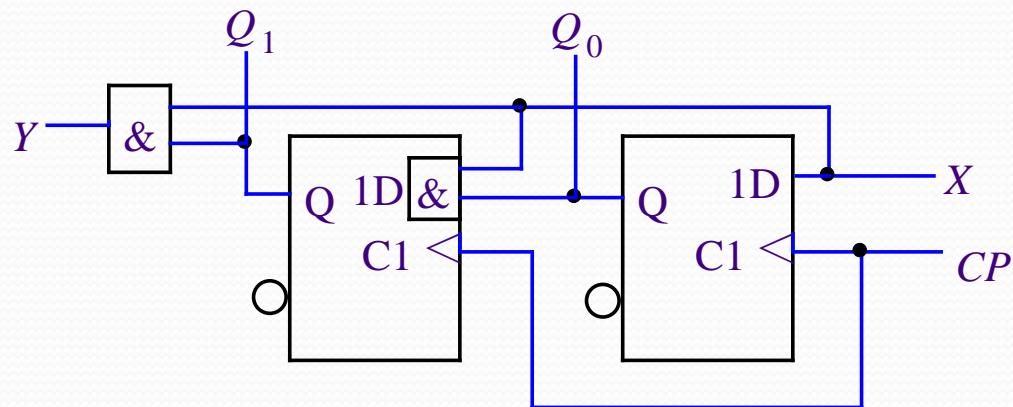
(7) 画逻辑图。

根据驱动方程和输出方程，画出逻辑图。

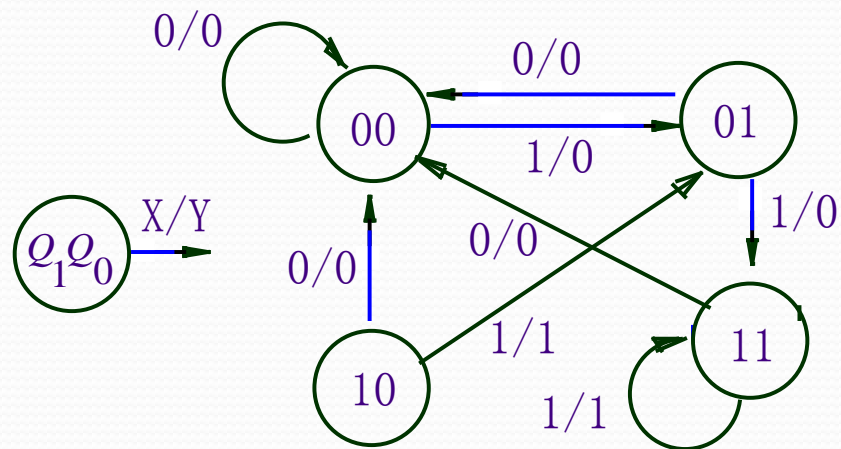
$$D_0 = X$$

$$D_1 = XQ_0^n$$

$$Y = XQ_1^n$$



(8) 检查能否自启动。



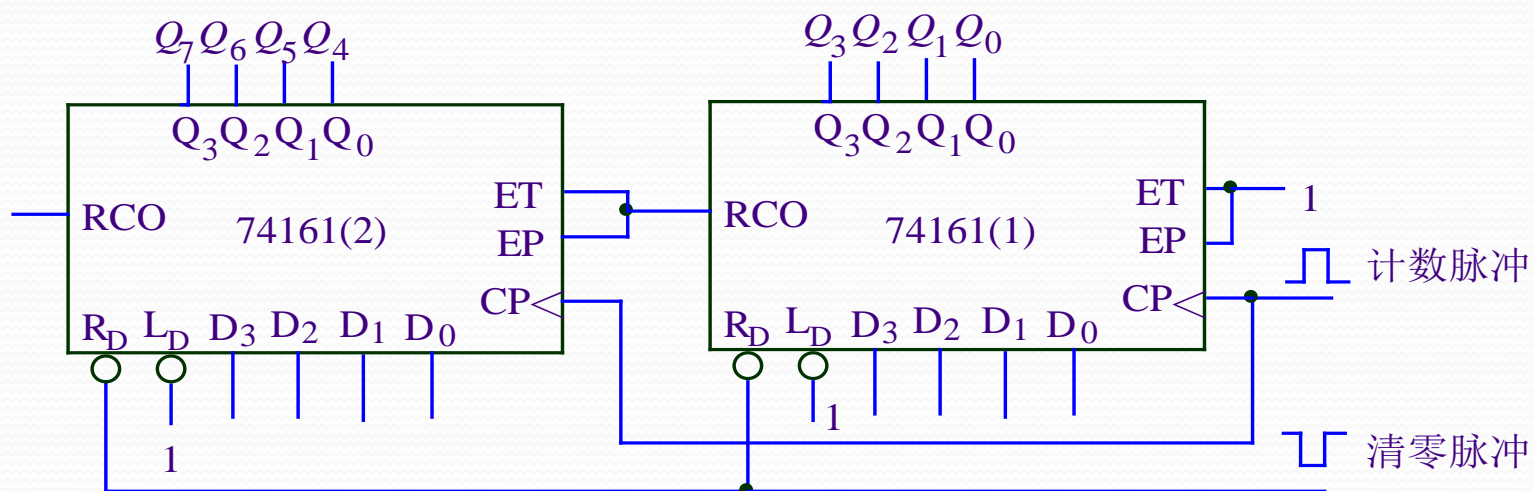


# 集成计数器的应用

# 1. 计数器的级联

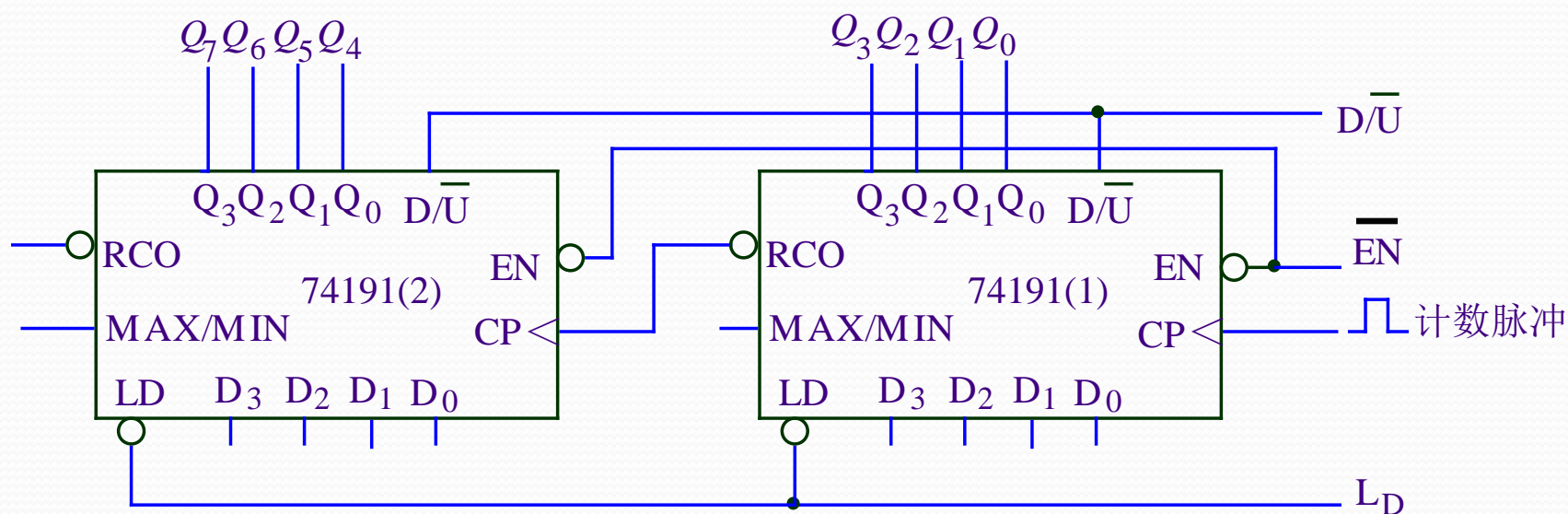
## (1) 同步级联。

例：用两片4位二进制加法计数器74161采用同步级联方式构成的8位二进制同步加法计数器，模为 $16 \times 16 = 256$ 。



## (2) 异步级联

例：用两片单时钟4位二进制可逆计数器74191采用异步级联方式构成8位二进制异步可逆计数器。

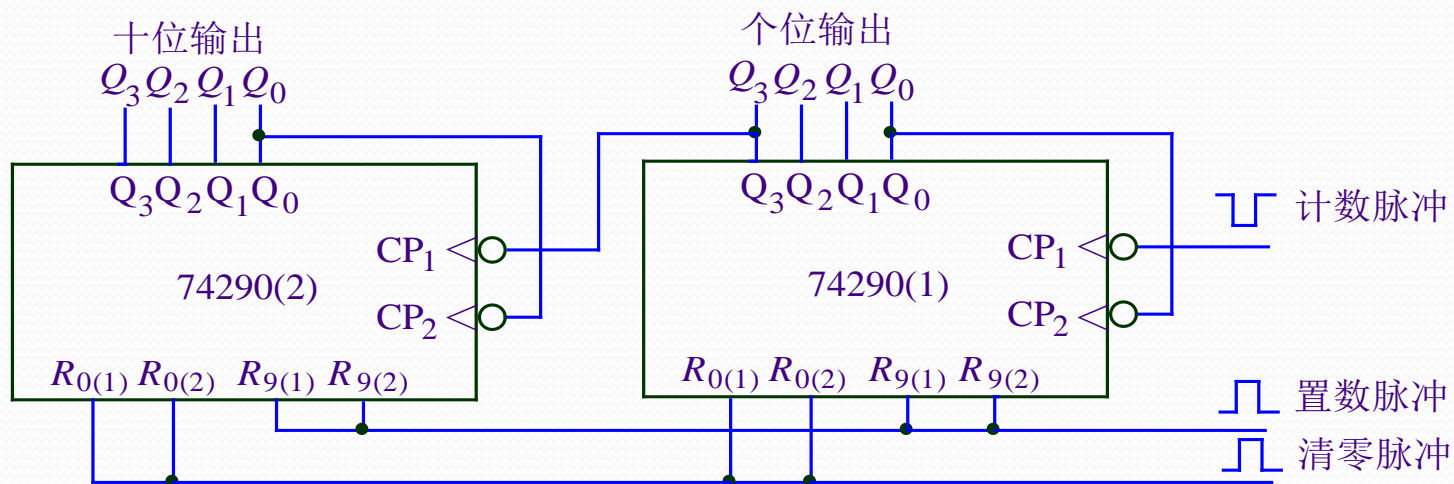


### (3) 用计数器的输出端作进位/借位端

有的集成计数器没有进位/借位输出端，这时可根据具体情况，用计数器的输出信号 $Q_3$ 、 $Q_2$ 、 $Q_1$ 、 $Q_0$ 产生一个进位/借位。

例：如用两片74290采用异步级联方式组成的二位8421BCD码十进制加法计数器。

模为 $10 \times 10 = 100$



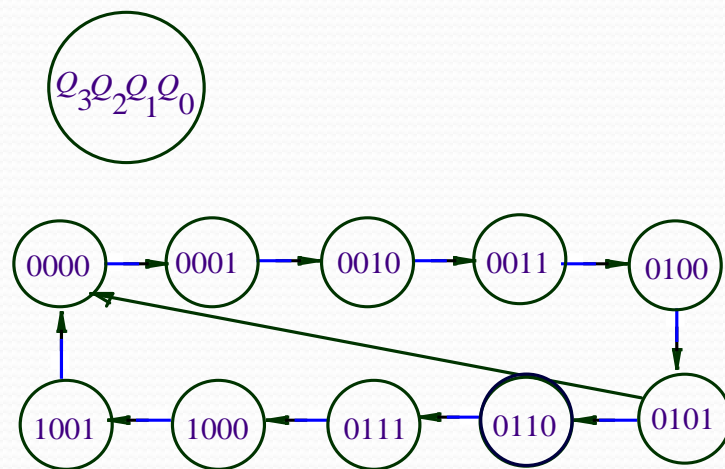
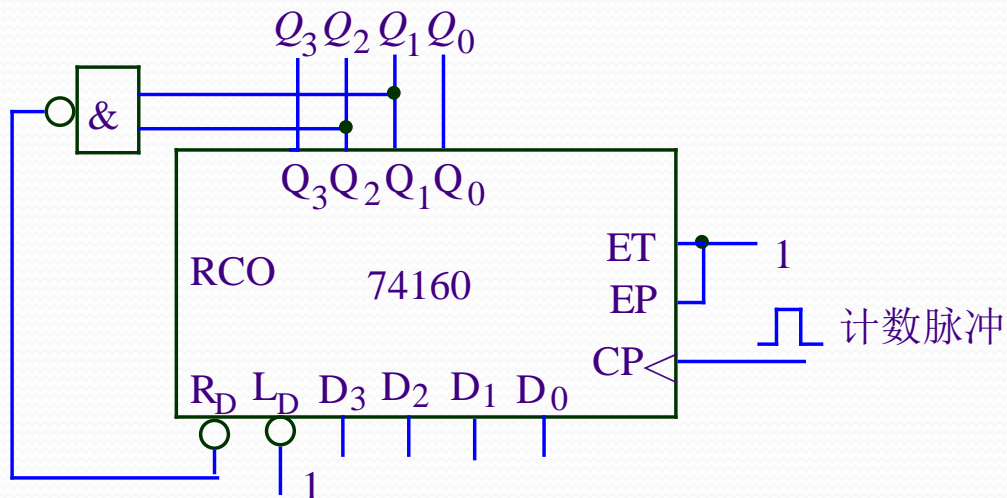


## 2. 组成任意进制计数器

### (1) 异步清零法

异步清零法适用于具有异步清零端的集成计数器。

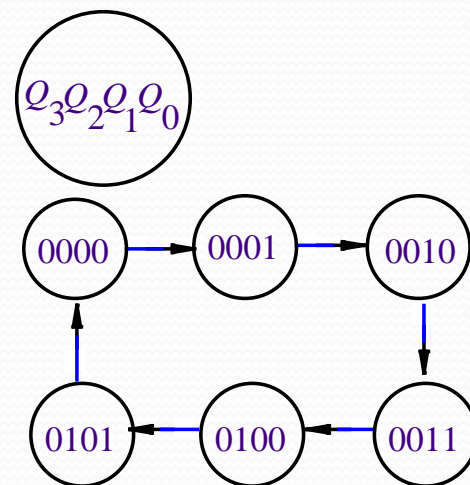
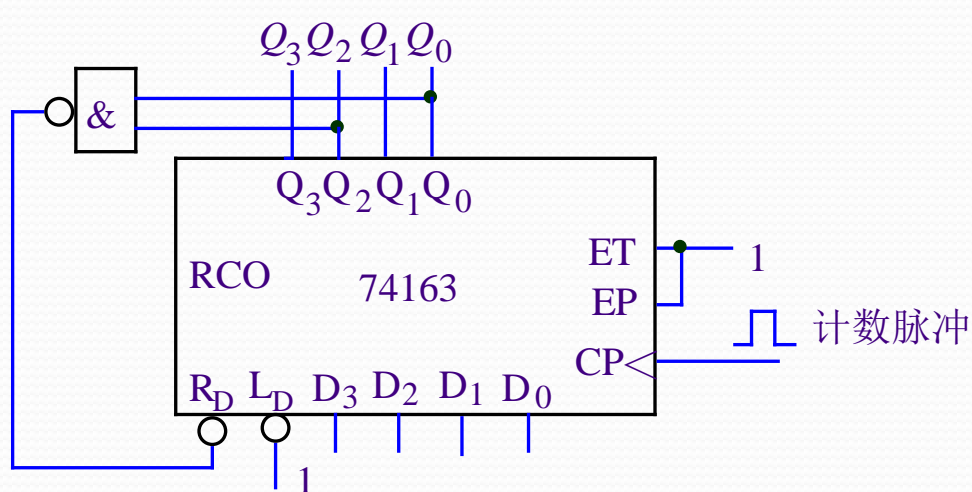
例：用同步十进制加法计数器**74160**（具有异步清零端）和与非门组成的**6**进制计数器。



## (2) 同步清零法

同步清零法适用于具有同步清零端的集成计数器。

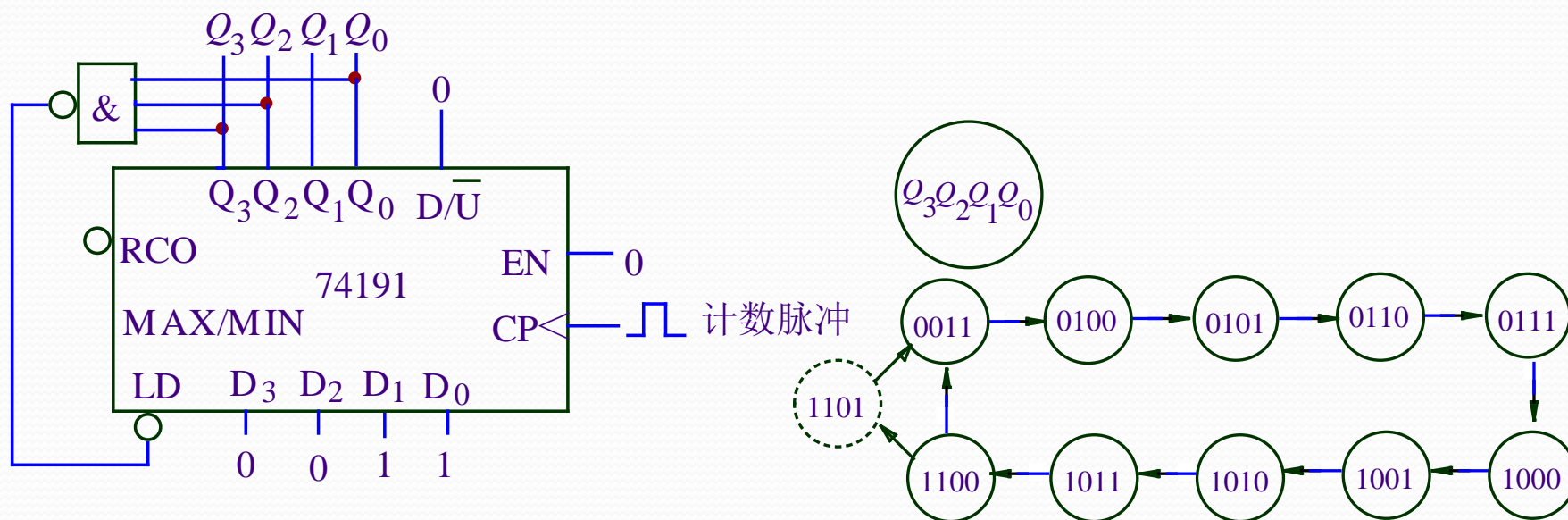
例：用集成同步四位二进制计数器74163（具有同步清零端）和与非门组成的6进制计数器。



### (3) 异步预置数法

异步预置数法适用于具有异步预置端的集成计数器。

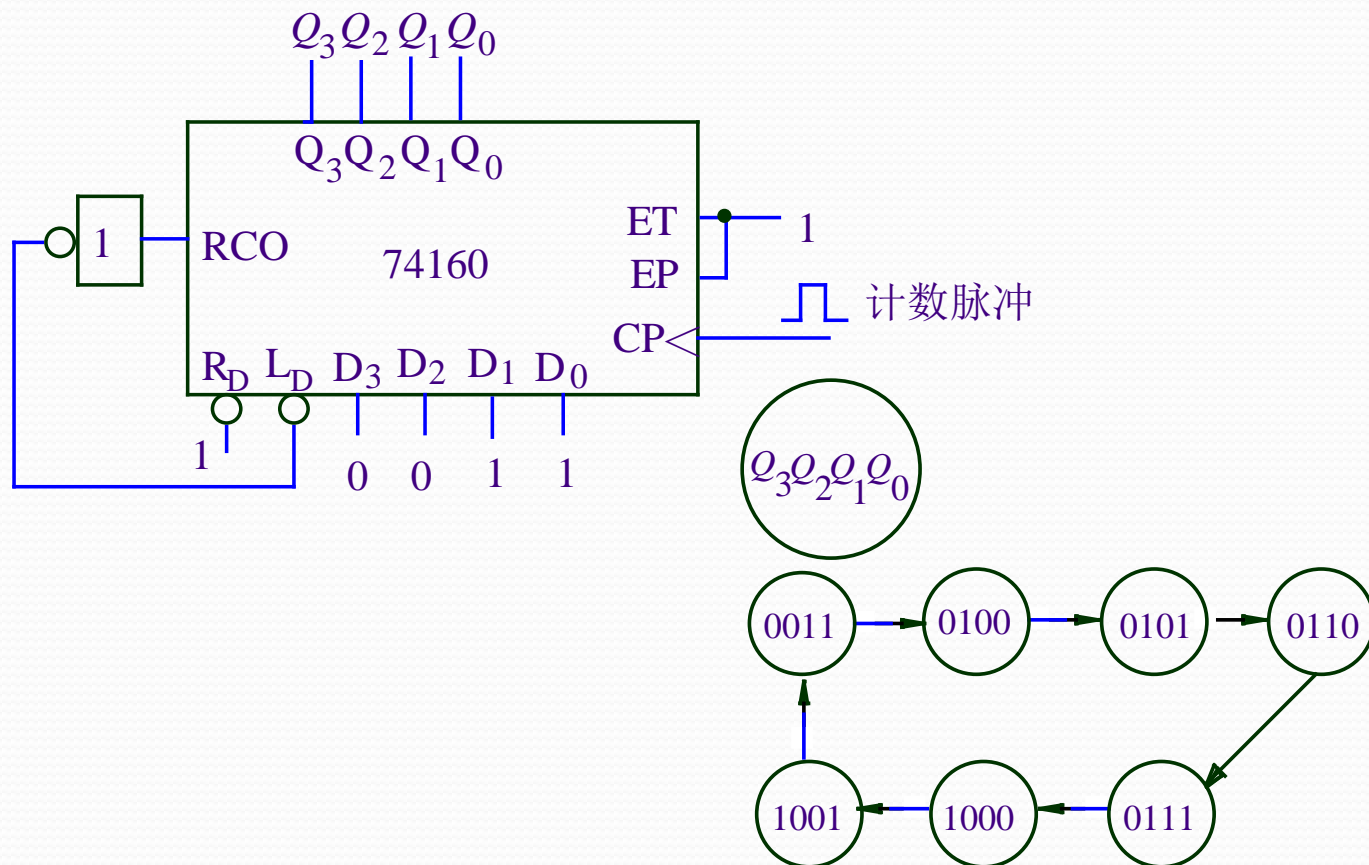
例：用集成四位二进制可逆计数器74191（具有异步预置数端）和与非门组成的余3码10进制计数器。



#### (4) 同步预置数法

同步预置数法适用于具有同步预置端的集成计数器。

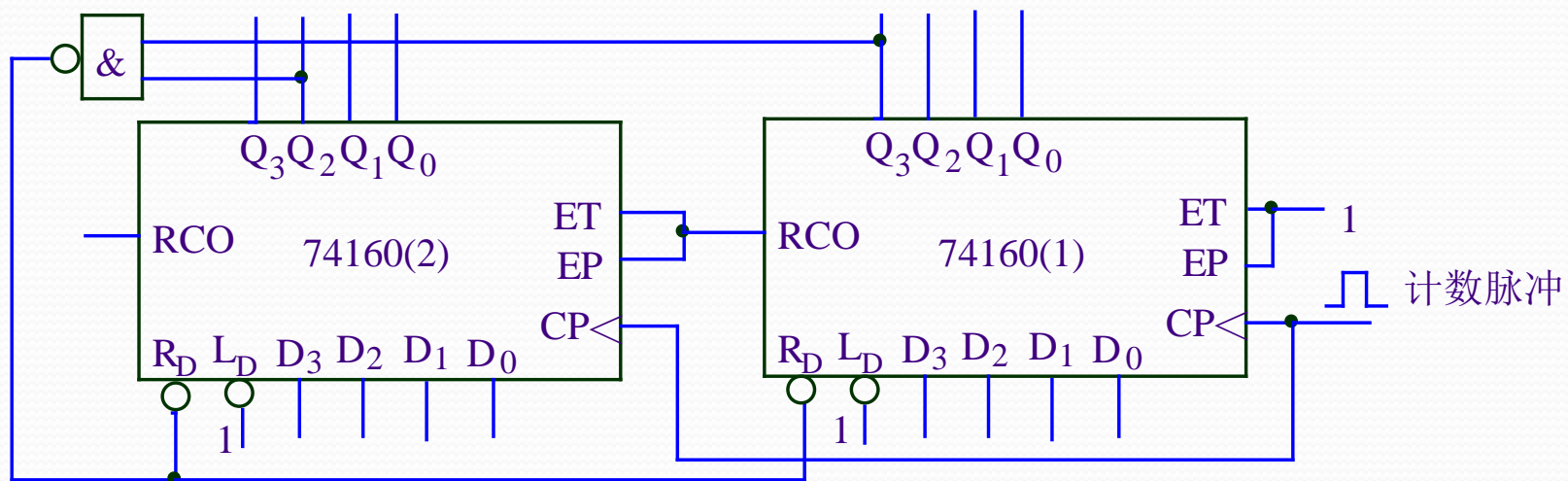
例：用集成十进制加法计数器74160（具有同步预置数端）和与非门组成的7进制计数器。



**例** 用十进制加法器74160（具有异步清零端）组成48进制计数器。

**解：**因为 $N=48$ ，而74160为模10计数器，所以要用两片74160构成此计数器。

先将两芯片采用同步级联方式连接成100进制计数器，  
然后再用异步清零法组成了48进制计数器。

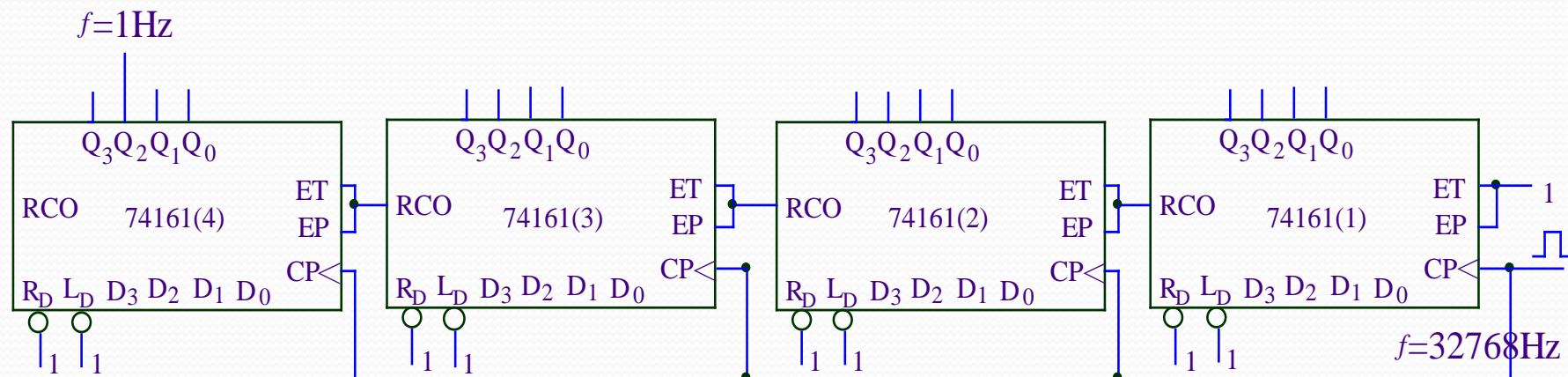


### 3. 组成分频器

模 $N$ 计数器进位输出端输出脉冲的频率是输入脉冲频率的 $1/N$ ，因此可用模 $N$ 计数器组成 $N$ 分频器。

**例** 某石英晶体振荡器输出脉冲信号的频率为 $32768\text{Hz}$ ，用四位二进制加法器74161组成分频器，将其分频为频率为 $1\text{Hz}$ 的脉冲信号。

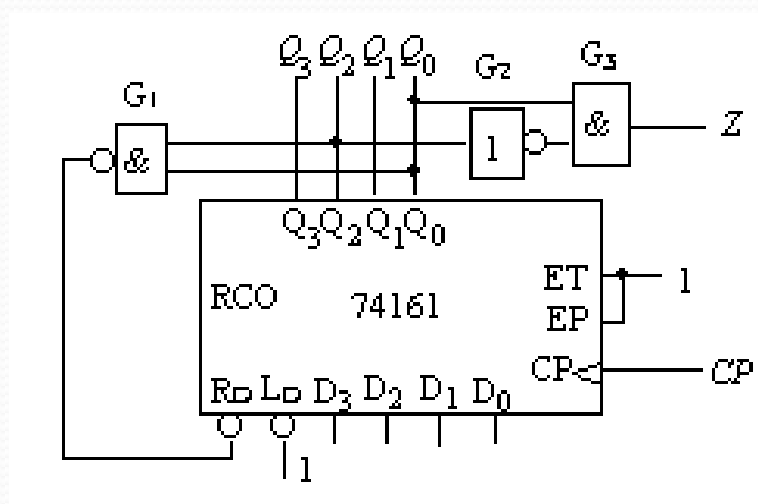
**解：** 因为 $32768=2^{15}$ ，经15级二分频，就可获得频率为 $1\text{Hz}$ 的脉冲信号。因此将四片74161级联，从高位片（4）的 $Q_2$ 输出即可。



## 4. 组成序列信号发生器

序列信号——在时钟脉冲作用下产生的一串周期性的二进制信号。

例：用74161（具有异步清零端）及门电路构成序列信号发生器。



状态表

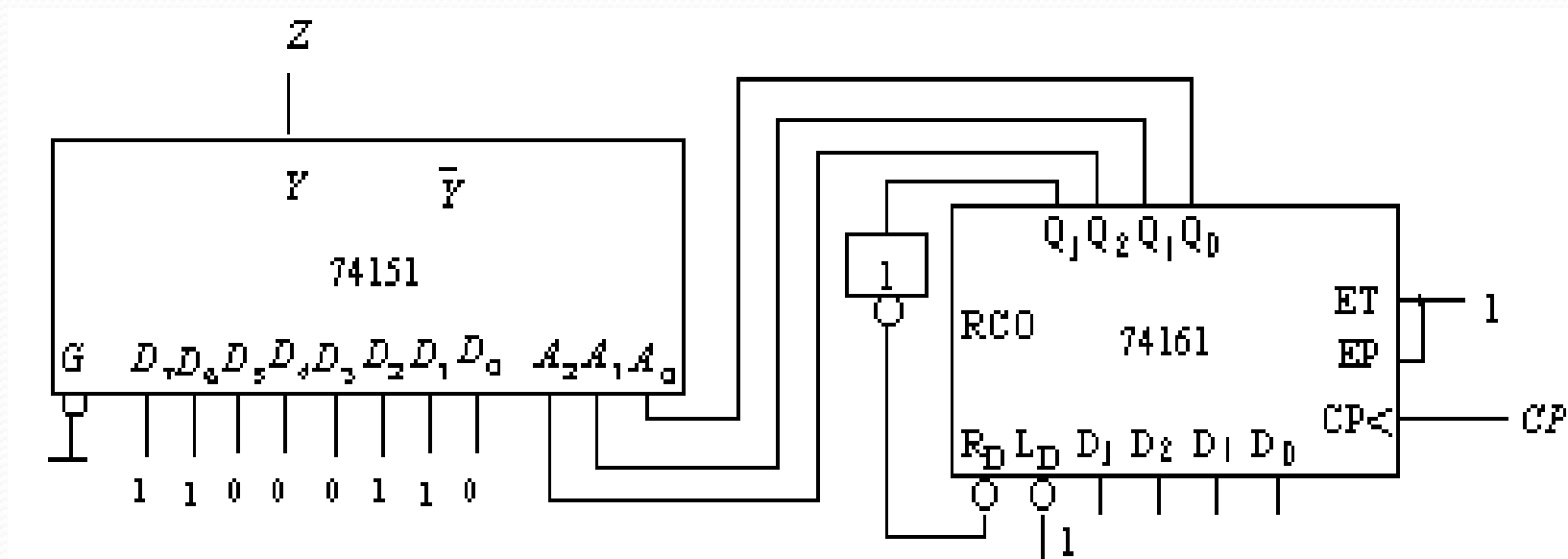
现 态			次态			输出
$Q_3^n$	$Q_2^n$	$Q_1^n$	$Q_3^{n+1}$	$Q_2^{n+1}$	$Q_1^{n+1}$	$Z$
0	0	0	0	0	1	0
0	0	1	0	1	0	1
0	1	0	0	1	1	0
0	1	1	1	0	0	1
1	0	0	0	0	0	0

其中74161与G<sub>1</sub>构成了一个模5计数器。

$Z = Q_0 \overline{Q_2}$ ，因此，这是一个01010序列信号发生器，序列长度 $P=5$ 。

例 试用4位二进制加法计数器74161和数据选择器设计一个01100011序列发生器。

解：由于序列长度 $P=8$ ，故将74161构成模8计数器，并选用数据选择器74151产生所需序列，从而得电路如下图所示。



计数器和数据选择器组成序列信号发生器



## 5. 组成脉冲分配器

