

# 54/74163

4 位二进制同步计数器（同步清除）

简要说明

163 为可预置的 4 位二进制同步计数器，共有 54163/74163、54S163/74S163，54LS163/74LS163 三种线路结构形式。其主要电特性的典型值如下：

型号	fc	PD
54163/74163	32MHz	305mW
54S163/74S163	70MHz	475mW
54LS163/74LS163	32MHz	93mW

163 的清除是同步的。当清除端（CLR）为低电平时，在时钟端（CLK）上升沿作用下，才可完成清除功能。

163 的预置是同步的。当置入控制端（LOAD）为低电平时，在 CLK 上升沿作用下，输出端（Q<sub>A</sub>-Q<sub>D</sub>）与数据输入端（A-B）相一致。对于 54/74163，当 CLK 由低至高跳变或跳变前，如果计数控制端（ENP、ENT）为高电平，则 LOAD 应避免由低至高电平的跳变，而其它两种结构形式无此种限制。

163 的计数是同步的，靠 CLK 同时加在 4 个触发器上而实现。当 ENP 和 ENT 均为高电平时，在 CLK 上升沿作用下 Q<sub>A</sub>-Q<sub>D</sub> 同时变化，从而消除了异步计数器中出现的计数尖峰。对于 54/74163，只有当 CLK 为高电平时 ENP、ENT 才允许由高至低电平的跳变，而 54S163/74S163，54LS163/74LS163 的 ENP、ENT 跳变与 CLK 无关。

163 有超前进位功能。当计数溢出时，进位端（RCO）输出一个高电平脉冲，其宽度为 Q<sub>0</sub> 的高电平部分。

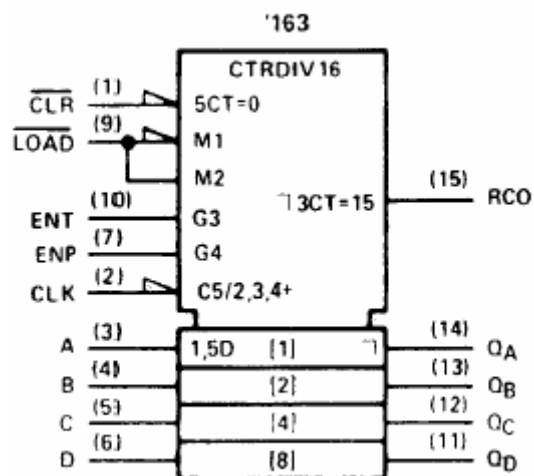
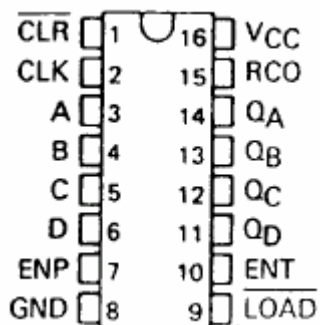
在不外加门电路的情况下，可级联成 N 位同步计数器。

对于 54/74S163，54/74LS163，在 CLK 出现前，即使 ENP、ENT、CLR 发生变化，电路的功能也不受影响。

引出端符号

RCO	进位输出端
CLK	时钟输入端（上升沿有效）
CLR	同步清除输入端（低电平有效）
ENP	计数控制端
ENT	计数控制端
A-B	并行数据输入端
LOAD	同步并行置入控制端（低电平有效）

QA-QD      输出端  
逻辑图



双列直插封装

极限值

电源电压..... 7V

输入电压

54/74163, 54/74S163..... 5.5V

54/74LS163..... 7V

ENP 与 ENT 间电压

54/74163,54/74S163..... 5.5V

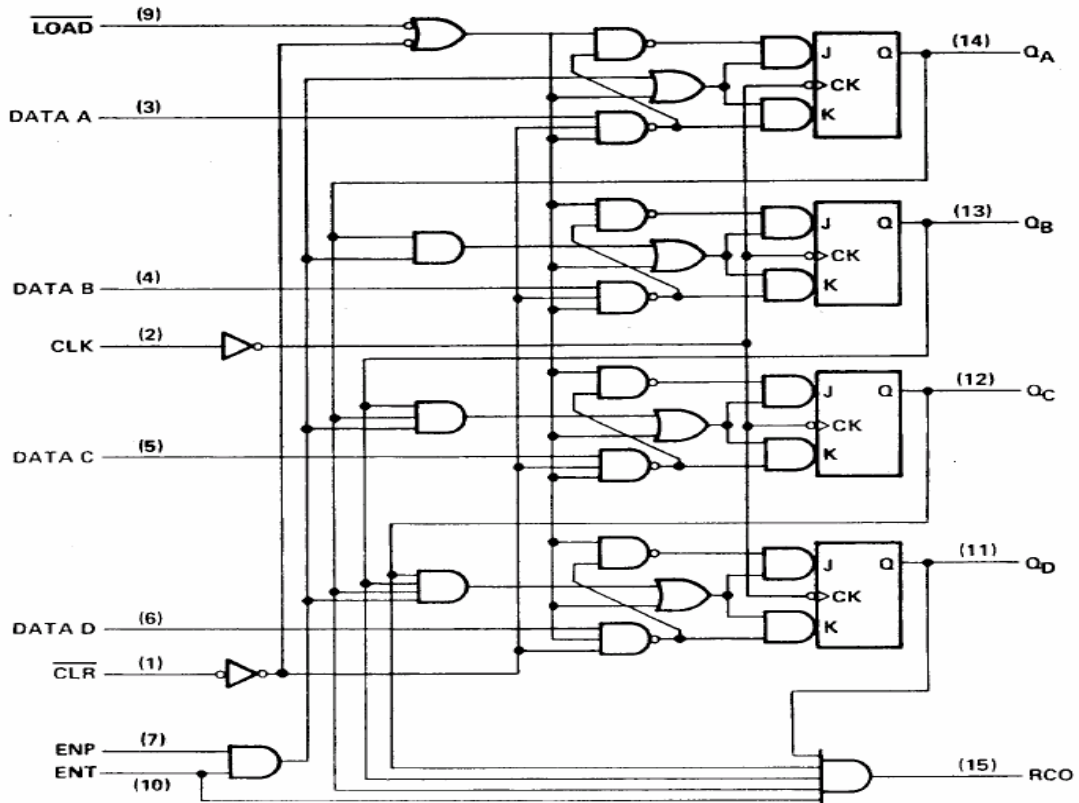
工作环境温度

54×××..... -55~125℃

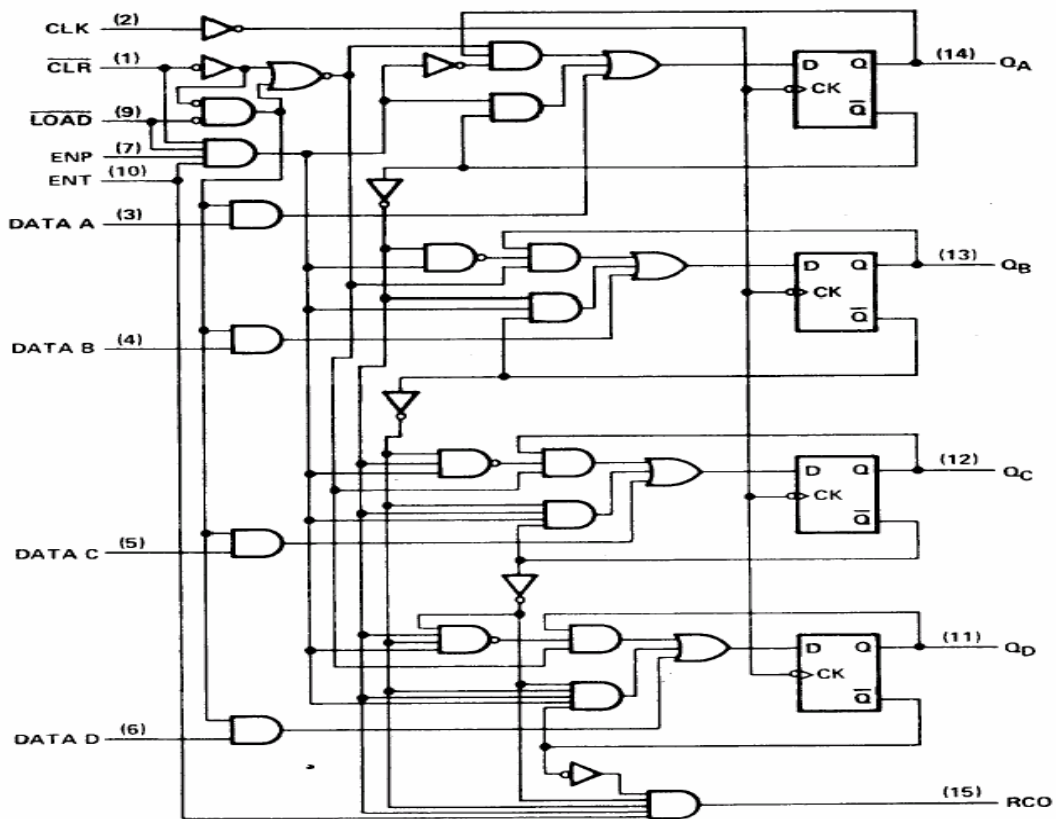
74×××..... -0~70℃

储存温度 ..... -65℃~150℃

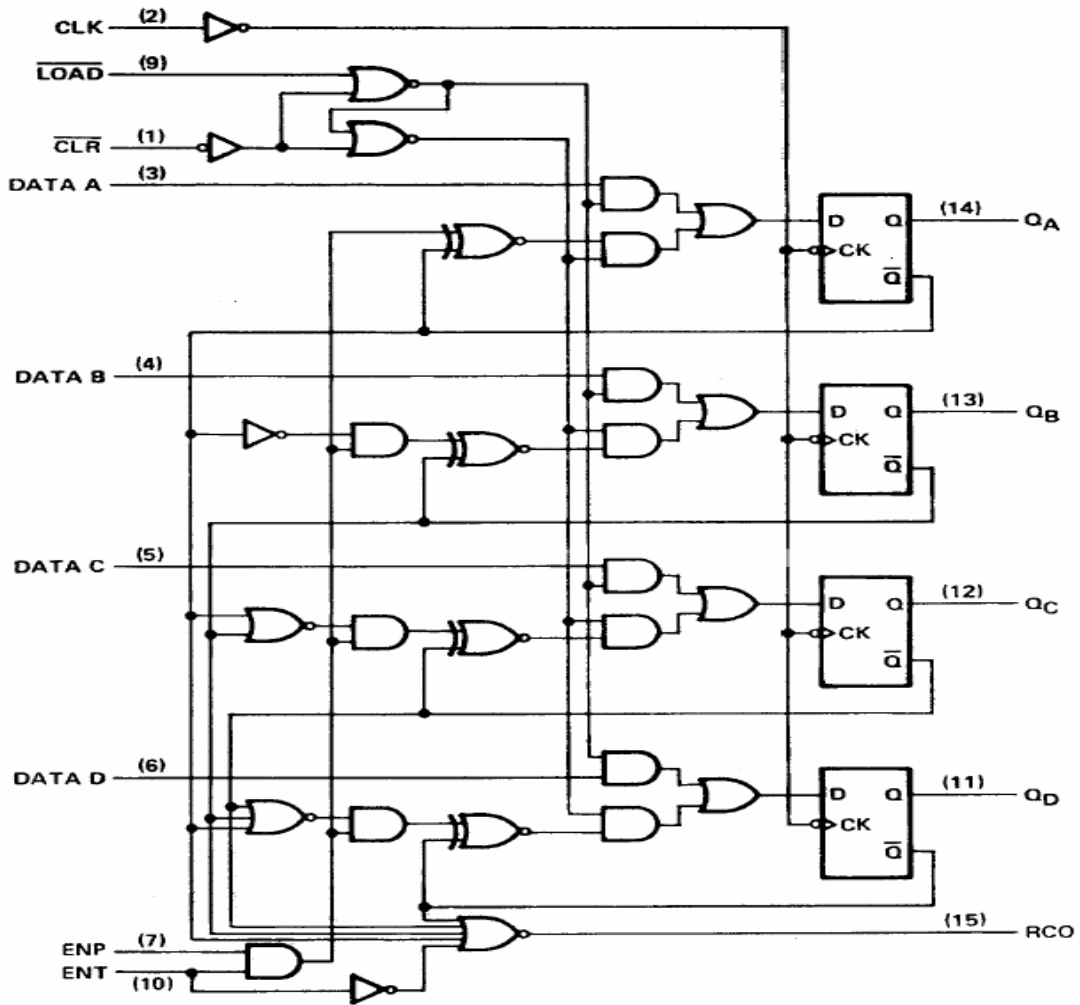
原理图及时序图



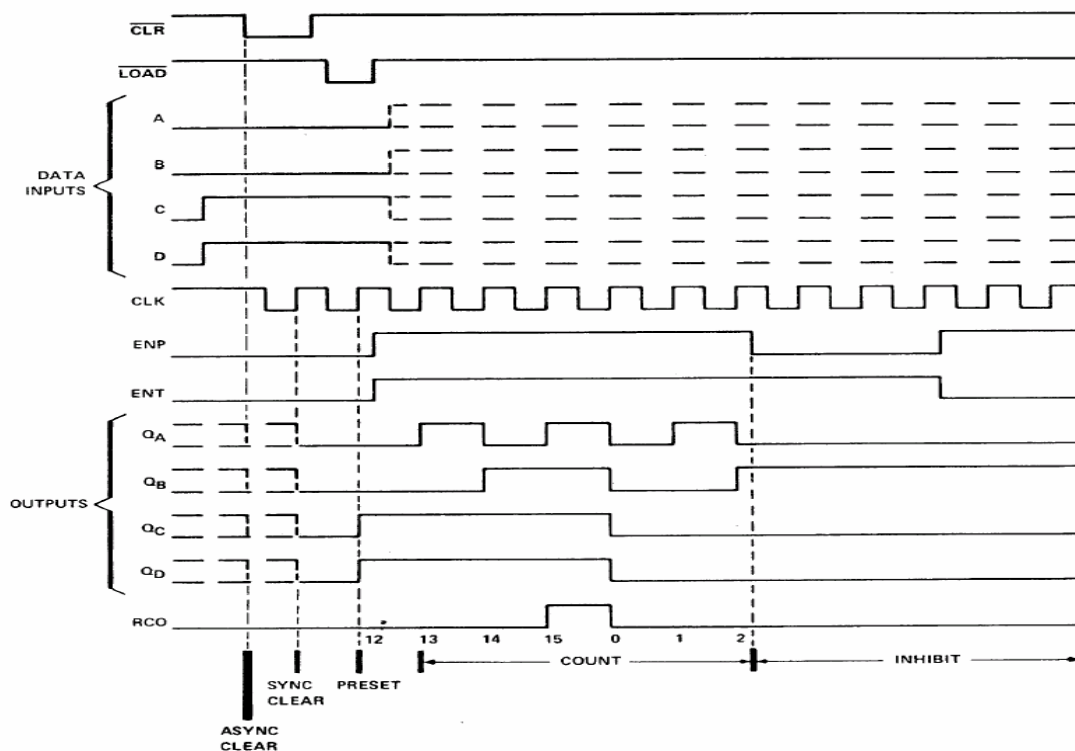
54/74163 原理图



54/74LS163 原理图



54/74S163 原理图



推荐工作条件:

		54/74163			54/74S163			54/74LS163			单位	
		最小	额定	最大	最小	额定	最大	最小	额定	最大		
电源电压 $V_{CC}$	54	4.5	5	5.5	4.5	5	5.5	4.5	5	5.5	V	
	74	4.75	5	5.25	4.75	5	5.25	4.75	5	5.25		
输入高电平电压 $V_{IH}$		2			2			2			V	
输入低电平电压 $V_{IL}$	54			0.8			0.8			0.7	V	
	74			0.8			0.8			0.8		
输出高电平电流 $I_{OH}$				-800			-1000			-400	uA	
输出低电平电流 $I_{OL}$	54			16			20			4	mA	
	74			16			20			8		
时钟频率 $f_{CLK}$		0		25	0		40	0		25	MHz	
脉冲宽度 $T_w$	CLK	25			10			25			ns	
		20			10			20			ns	
建立时间 $t_{set}$	A-B	20			4			20			ns	
	ENP、ENT	20			12			20			ns	
	LOAD	25			14			20			ns	
	CLR	20			14			20			ns	
	LOAD无效				12						ns	
	CLR无效				12						ns	
保持时间 $t_H$	A-B	0			3			0			ns	
	LOAD, CLR	0			0			0			ns	

恢复时间 tre	ENP、ENT						4				ns
-------------	---------	--	--	--	--	--	---	--	--	--	----

静态特性 (TA 为工作环境温度范围)

参 数	测 试 条 件 <sup>[1]</sup>		'163		'S163		LS163		单位
			最小	最大	最小	最大	最小	最大	
V <sub>IK</sub> 输入嵌位电压	V <sub>CC</sub> =最小	I <sub>ik</sub> =-12mA		1.5					V
		I <sub>ik</sub> =-18mA				-1.2		-1.5	
V <sub>OH</sub> 输出高电平电压	V <sub>CC</sub> =最小 V <sub>IH</sub> =2V V <sub>IL</sub> =最大, I <sub>OH</sub> =最大	54	2.4		2.5		2.5		V
		74	2.4		2.7		2.7		
V <sub>OL</sub> 输出低电平电压	V <sub>CC</sub> =最小, V <sub>IH</sub> =2V, V <sub>IL</sub> =最大, I <sub>OL</sub> =最大	54		0.4		0.5		0.4	V
		74		0.4		0.5		0.5	
I <sub>I</sub> 最大输入电压时输入电流	A-B, ENP	V <sub>CC</sub> = 最大 V <sub>I</sub> =5.5V (LS163 为 7V)		1		1		0.1	mA
	CLK、ENT、 $\overline{\text{CLR}}$ 、 $\overline{\text{LOAD}}$			1		1		0.2	
I <sub>IH</sub> 输入高电平电流	A-B, ENP	V <sub>CC</sub> =最大 V <sub>IH</sub> =2.4V (LS163 为 2.7V)		40		50		20	$\mu$ A
	$\overline{\text{CLR}}$ 、 $\overline{\text{LOAD}}$			40		50		40	
	CLK			80		50		40	
	ENT			80		100		40	
I <sub>IL</sub> 输入低电平电流	A-B, ENP	V <sub>CC</sub> = 最大, V <sub>IL</sub> =0.4V (LS163 为 0.5V)		1.6		-2		-0.4	mA
	$\overline{\text{CLR}}$ 、 $\overline{\text{LOAD}}$			-1.6		-2		-0.8	
	CLK			-3.2		-2		-0.8	
	ENT			-3.2		-4		-0.8	
I <sub>OS</sub> 输出短路电流	V <sub>CC</sub> =最大	54	-20	-57	-40	-100	-20	-100	mA
		74	-18	-57	-40	-100	-20	-100	
I <sub>OS</sub> 输出短路电流	V <sub>CC</sub> =最大, $\overline{\text{LOAD}}$ 先接高电平, 再接低电平, 其余输入接入高电平。	54		85				31	mA
		74		91				31	
I <sub>OS</sub> 输出 ddp 电流	V <sub>CC</sub> =最大, CLK 先接高电平, 再接低电平, 其余输入接入低电平。	54		91				32	mA
		74		101				32	
I <sub>CC</sub> 电源电流	V <sub>CC</sub> =最大					160			mA

[1]: 测试条件中的“最小”和“最大”用推荐工作条件中的相应值。

动态特性(T<sub>A</sub>=25℃)

参 数 <sup>[2]</sup>		测 试 条 件	'163		'S163		'LS163		单位
			最小	最大	最小	最大	最小	最大	
f <sub>max</sub>		V <sub>CC</sub> =5V, C <sub>L</sub> =15Pf, R <sub>L</sub> =400	25		40		25		MHz
t <sub>PLH</sub>	CLK → RCO			35		25		35	ns

$t_{PHL}$		$\Omega$ ( '163 为 280 $\Omega$ , 'LS163 为 2K $\Omega$ )  ( 由 CLK 跳变时测量 )		35		25		35	ns
$t_{PLH}$	CLK $\rightarrow$ 任一 Q			20		15		24	ns
$t_{PHL}$	( $\overline{LOAD}$ 为 H )			23		15		27	ns
$t_{PLH}$	CLK $\rightarrow$ 任一 Q			25		15		24	ns
$t_{PHL}$	( $\overline{LOAD}$ 为 L )			29		15		27	
$t_{PLH}$	ENT $\rightarrow$ RCO			16		15		14	ns
$t_{PHL}$				16		15		14	
$t_{PHL}$	$\overline{CLR} \rightarrow$ 任一 Q			38				28	ns

[2]:  $f_{max}$  最大时钟频率。 $t_{PLH}$  输出由低电平到高电平传输延迟时间  $t_{PHL}$  输出由高电平到低电平传输延迟时间