**实 验 报 告**

|  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- |
| **实 验 人** | **陈潇楠** | | **学 号** | **10389418** | **日 期** | **2011.11.08** |
| **院（系）：** | **软件学院** | | | **专业（班级）：** | **2010级电子政务2班** | |
| **实验题目** | | **译码显示电路** | | | | |

**一．实验目的**

1．掌握中规模集成译码器的逻辑功能和使用方法

2．熟悉数码管的使用

**二．实验仪器及器件**

1．数字电路实验箱、数字万用表、示波器

2．器件：74LS48X1\74LS194X1,74LS73X1\74LS00X2

**三．实验原理：**

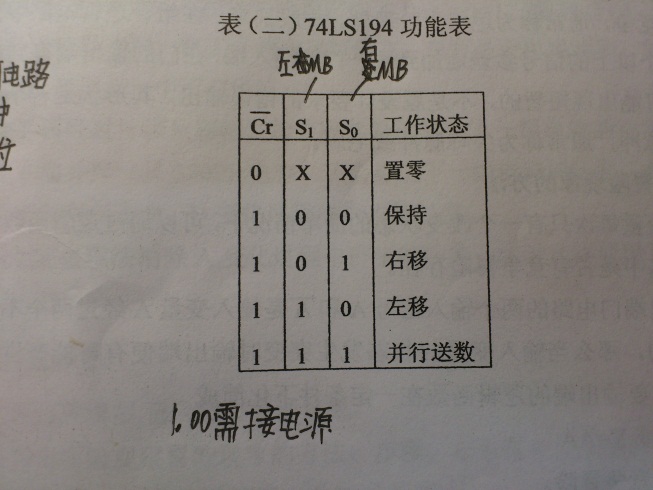
1．数码显示译码器

2．扫描式显示

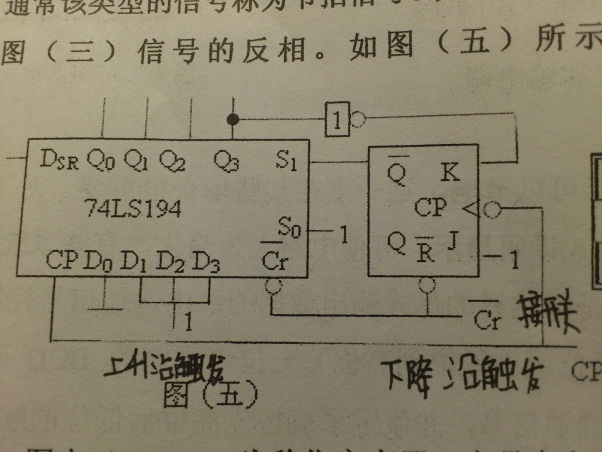
3．四节拍发生器

**四．实验内容**

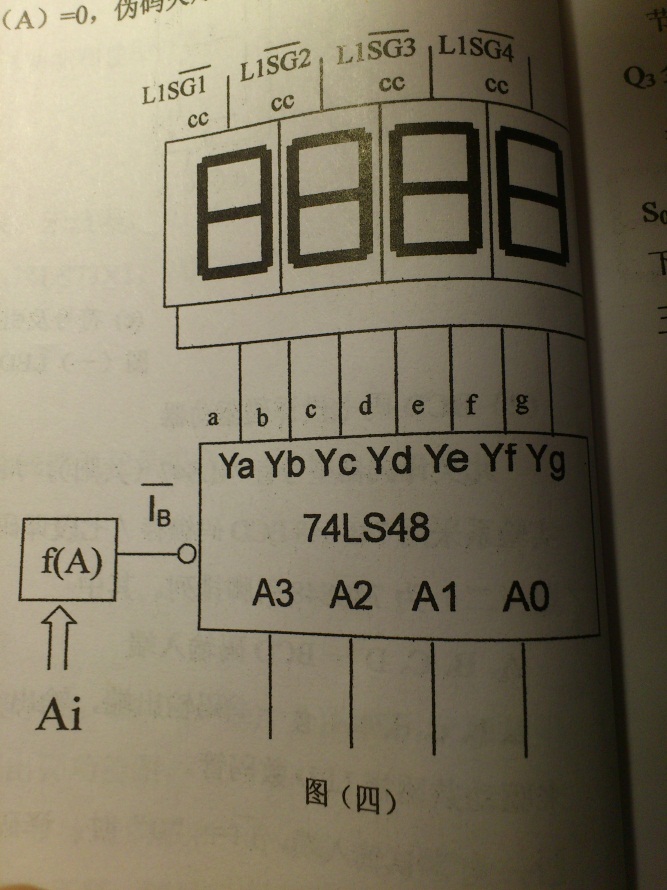
1．按表(二)测试74LS194



2．按照图（五）实现四节拍顺序脉冲发生器



3．按图（四）实现四位扫描译码显示电路。

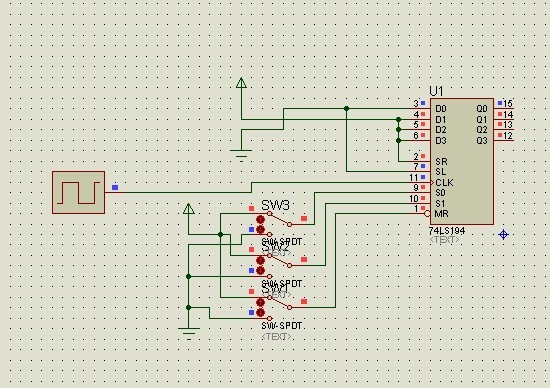


4．自行设计电路在4联装LED数码管同时显示出4个不同的0-7数字。

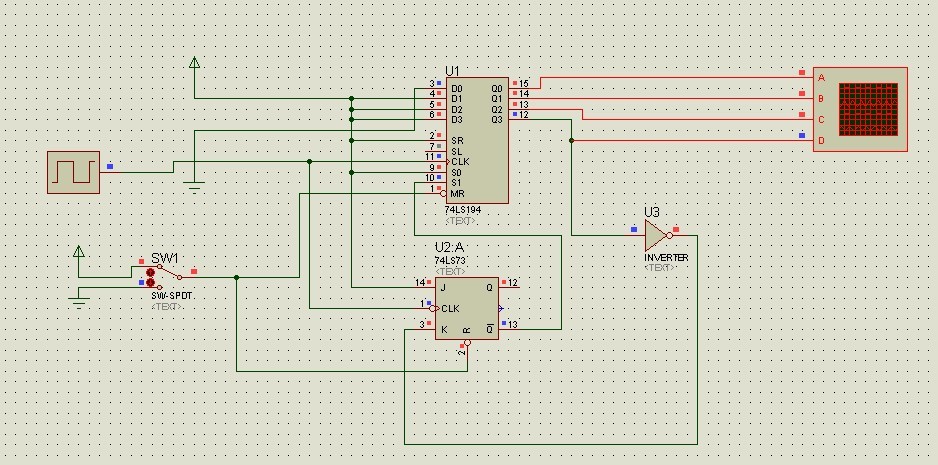
**五．实验结果与分析**

实验结果与反思：

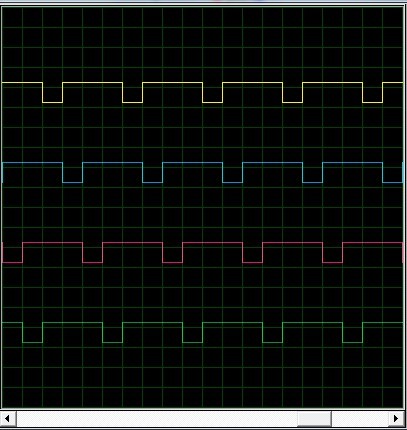
1.74LS194测试结果与表（二）中无误。并且原来74LS194具有锁存的功能，能够在CR非不接负脉冲的时候，保存上一个时钟上升沿的结果。



2．实现了四节拍发生器，可惜实验结果没有拍图保存下来。开始的时候没有把74LS00与非门的VCC接上电源，导致结果只显示1011与1101。后来经过老师指导接上电源后得出正确结果：0111,1011,1101,1110。

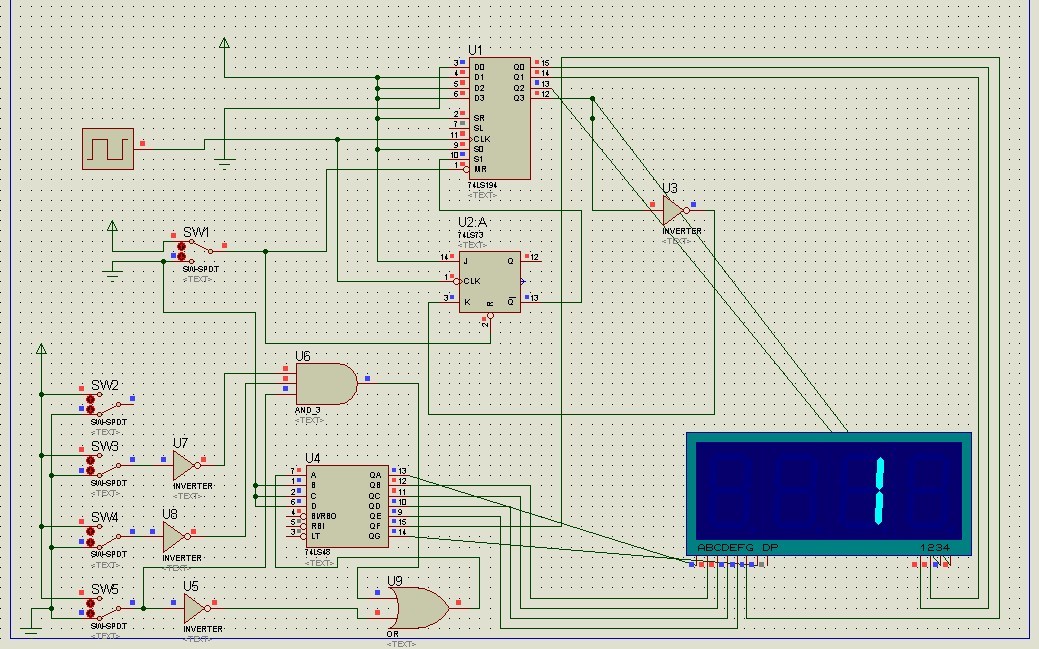


从上到下分别为Q0,Q1,Q2,Q3

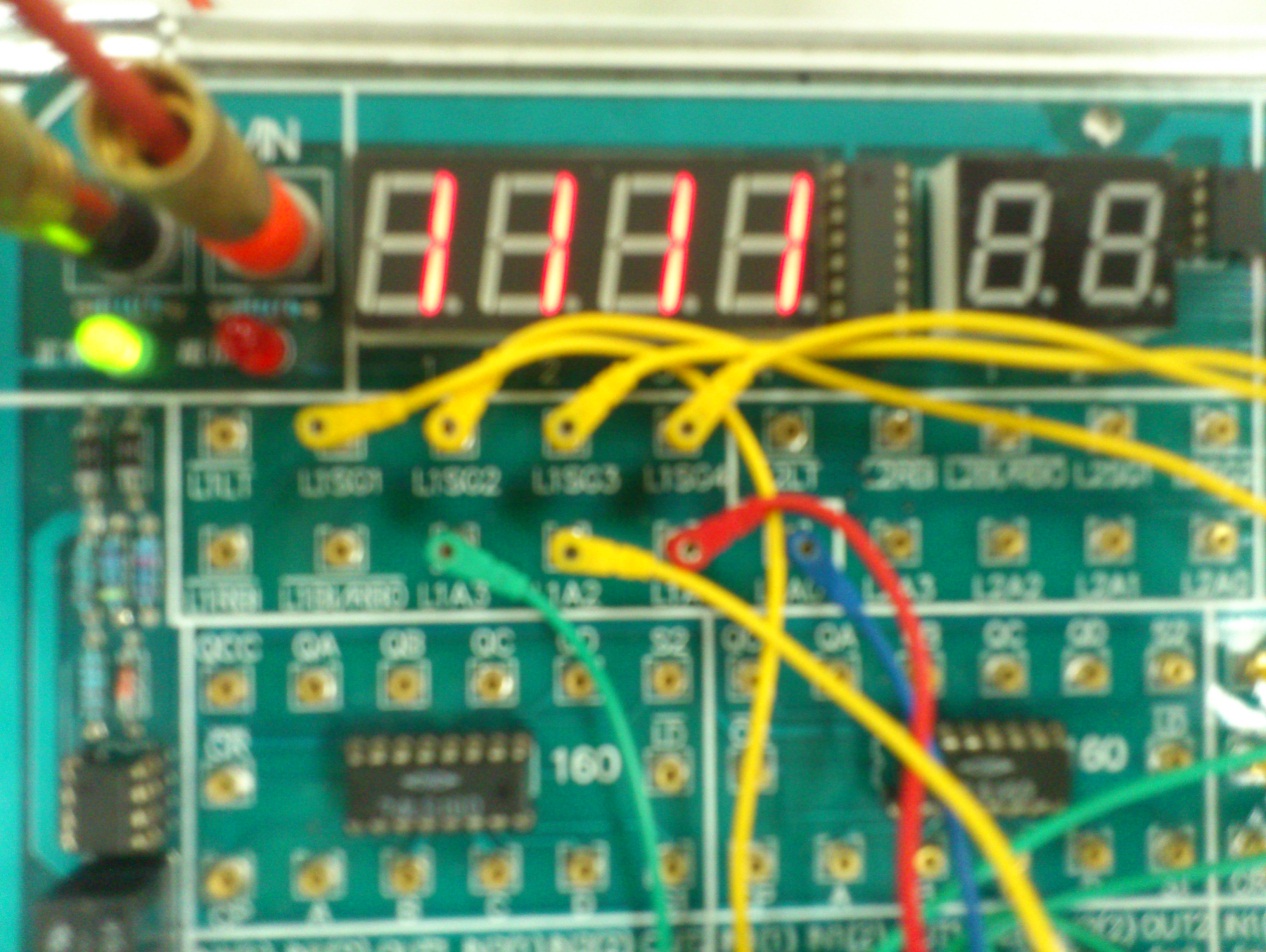
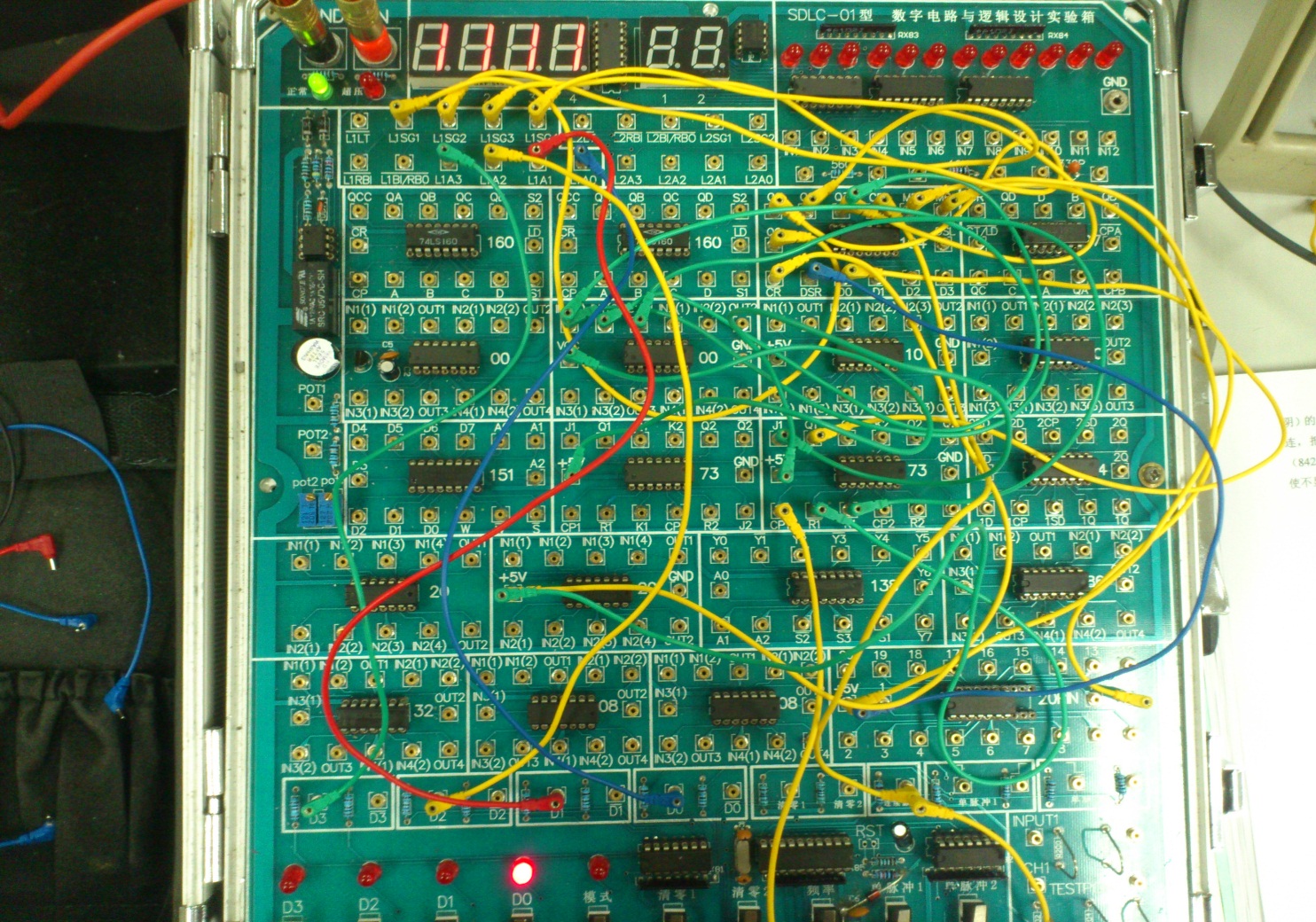


3.实现了四位扫描译码显示电路。了解了Q3,Q2,Q1,Q0当做L1SG4非等的输入可以使显示屏显示出结果。原来Q3,Q2,Q1,Q0等是当做输入脉冲，使显示屏的输入低脉冲的位置显示出结果。

下图为伪码灭灯码显示电路：

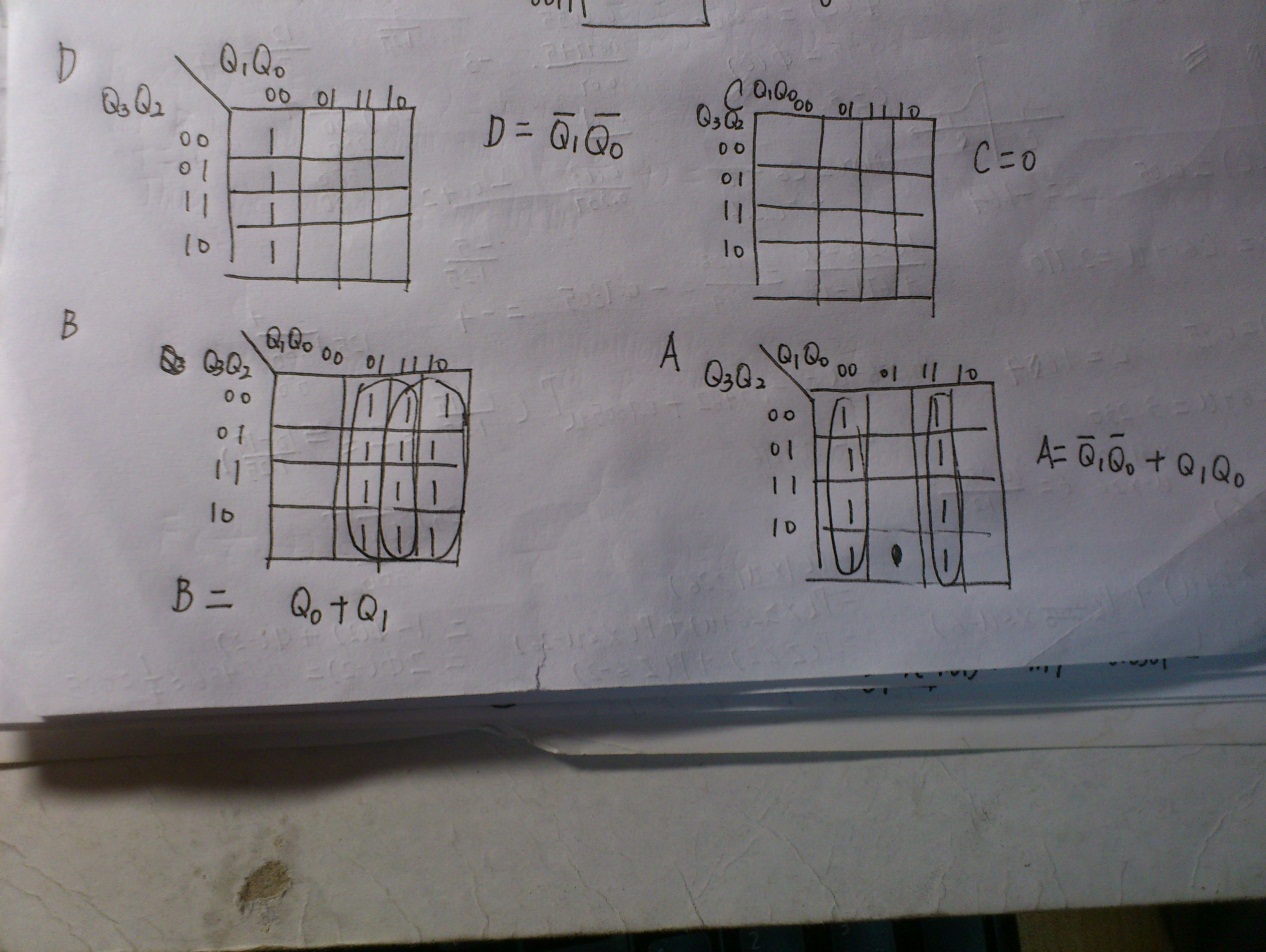


实际结果：

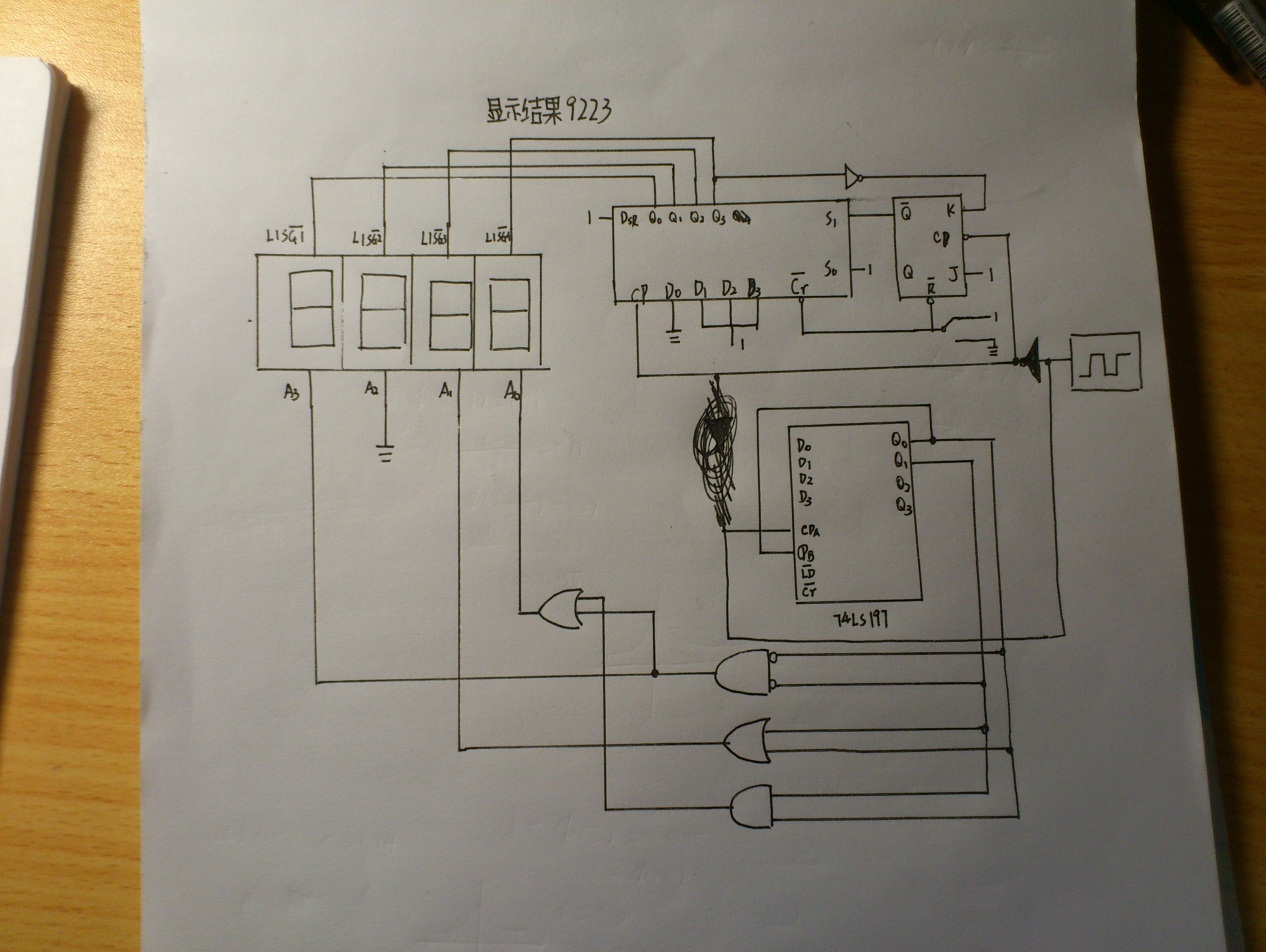


4．设计电路并且在4联装LED数码管上显示出9223（学号后四位的数字）.

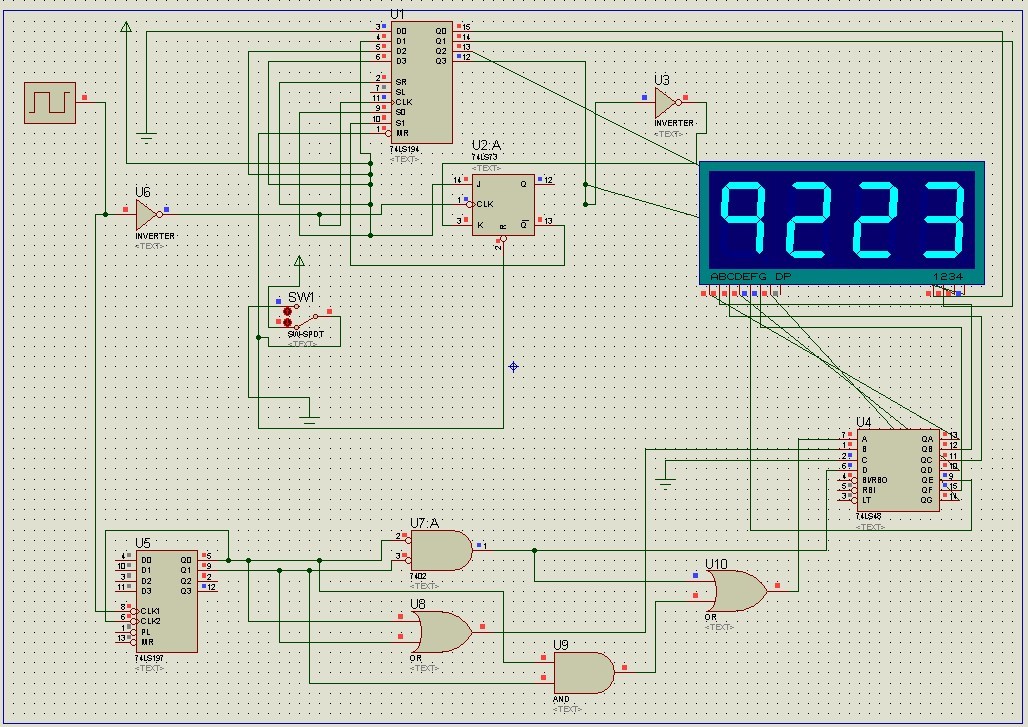
对于统一的时钟输入有Q0,Q1,Q2,Q3与数字ABCD（二进制）显示的关系有：



设计电路图：



结果：



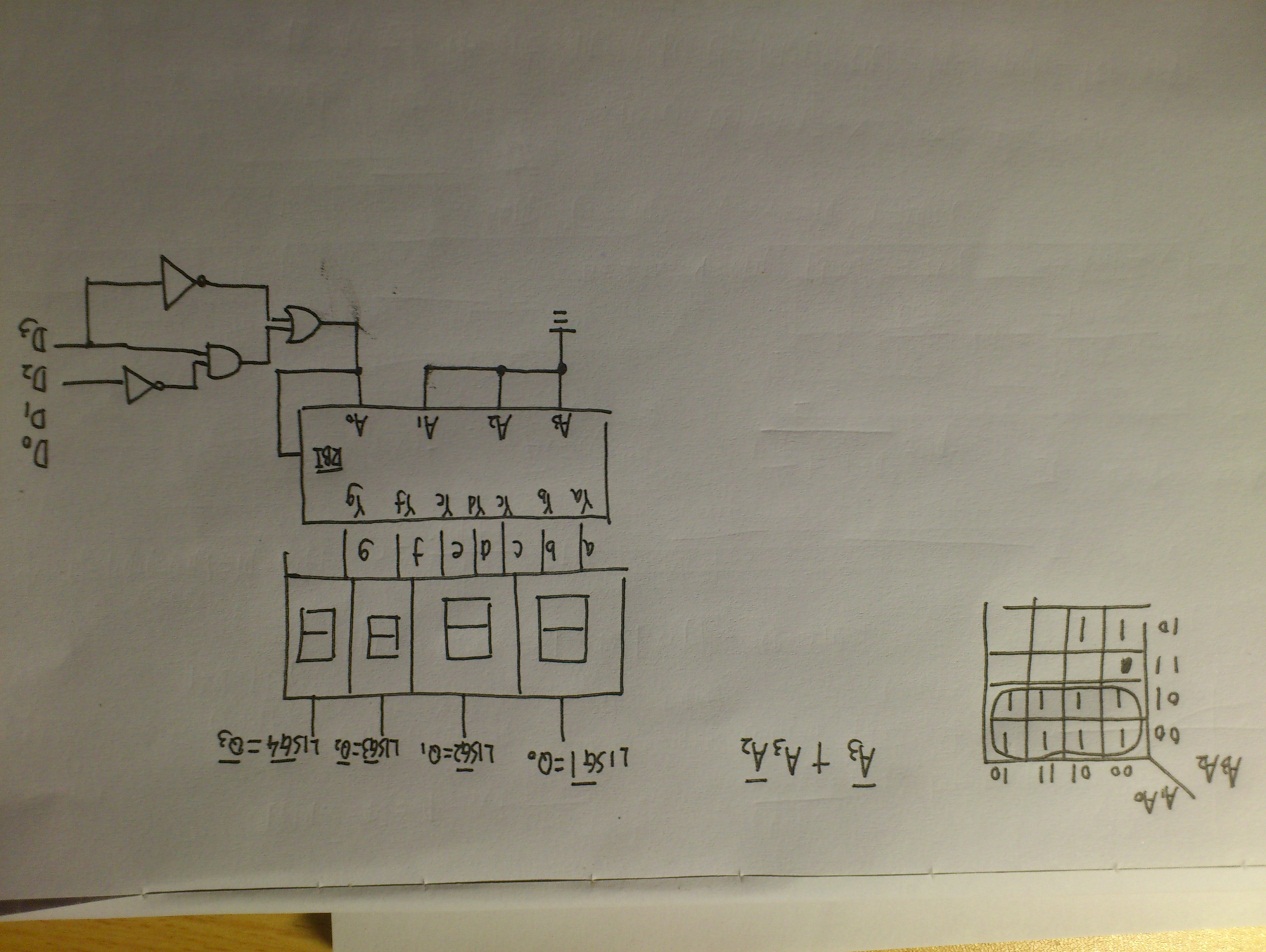
本实验的思路是在CLOCK输入的时候，即是模拟输入从0000-1111每个周期分别显示9，2,2,3通过LED显示的切换，使某一个显示屏固定只输出一个数字，通过加快频率，达到显示4位数字的效果。

本实验中，在实验室无法得出正确答案，屏幕上显示为8888。后来猜想原因，可能有：

1. 没有将74LS194与JK触发器的CP时钟输入对统一时钟输入取逆，导致74LS197与74LS194的时钟不统一。
2. 当时没有弄到JK触发器的原理，只是单纯地连线，可能某一条线连错了。
3. 不同的时钟输入对JK触发器的影响不一样，导致结果也不一样。在模拟实验的时候发现，结果输出可能为2392，也可能为9223。
4. 可能接线太多，导致LED灯的电压输入不够，频率过快的时候也显示不清楚。

思考题：

1. 伪码灭灯电路



1. 输入脉冲分析

当开始第一个脉冲为上升沿时有Q0=0,Q1=Q2=Q3=1

当下降沿到达后，J=1,K=0,S1=0

第2个上升沿到达后，74LS194的工作状态为右移，则此时Q0=1,Q1=0,Q2=Q3=1

当第2个下降沿到达后，J=1,K=0,S1=0

第3个上升沿到达后，74LS194中S1=0.S0=1，其工作状态为右移，则此时Q0=1,Q1=1,Q2=0,Q3=1

当第3个下降沿到达后，J=1,K=0,S1=0

当第4个上升沿到达后,S1=0,S0=1，右移，Q0=1,Q1=1,Q2=1,Q3=0

当第4个下降沿到达后，K=1,J=1，Q输出从1反置为0，则S1=1,S0=0

当第5个上升沿到达后，74LS194工作状态为并行送数，Q0=0,Q1=Q2=Q3=1

此时返回到第1个上升沿结束后的状态。

假如当第一个脉冲为下降沿时，Q3=0，则k=1,J=1,由于开始时JK触发器处于RESET状态，Q=0,此时结果取反，S1=1，则当下一个上升沿到达后，74LS194工作状态为并行送数，则为第一个脉冲为上升沿的前一个结果状态，以后便可循环状态。

1. 设计电路显示出学号后四位。

如实验四所示。

实验设计图：

