**VGA实验**

通过该实验你能够：

* 学会VGA工程的建立，实现VGA显示彩条图像
* 学习VGA源码

**1.新建VGA工程**

**1-1.创建工程**

1-1-1. 打开Vivado应用程序，通过选择开始>所有程序>Xilinx设计工具>Vivado2014.2>Vivado 2014.2

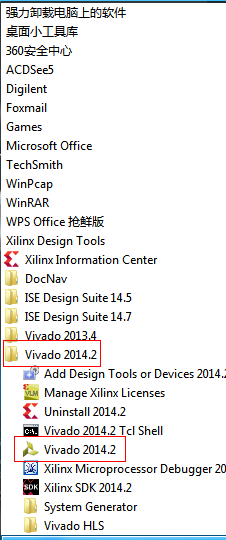


图1-1-1

1-1-2.双击Vivado 2014.2打开Vivado应用程序

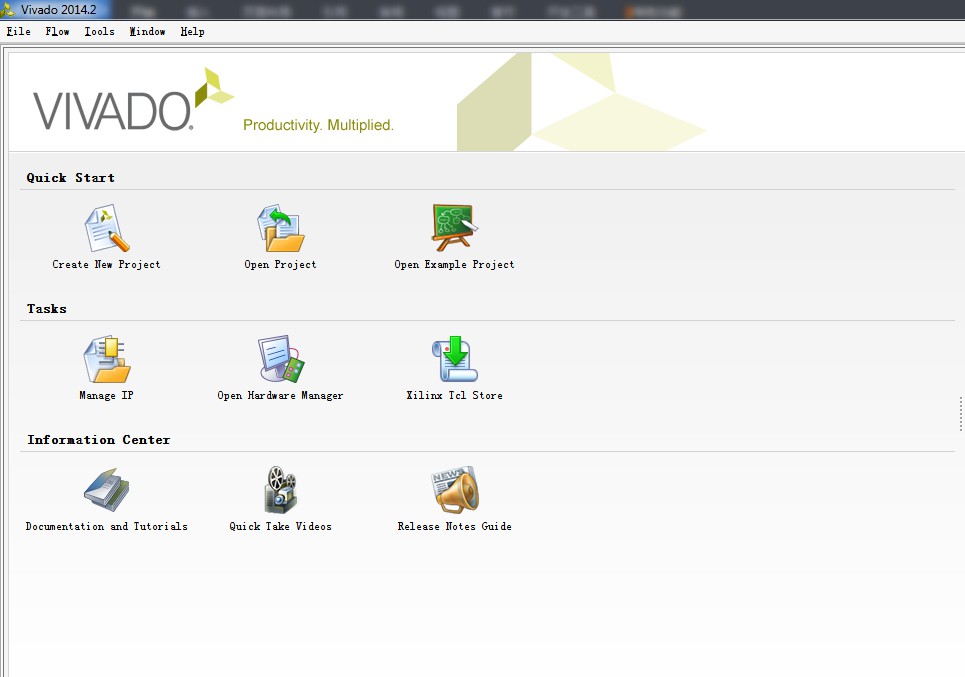


图1-1-2

1-1-3.单击启动向导Create New Project，您将看到创建一个新的Vivado Project dialog框，单击Next。

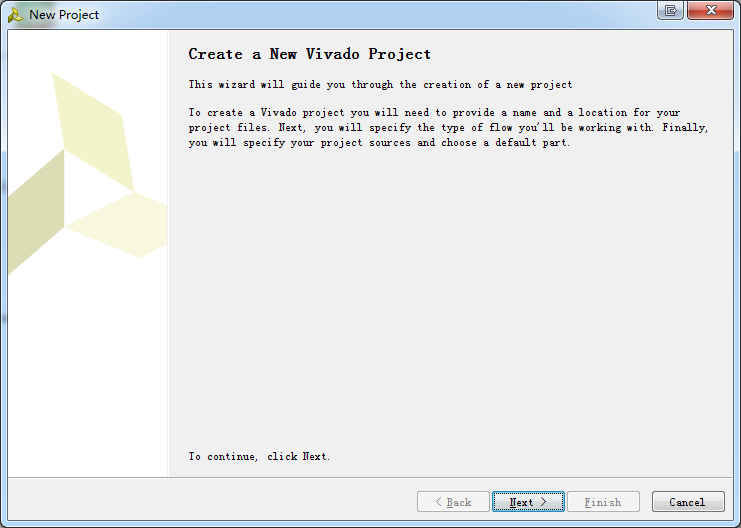


图1-1-3

1-1-4.设定工程名称为lab\_vga，通过点击三个点的按钮指定工程路径（note：建议工程路径不要有空格或者中文）。点击next按钮。

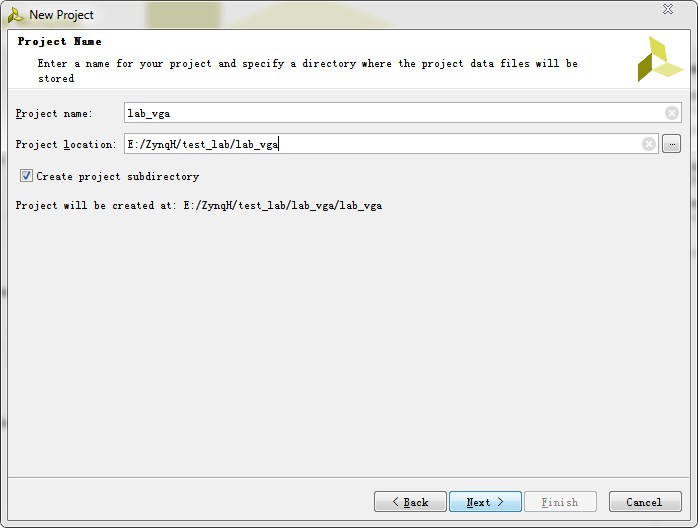


图 1-1-4

1-1-5.保持默认点击“Next”。直到出现如下界面

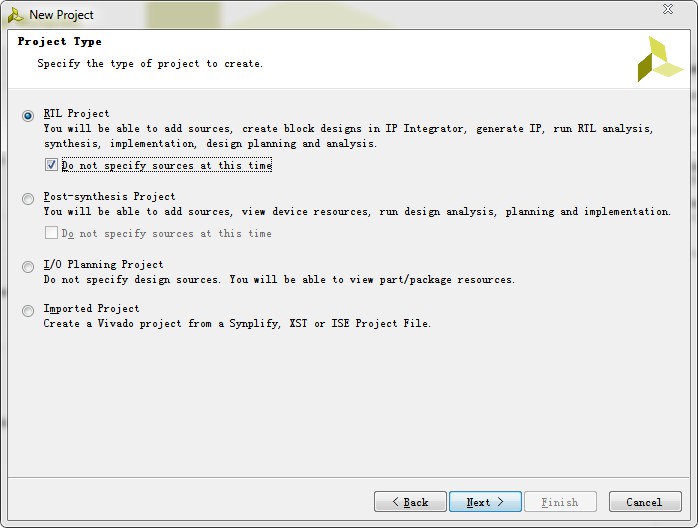


图 1-1-5

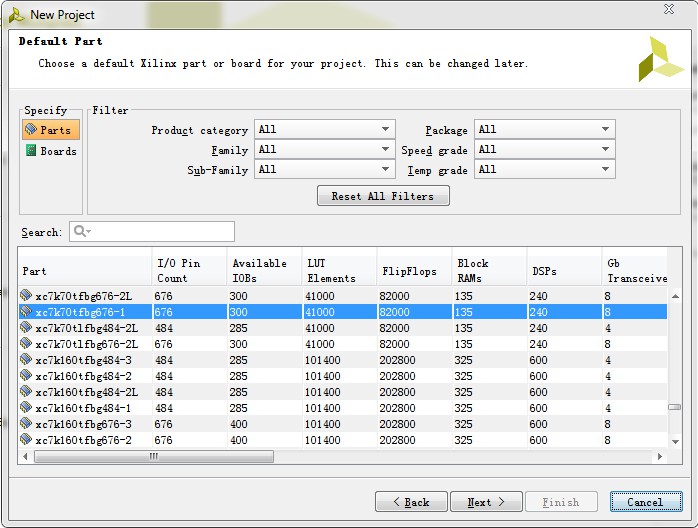


图 1-1-6

1-1-6.在Search框中输入‘7a35tcpg236-1’，选中在Part列表中出现的芯片(如下图所示)，并点击“Next”。

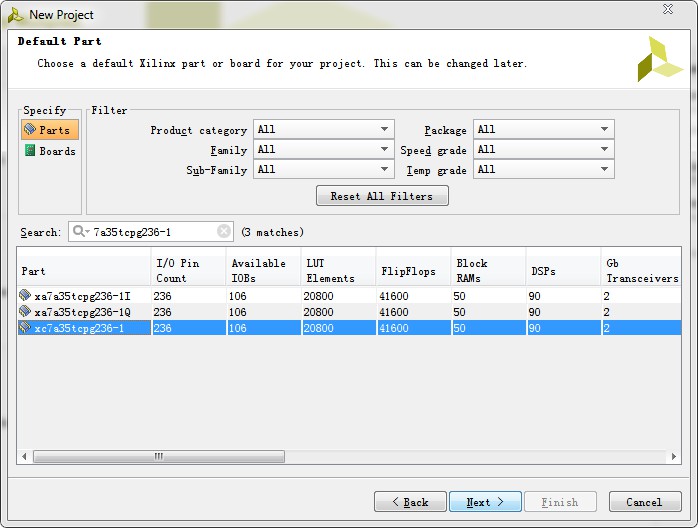


图1-1-8

1-1-7.出现如下界面。点击Finish按钮。

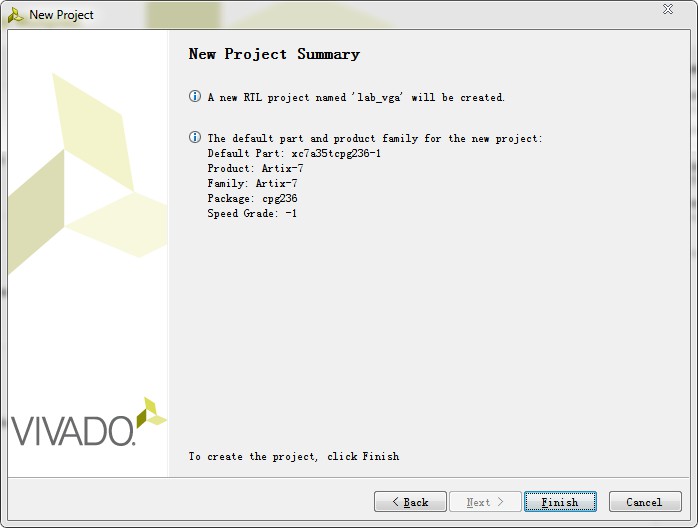


图1-1-9

至此新建工程完成。

**1-2.加入VGA工程所需v文件以及引脚约束文件**

1-2-1.点击Flow Navigator中的“Add Sources”，在弹出的对话框中选择”add or create design sources”。

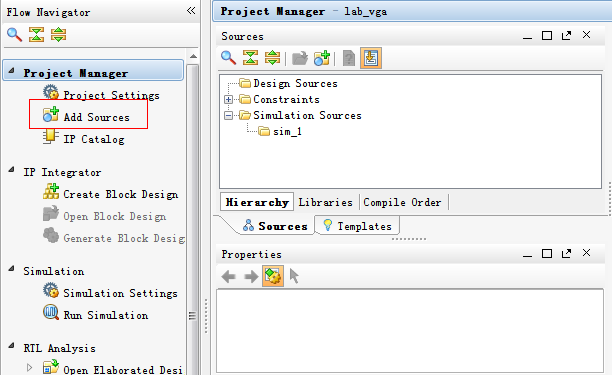


图 1-2-1

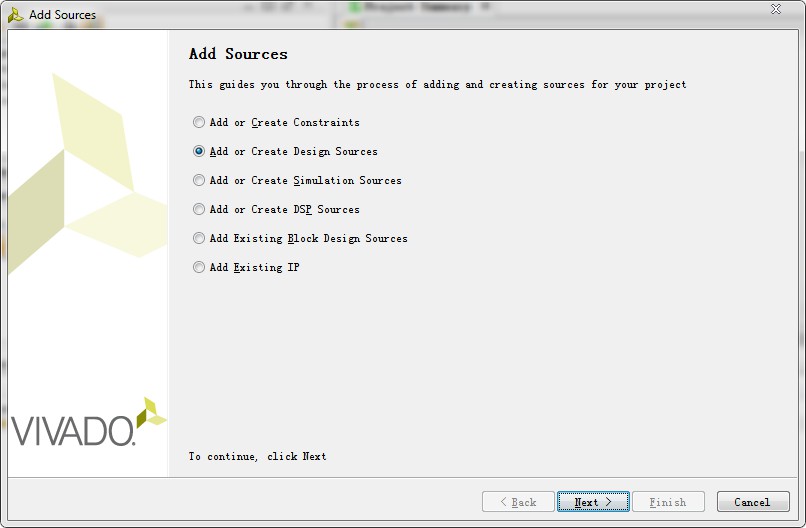


图 1-2-1

1-2-2.点击“Add files”按钮。将“file\_vga”文件夹下的verilog文件添加进去，然后点击ok.如图所示：

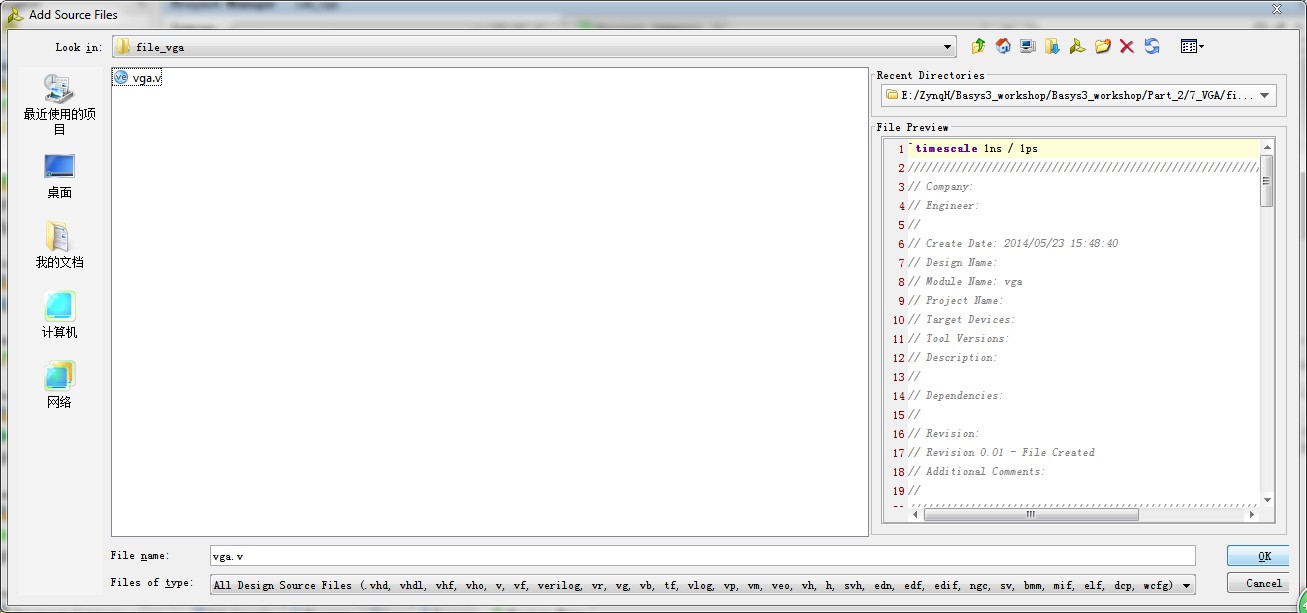


图 1-2-2

1-2-3.点击finish，verilog文件添加完毕，再添加约束文件。点击“Add Source”，选择第一项添加约束，next按钮。

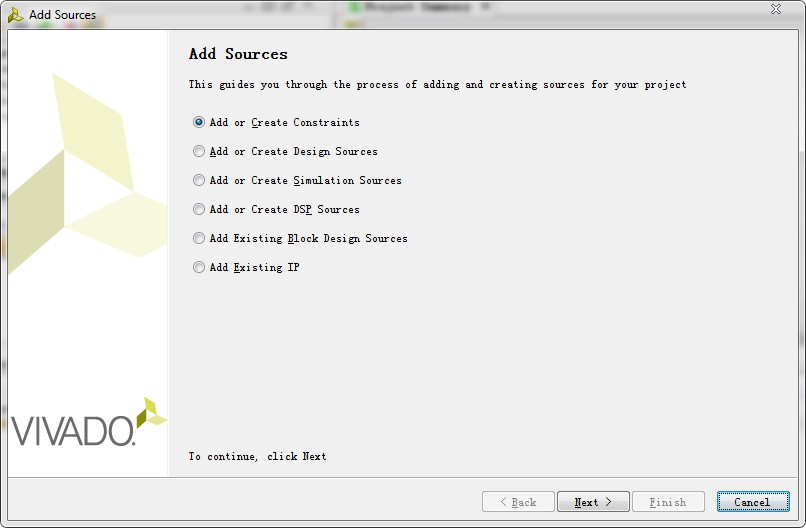
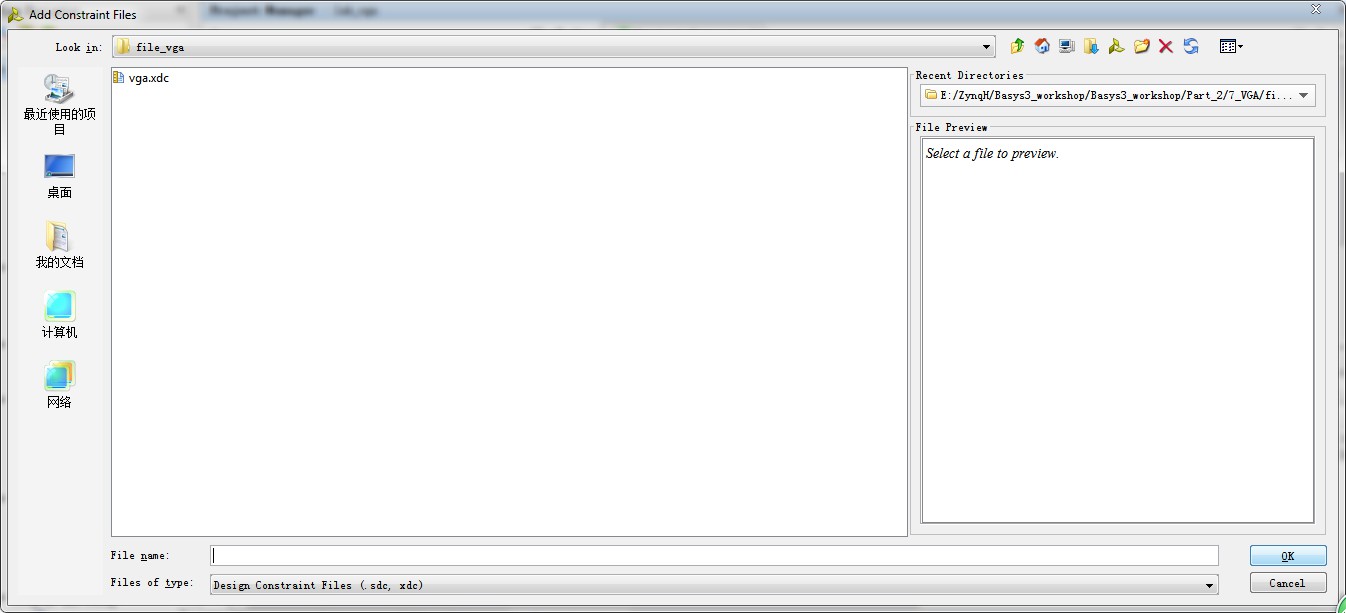


图 1-2-3

1-2-4.点击Add File选择“file\_vga”文件夹下的xdc文件，点击ok，如图：



点击finish。至此，VGA工程所需的文件添加完成。

**1-3.添加时钟ip核**

1-3-1.点击Flow Navigator中的“IP Catalog”，如图：

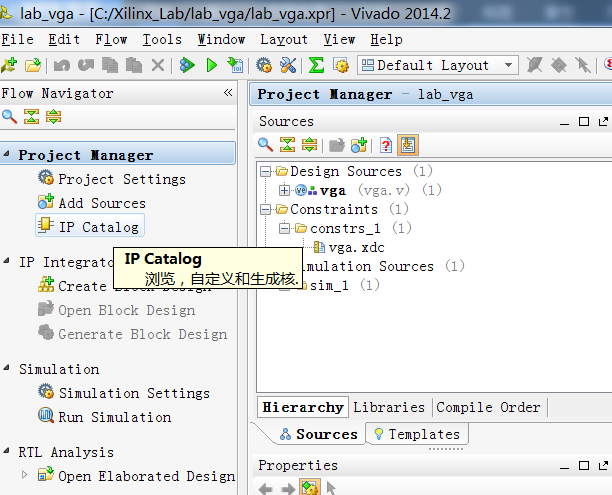


图 1-3-1

1-3-2.在IP Catalog界面的search栏输入“clock”，选择“clocking wizard”，双击：

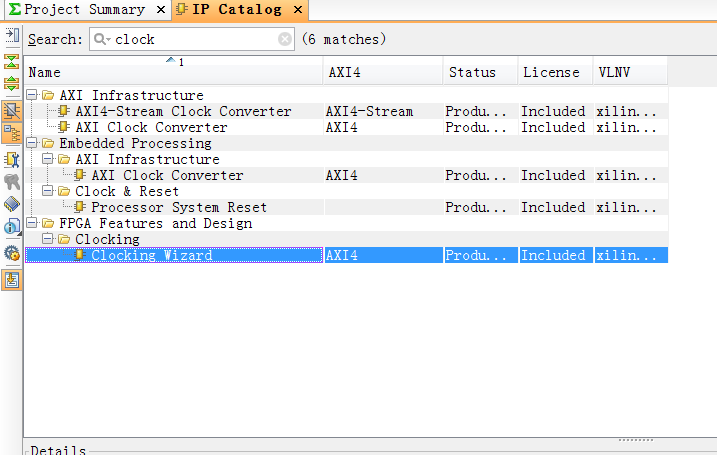


图 1-3-2

1-3-3.在customize ip界面，选择output clocks界面，将其clk\_out1设置成25MHz输出，并勾去reset以及locked引脚。如图所示：

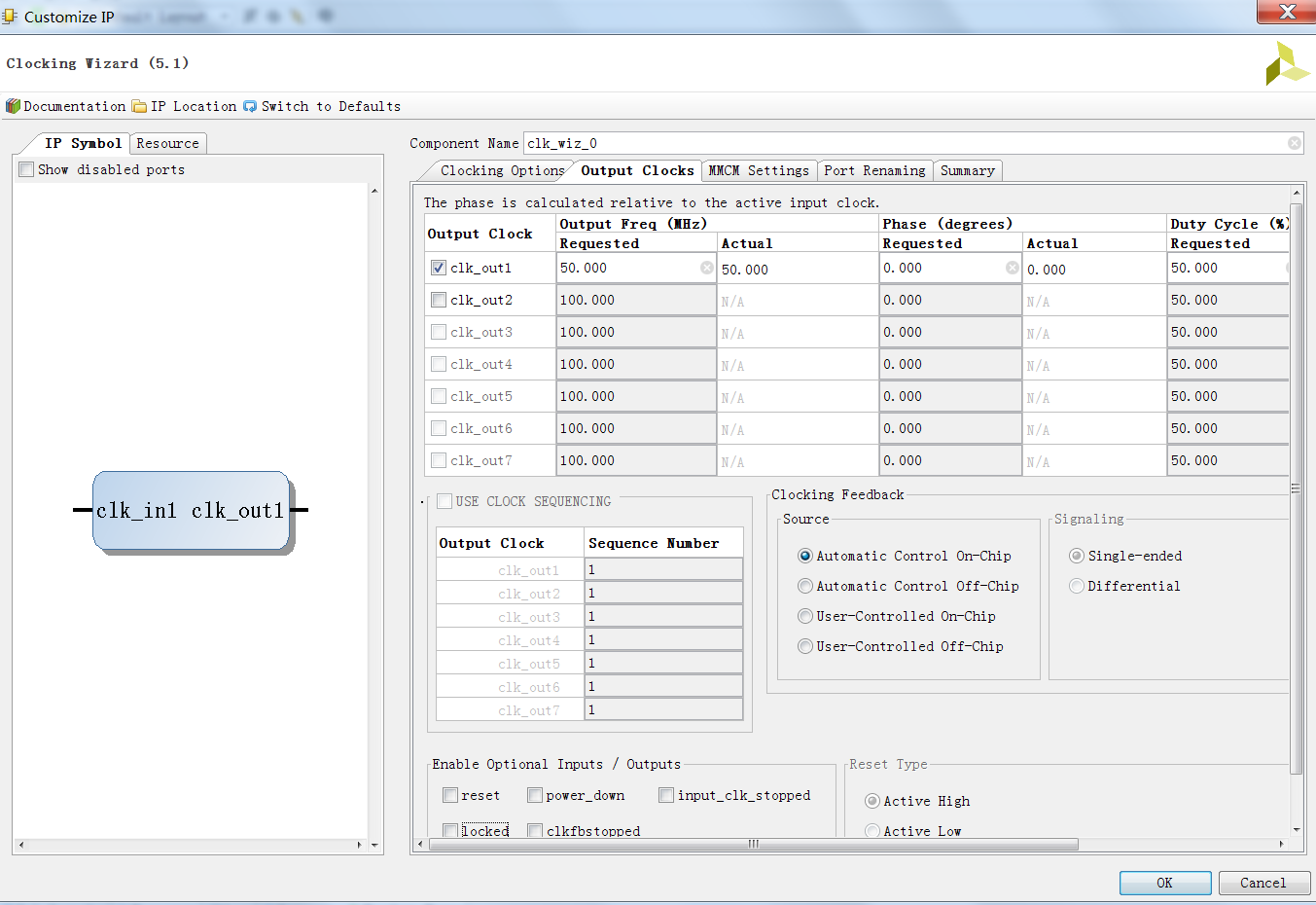


图 1-3-3

1-3-4.点击ok。然后在弹出的窗口中点击generate。至此，工程建立完毕。点击工程界面左侧的“generate bitstream”按钮，综合布线，生成bit文件即可。

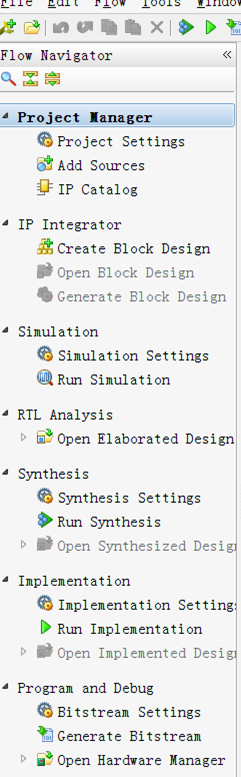


图 1-3-4

**2.板上测试**

连接VGA，上电，然后下载bit。会发现VGA屏幕上显示出白-红-绿-蓝的彩条信号。