

# Informe De Laboratorio No 1 : Comparación de tecnologías CMOS y TTL

Esteban Mauricio Viellard Corrales  
Dept.Ingeniería Eléctrica y Electrónica  
Universidad Nacional De Colombia  
Bogotá D.C, Colombia  
evuellard@unal.edu.co

Luisa Fernanda Trillos Carrillo  
Dept.Ingeniería Eléctrica y Electrónica  
Universidad Nacional De Colombia  
Bogotá D.C, Colombia  
ltrillos@unal.edu.co

Mateo Ramos Cujer  
Dept.Ingeniería Mecánica y Mecatrónica  
Universidad Nacional De Colombia  
Bogotá D.C, Colombia  
mramoscu@unal.edu.co

**Abstract**—Durante la práctica realizada en el laboratorio, se llevaron a cabo numerosas mediciones con el fin de determinar el comportamiento de los negadores CMOS y TTL a partir de parámetros como la tensión máxima de entrada, tensión mínima de entrada, tensión máxima y mínima de salida. A su vez, se analizó el comportamiento del tiempo de subida, bajada, retardo y almacenamiento de cada uno de los dispositivos. Una vez estudiado el comportamiento de los dispositivos, se pusieron en práctica dichos componentes en la construcción de un anillo oscilador y analizar su comportamiento.

**Index Terms**—anillo oscilador, CMOS, TTL, tiempo de almacenamiento, tiempo de bajada, tiempo de retardo, tiempo de subida, tensión máxima de entrada/salida, tensión mínima de entrada/salida.

## I. INTRODUCCIÓN

En las últimas décadas, el mundo ha experimentado una transición acelerada hacia la era digital, en la cual la información y los sistemas se fundamentan en estructuras lógicas que operan con señales binarias, representadas por los valores 0 y 1 que requieren de elementos electrónicos como las compuertas lógicas, que permiten implementar funciones básicas de álgebra booleana, tales como AND, OR, NOT, NAND, NOR, XOR y XNOR[2]. Las compuertas lógicas están construidas principalmente con transistores, que pueden ser de tipo BJT (Bipolar Junction Transistor) o MOSFET (Metal-Oxide-Semiconductor Field-Effect Transistor). Estos componentes electrónicos son los bloques fundamentales que permiten realizar operaciones lógicas dentro de los circuitos integrados, dispositivos que combinan miles o millones de compuertas en un solo chip para formar sistemas complejos[1].

Comprender el funcionamiento básico de las compuertas lógicas, desde su implementación en hardware hasta su interacción con software, es vital para diseñar sistemas más complejos y capaces en niveles lógicos y de procesamiento de señales, un buen acercamiento al estudio de estos dispositivos es con las compuertas basadas en CMOS y TTL [3]. Los primeros utilizan transistores MOSFET, que son conocidos por su bajo consumo de energía y alta densidad de integración, y los segundos, los TTL que se basan en transistores BJT, se destacan por su alta velocidad. Por lo cual entender sus diferencias a través del análisis teórico, experimental y mediante simulaciones proporciona un entendimiento profundo de sus

aplicaciones y limitaciones, lo cual es esencial para avanzar en el diseño de sistemas digitales.

## II. MARCO TEÓRICO

### A. Familias TTL

Los dispositivos TTL hacen parte de la familias lógicas bipolares donde la lógica está determinada por la entrada y la salida del circuito. Para los TTL (Transistor-Transistor-Logic) se encuentra que estos presentan una alta velocidad de respuesta, baja potencia y alimentación a 5V. Además, presentan distintas configuraciones para la entrada y salida. Para la entrada, se tienen entradas convencionales y con comparador con histéresis (Schmitt trigger) y para la salida, se tienen configuraciones asociadas a la resistencia del colector, totem-pole, colector abierto y triestado. Las cuales son importantes para manejar dispositivos externos como bocinas, LEDs entre otros.

### B. Tecnología CMOS

Los dispositivos con tecnología CMOS hacen parte de las familias lógicas FET, los cuales incorporan transistores tipo pMOS y nMOS. Para los primeros, se debe tener en cuenta que cuando se activan su salida está asociada al valor de la alimentación, mientras que para los nMOS, se asocia la tierra o GND. Una vez entendido lo anterior, se pueden construir diferentes configuraciones que dan origen a compuertas como NAND, NOR, AND, OR, XOR entre otras.

### C. Niveles lógicos

Es importante tener en cuenta que los niveles de tensión para la entrada y salida están determinando por la tecnología que se esté utilizando. Para TTL, se tienen los rangos de entrada entre 0 y 0.8 para el cero lógico y de 2 a 5 para el 1 lógico. Mientras que para la tecnología CMOS, se tiene que, de 0 a 0.3 para el 0 lógico y del 70 por ciento de la alimentación ( $0.7 \times V_{cc}$ ) hasta el valor de la alimentación ( $V_{cc}$ ) para interpretar el "1" lógico. Mientras que para los niveles de salida se encuentra que para la tecnología TTL, de 0 a 0.4 se interpreta un cero en la salida y de 2.4 a 5 se interpreta un "1" lógico. Por otro lado, para el CMOS, se tiene que de 0 a 0.001 se interpreta un "0" lógico y del valor de la alimentación menos 0.01 ( $V_{cc}-0.01$ ) hasta el valor de la alimentación ( $V_{cc}$ ) se obtiene un "1" lógico.

#### D. Tiempo de Subida y Tiempo de bajada

El tiempo de subida se define como el tiempo que toma la señal de salida en cambiar del 10 por ciento de la tensión de alimentación hasta el 90 por ciento de la tensión de la alimentación. Mientras que el tiempo de bajada se define como el tiempo que toma la señal de salida en pasar del 90 por ciento de la tensión de alimentación hasta el 10 por ciento de la tensión VCC. Estos tiempos son útiles para determinar la eficacia y calidad del circuito que se está analizando.

#### E. Tiempo de Retardo

Se define como el tiempo que toma la señal en cambiar de un estado a otro. Existen dos tipos : TPLH y TPHL, el primero indica el tiempo de propagación de un nivel bajo a un nivel alto, es decir, cuanto se demora en cambiar de un nivel bajo a uno alto y se mide desde que la señal de entrada llega a un 50% del valor de la tensión de transición hasta que la señal de salida llega al 50% de su tensión máxima. Mientras que, para medir el TPHL se mide desde que la señal de entrada cruza el 50% de la tensión de transición hasta que la salida cruce el 50% de su tensión mínima.

#### F. Tiempo de Almacenamiento

El tiempo de almacenamiento de los dispositivos se define como el tiempo en que la señal de salida mantiene su valor constante al momento de desconectar la fuente de alimentación del equipo. Lo anterior se asocia a fenómenos capacitivos que almacenan la energía por diferentes factores como capacitancias parásitas. El tiempo de almacenamiento, es útil para describir la velocidad de operación del dispositivo, la eficacia, y la prevención ante efectos indeseados como por ejemplo valores de tensión que no se encuentran dentro del rango de interpretación de los niveles lógicos.

#### G. Fan in- Fan out

Se denomina Fan-in a la cantidad de señales de entrada que un componente o unidad lógica puede recibir, es decir, el número de entradas a un dispositivo o bloque. Mientras que el fan-out se refiere a la cantidad de salidas que un componente o unidad lógica puede dirigir o enviar, en otras palabras, es el número de dispositivos o componentes a los que un solo componente puede enviar señales de salida sin perder funcionalidad.

### III. PROCEDIMIENTO Y MONTAJE EXPERIMENTAL

#### A. Materiales

- Negador TTL 74LS04
- Negador CMOS CD4069.
- Fuente, Generador de señales y Osciloscopio.

#### B. Especificaciones técnicas negador TTL 74LS04 vs. negador CMOS CD4069

- **Consumo de energía:** CMOS es mucho más eficiente que TTL.

- **Rangos de voltaje:** CMOS opera en un rango más amplio.
- **Robustez:** TTL tolera mayores corrientes de fallo.
- **Velocidad:** Los TTL suelen ser más rápidos.

TABLE I  
COMPARACIÓN DE PARÁMETROS ENTRE SN7404 (TTL) Y CD4069 (CMOS)

Parámetro	SN7404 (TTL)	CD4069 (CMOS)
$I_{OH}$ (High-level output current)	-0.4 mA	-0.88 mA (VDD = 5V)
$I_{OL}$ (Low-level output current)	16 mA	0.88 mA (VDD = 5V)
$V_{OH}$ (High-level output voltage)	$\geq 2.4$ V	4.95 V (VDD = 5V)
$V_{OL}$ (Low-level output voltage)	$\leq 0.4$ V	$\leq 0.05$ V (VDD = 5V)
$I_{IH}$ (High-level input current)	40 $\mu$ A	$\leq 1$ $\mu$ A
$I_{IL}$ (Low-level input current)	-1.6 mA	$\leq 1$ $\mu$ A
$V_{IH}$ (High-level input voltage)	$\geq 2.0$ V	$\geq 4.0$ V (VDD = 5V)
$V_{IL}$ (Low-level input voltage)	$\leq 0.8$ V	$\leq 1.0$ V (VDD = 5V)

#### C. Circuitos equivalentes

A continuación se muestran los circuitos equivalentes de los circuitos integrados inversores, los cuales tienen una señal de entrada cuadrada con un valor máximo de 5V u mínimo de 0v a una frecuencia de 1kHz. Las simulaciones y gráficas se relizaron utilizando el software de LTspice.

##### TTL 74LS04

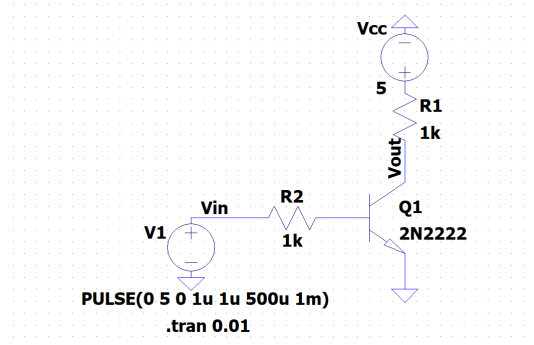


Fig. 1. Circuito equivalente inversor TTL 74LS04

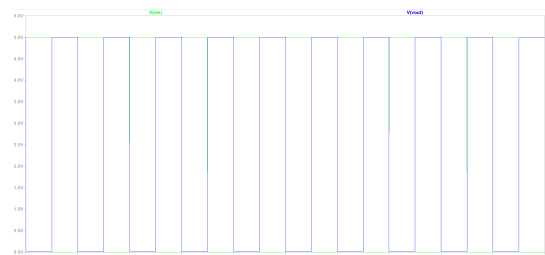


Fig. 2. Gráfica entrada y salida circuito equivalente inversor TTL 74LS04

##### CMOS CD4069

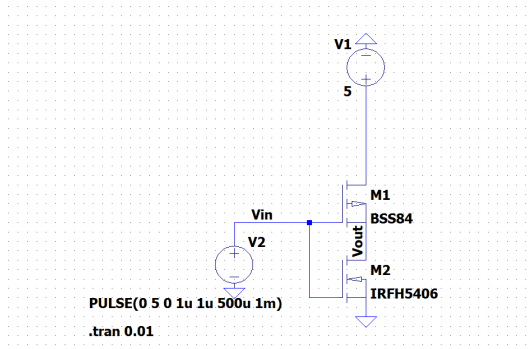


Fig. 3. Circuito equivalente inductor CMOS CD4069

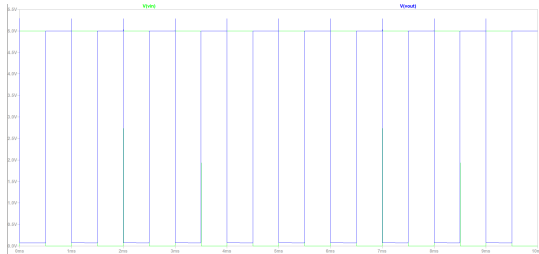


Fig. 4. Gráfica entrada y salida circuito equivalente inductor CMOS CD4069

Para calcular los valores de Fan-in y Fan-out, se utiliza :

$$\text{Fan-out} = \frac{I_O}{I_I} \quad (1)$$

TABLE II  
COMPARACIÓN DE FAN-IN Y FAN-OUT ENTRE TTL Y CMOS.

TTL 74LS04	CMOS CD4069
50	37,5
20	25

#### D. Compuertas inversoras

Asimismo, se construyó una compuerta inversora "NOT" utilizando ambos negadores, aplicando una señal de entrada de 1 kHz con un valor máximo de 5V y un valor mínimo de 0V.

##### TTL 74LS04

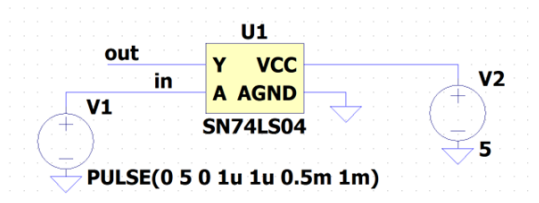


Fig. 5. Compuerta inversora con TTL 74LS04

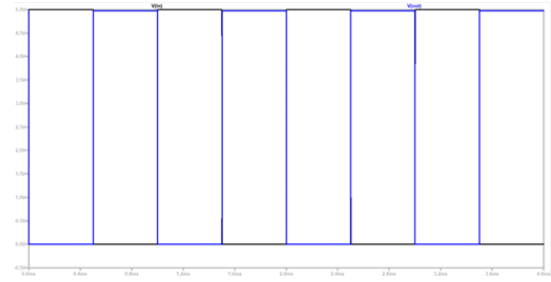


Fig. 6. Gráfica entrada y salida compuerta inversora con TTL74LS04

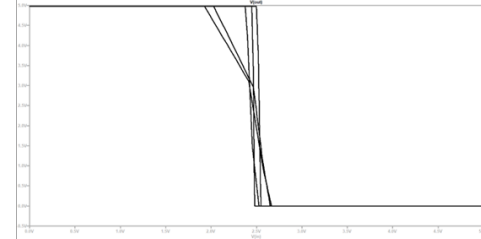


Fig. 7. Gráfica obtenida de Vout vs Vin de la compuerta inversora

```
t10: v(out)=0.1*vmax AT 0.0005015
t90: v(out)=0.9*vmax AT 0.000501522
trise: t90-t10=2.20309e-008
ymax: MAX(v(out))=4.97543 FROM 0 TO 0.004
```

Fig. 8. Tiempo de subida obtenido para el TTL74LS04

```
t10: v(out)=0.1*vmax AT 0.00100052
t90: v(out)=0.9*vmax AT 0.00100043
tfall: t10-t90=9.55031e-008
```

Fig. 9. Tiempo de bajada obtenido para el TTL74LS04

```
time1: time=5.05858e-007 at 5.05858e-007
time2: time=5.05858e-007 at 5.05858e-007
tph1: time2-time1=0
time3: time=5.05858e-007 at 5.05858e-007
time4: time=5.05858e-007 at 5.05858e-007
tplh: time4-time3=0
```

Fig. 10. Tiempo de propagación obtenido para el TTL74LS04

##### CMOS CD4069

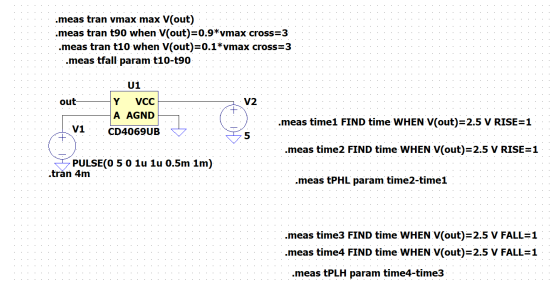


Fig. 11. Compuerta inversora con CMOS CD4069

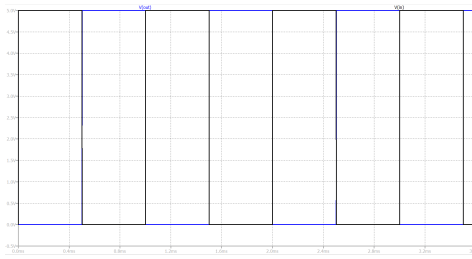


Fig. 12. Gráfica de entrada y salida compuerta inversora con CMOS CD4069

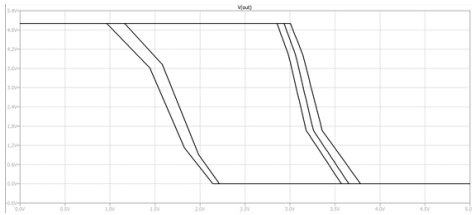


Fig. 13. Gráfica Vout vs Vin

```
vmax: MAX(v(out))=5 FROM 0 TO 0.004
trise: t90-t10=1.52261e-007
t90: v(out)=0.9*vmax AT 0.000501735
t10: v(out)=0.1*vmax AT 0.000501582
```

Fig. 14. Tiempo de subida para el CMOS CD4069

```
vmax: MAX(v(out))=5 FROM 0 TO 0.004
tfall: t10-t90=1.16146e-007
t90: v(out)=0.9*vmax AT 0.00100062
t10: v(out)=0.1*vmax AT 0.00100073
```

Fig. 15. Tiempo de bajada para el CMOS CD4069

```
time1: time=6.22089e-007 at 6.22089e-007
time2: time=6.22089e-007 at 6.22089e-007
tph1: time2-time1=0
time3: time=6.22089e-007 at 6.22089e-007
time4: time=6.22089e-007 at 6.22089e-007
tph: time4-time3=0
```

Fig. 16. Tiempo de propagación para el CMOS CD4069

### E. Anillo Oscilador

Una vez obtenidos los resultados, se implementó el circuito que describe el comportamiento del anillo oscilador. A continuación, se muestran las simulaciones obtenidas

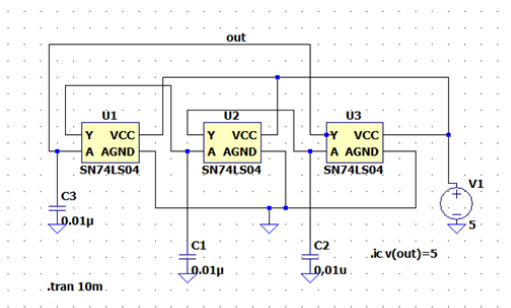


Fig. 17. Circuito del anillo oscilador para el TTL 74LS04

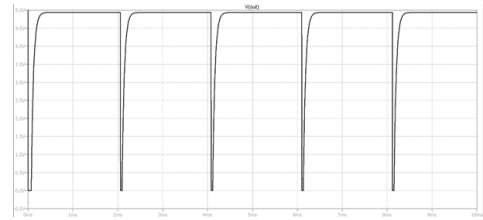


Fig. 18. Resultados del circuito oscilador para el TTL 74LS04

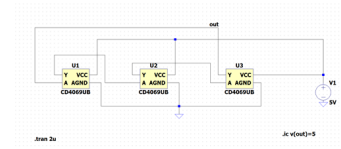


Fig. 19. Circuito anillo oscilador para el CMOS CD4069

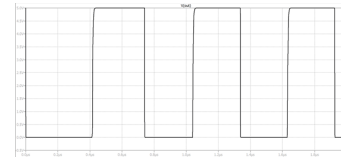


Fig. 20. Gráfica anillo oscilador para el CMOS CD4069

### F. Resultados experimentales para TTL

Una vez realizada las simulaciones se realizó la conexión circuital para cada uno de los dispositivos y con ayuda del osciloscopio se obtuvieron los siguientes resultados a través de la sonda atenuada. A continuación se muestran los resultados obtenidos.

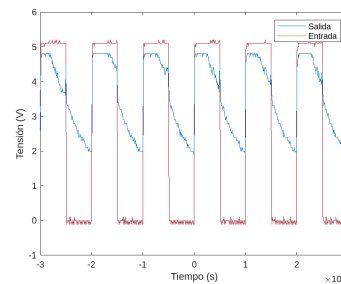


Fig. 21. Resultados del primer circuito con TTL

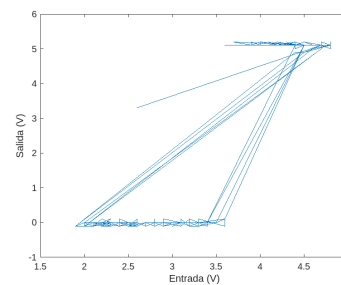


Fig. 22. Gráfica experimental Vout vs Vin del primer circuito con TTL

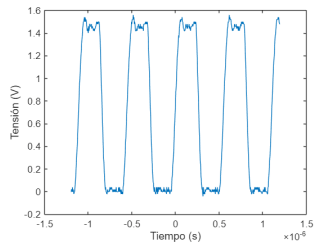


Fig. 23. Comportamiento del anillo oscilador con TTL

TABLE III  
DISIPACIONES DE POTENCIA PARA EL TTL 74LS04.

Parámetro	Valor
Disipación (salidas en HIGH)	6 mW
Disipación (salidas en LOW)	18 mW

TABLE IV  
RESULTADOS EXPERIMENTALES DEL TTL 74LS04.

Parámetro	Valor
Tiempo de subida	30 ns
Tiempo de bajada	66 ns
TPLH	5.1 ns
THLP	4.27 ns
Frecuencia del anillo oscilador	2 MHz

### G. Resultados experimentales para CMOS

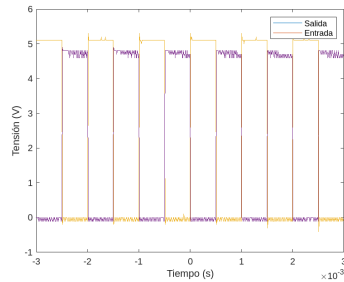


Fig. 24. Resultados del primer circuito con CMOS

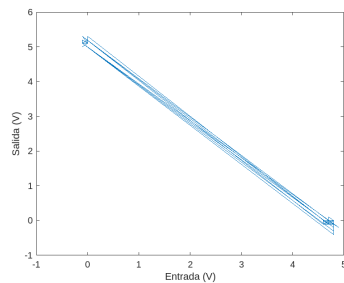


Fig. 25. Gráfica experimental  $V_{out}$  vs  $V_{in}$  del primer circuito con CMOS

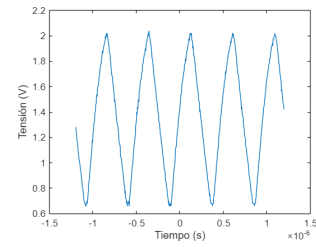


Fig. 26. Comportamiento del anillo oscilador con CMOS

TABLE V  
DISIPACIÓN DE POTENCIA DEL CMOS CD4069.

Parámetro	Valor
Disipación (salidas en HIGH)	$5 \mu W$
Disipación (salidas en LOW)	$5 \mu W$

TABLE VI  
RESULTADOS EXPERIMENTALES DEL CMOS CD4069.

Parámetro	Valor
Tiempo de subida	30 ns
Tiempo de bajada	76 ns
TPLH	21.6 ns
THLP	22.7 ns
Frecuencia del anillo oscilador	2 MHz

### H. Análisis de resultados

En los circuitos equivalentes, se observa que cumplen con la función de la compuerta lógica, ya que invierten la señal de entrada. Sin embargo, en el caso del CMOS, se notan picos en la salida justo antes de que esta caiga a cero. Este comportamiento es consecuencia del modelo utilizado para los transistores P-MOS y N-MOS, cuya respuesta varía en función de su velocidad de conmutación.

Una vez obtenidos los resultados prácticos comparados con los resultados experimentales. Es posible observar que las diferencias en cuanto a amplitud y forma de la señal están relacionadas con factores como la alimentación del circuito, calidad del dispositivo, conexión circuital y calibración y precisión de los instrumentos de medición.

Ya que dependiendo del valor y la forma de la señal de entrada, se determina el comportamiento del circuito, pues es necesario tener en cuenta que si se alimenta con tensión negativa ( como se hizo en el primer intento) se pueden incurrir en daños internos del dispositivo.

Por otro lado, con respecto a los tiempos de subida y bajada es necesario tener en cuenta que los resultados coinciden porque se tiene el mismo comportamiento de la señal de entrada, pues cuando se realizó en el laboratorio, se observó que ambos circuitos (tanto experimental como teórico describen el mismo fenómeno con tiempos de subida y bajada similares, lo mismo para el tiempo de propagación de la señal.

Si se desea analizar desde el punto de vista de la gráfica de entrada versus salida, se observa que la forma de la gráfica se ve alterada por los cambios repentinos de la tensión al pasar de alto a bajo por lo que tanto en la simulación como en la práctica experimental se observa el mismo comportamiento.

Finalmente, el comportamiento del anillo oscilador es descrito como aquel que permite cambiar de estados una vez se conecta la salida directamente a la entrada, pues teóricamente debe interpretarse como cero lógico y una vez pasa por las demás compuertas el resultado de la salida será un 1 lógico. Posteriormente, como la salida y la entrada están conectadas entonces el valor de la entrada inicial ya no será un cero lógico si no que será un "1" lógico y así volverá a cambiar su estado una vez la operación es realizada por las demás compuertas, obteniendo como resultado un comportamiento oscilatorio.

No obstante, experimentalmente se observó que la forma de salida se ve distorsionada con respecto a la que se esperaba en las simulaciones. Esto se debe a factores asociados al tiempo de subida, tiempo de bajada, tiempo de propagación y el tiempo de almacenamiento una vez se desconecta de la alimentación. Además, es importante tener en cuenta que para las simulaciones se realizó el circuito a partir de una condición inicial. Sin embargo, al observar experimentalmente se presentó una dificultad al establecer las condiciones iniciales. Afectando de esta manera, los resultados obtenidos.

#### IV. CONCLUSIONES

A partir de los resultados obtenidos, es válido concluir que.

- Los tiempos de subida y bajada se evidenciaron notablemente para el negador TTL 74LS04. Mientras que, para el CMOS CD4069 se observaron tiempos de subida y bajada cortos, por lo que se concluye que la tecnología CMOS es más eficiente para obtener los resultados y con menor consumo de energía debido a la potencia disipada.
- Conclusiones sobre los tiempos de propagación (pendiente).
- El comportamiento del anillo oscilador está determinado por las condiciones iniciales, por lo cual, la práctica imposibilitó la capacidad para determinar dicha condición inicial cuyo valor corresponde al valor de la fuente.
- Es importante asegurarse que los instrumentos de medición estén calibrados. Además, para el caso de la práctica conviene revisar la señal de entrada y la impedancias internas del generador y osciloscopio. Pues en un principio se obtuvieron valores diferentes a los esperados.

#### REFERENCES

- [1] Daniel D Gajski. *Principles of digital design*. Prentice-Hall, Inc., 1996.
- [2] María Dolores Pérez Rodríguez and A COORDINADOR. *Electrónica digital*. Editorial ICB, 2015.
- [3] UNAL. *Notas de clase*. UNAL, 2024.