

CHAPITRE 1 : LES CIRCUITS LOGIQUES PROGRAMMABLES

1. Présentation :

1.1. Introduction :

Il y a quelques années la réalisation d'un montage en électronique numérique impliquait l'utilisation d'un nombre important de circuits intégrés logiques. Ceci avait pour conséquences un prix de revient élevé, une mise en œuvre complexe et un circuit imprimé de taille importante.

Le développement des mémoires utilisées en informatique fut à l'origine des premiers circuits logiques programmables (PLD : programmable logic device). Ce type de produit peut intégrer dans un seul circuit plusieurs fonctions logiques programmables par l'utilisateur. Sa mise en œuvre se fait très facilement à l'aide d'un programmeur, d'un micro-ordinateur et d'un logiciel adapté.

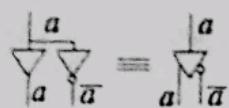
1.1 Structure de base d'un PLD :

La plupart des PLDs suivent la structure suivante :

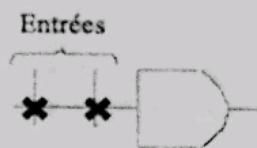
- ✓ Un ensemble d'opérateurs « ET » sur lesquels viennent se connecter les variables d'entrée et leurs compléments.
- ✓ Un ensemble d'opérateurs « OU » sur lesquels les sorties des opérateurs « ET » sont connectées.
- ✓ Une éventuelle structure de sortie (Portes inverseuses, logique 3 états, registres...).

Les deux premiers ensembles forment chacun ce qu'on appelle une matrice. Les interconnexions de ces matrices doivent être programmables. C'est la raison pour laquelle elles sont assurées par des fusibles qui sont « grillés » lors de la programmation. Lorsqu'un PLD est vierge toutes les connexions sont assurées.

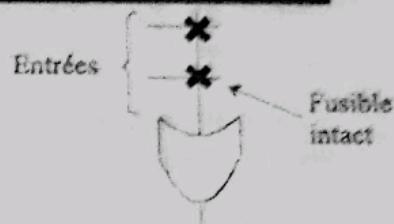
Un exemple de ce type de structure est présenté par la figure 2.1. On peut remarquer que la représentation d'une telle structure est complexe alors que le nombre de portes intégrées est peu important. Les constructeurs ont donc très rapidement adoptés un autre type de représentation rendant les schémas beaucoup plus lisibles. On remarquera que la norme adoptée est américaine (normal, la plupart des constructeurs sont américains). Un exemple de cette représentation est donné par la figure 2.2.



Porte logique OUI_NON

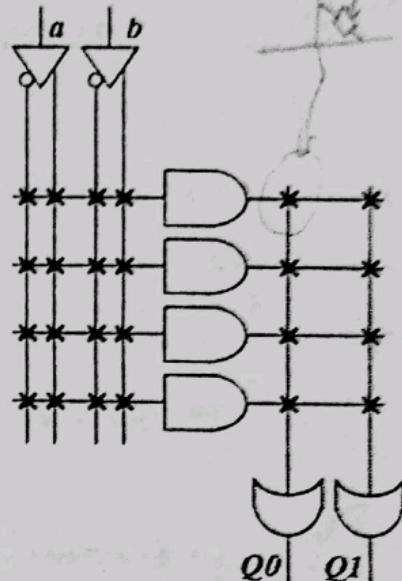
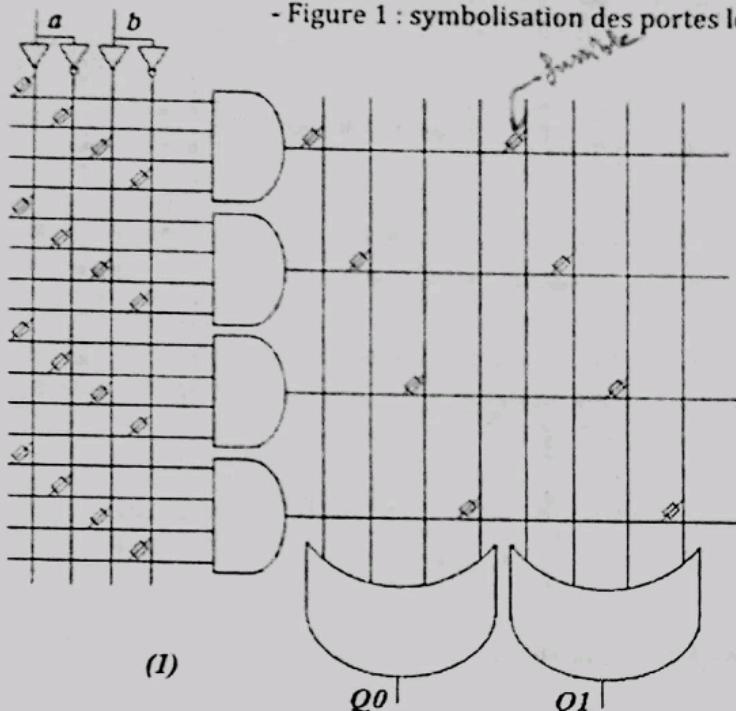


Porte logique ET



Porte logique OU

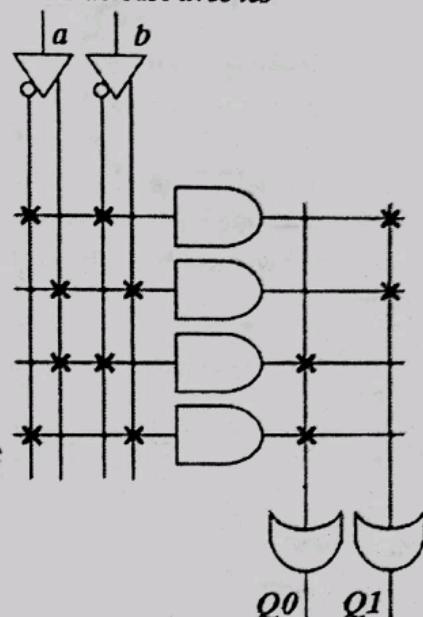
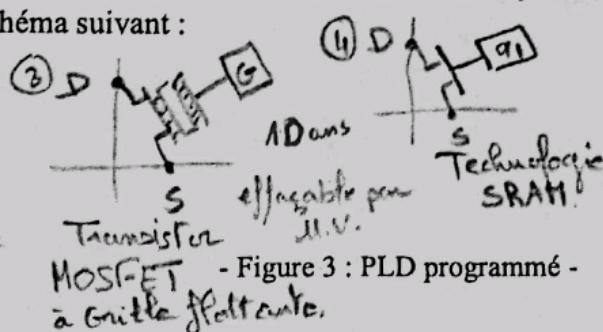
- Figure 1 : symbolisation des portes logiques pour les PLDs -



- Figure 2 : 1- Structure de base d'un PLD, 2 -Structure de base avec les normes des constructeurs -

La figure 2.2 représente la structure interne d'un PLD ayant ses fusibles intacts. Les équations logiques de Q0 et Q1 sont : $Q_0 = Q_1 = a \bar{b} \cdot a \bar{b} + a \bar{b} \cdot a \bar{b} + a \bar{b} \cdot a \bar{b} + a \bar{b} \cdot a \bar{b} = 0$

Si on veut obtenir les fonctions $Q_0 = \bar{a} \cdot b + a \cdot \bar{b}$ et $Q_1 = \bar{a} \cdot \bar{b} + a \cdot b$, on « grillera » des fusibles de façon à obtenir le schéma suivant :



- Figure 3 : PLD programmé -

⇒ Les technologies

fichier.gcp → fermeture de chaque

1.2 Les différentes familles de PLD :

Il existe plusieurs familles de PLD qui sont différencierées par leur structure interne. Le tableau suivant présente certaines de ces familles.

| TYPE | Nombre de portes | Matrice ET | Matrice OU | Effaçable |
|------|------------------|--------------|--------------|----------------|
| PROM | 2 000 à 500 000 | Fixe | Programmable | Non |
| PAL | 10 à 100 | Programmable | Fixe | Non |
| GAL | 10 à 100 | Programmable | Fixe | Électriquement |
| EPLD | 100 à 3000 | Programmable | Fixe | Aux U-V |
| FPLA | 2000 à 3000 | Programmable | Programmable | Électriquement |

REMARQUES :

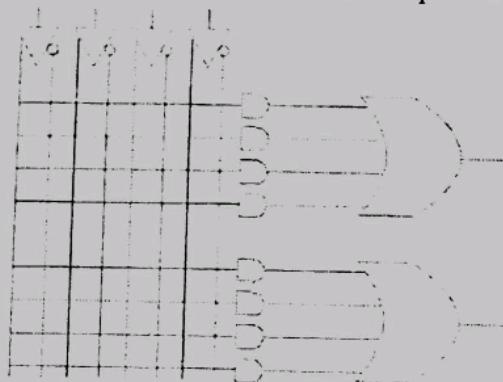
- Certaines de ces familles possèdent en plus des matrices « ET » et « OU », de la logique séquentielle (Bascules « D », « JK »...) placée après les entrées ou avant les sorties du PLD.
- Les « PROMs » sont des circuits utilisés en informatique pour mémoriser de façon définitive des données : ce sont des « Mémoires mortes ». Il existe des versions effaçables comme les UVPROM (aux U-V) et les EEPROM (électriquement).

Dans la suite de ce document nous nous intéresserons seulement aux PLDs de type « PALs » et « GALs ».

2. Les « PALs » (Programmable Array Logic).

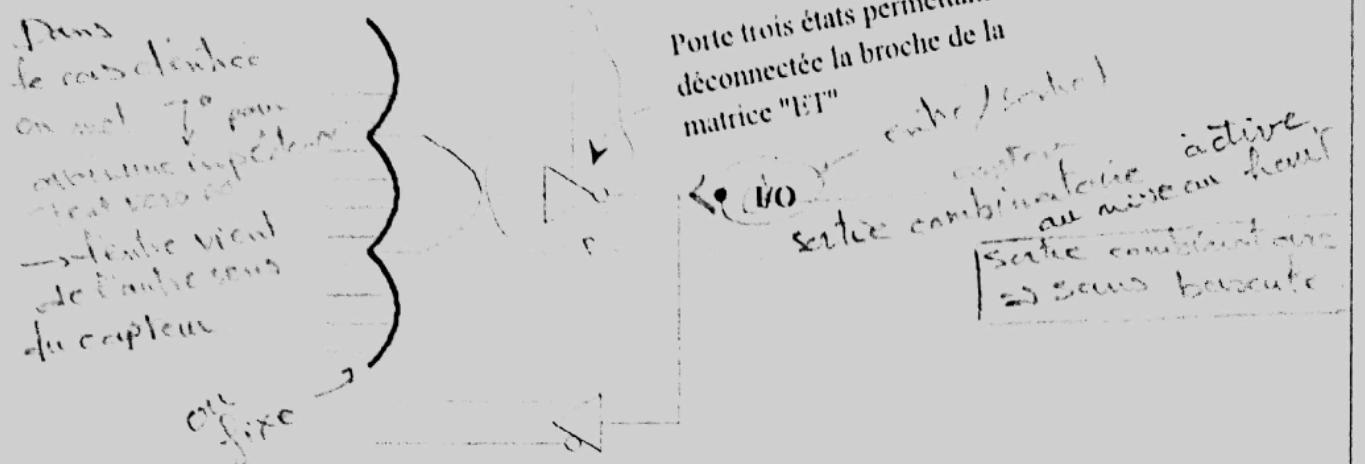
2.1. Présentation :

Ce sont les premiers circuits programmables à être utilisés pour réaliser des fonctions logiques. Le constructeur AMD a développé ce type de circuit il y a près de 20 ans. Ils possèdent des matrices « ET » programmables et des matrices « OU » fixes. La fusion des fusibles est obtenue en appliquant à leurs bornes une tension de 11,5 V pendant 10 à 50 µS (leur tension de fonctionnement est environ de 5V). Cette opération est bien sûr effectuée en utilisant un programmeur adapté. La structure de base de ce PLD est présentée par le schéma suivant.



- Figure 4 : structure de base d'un PAL -

Certaines broches de ces circuits peuvent être utilisées aussi bien en entrée qu'en sortie grâce à un système de logiques 3 états. La commande de cette dernière est configurée au moment de la programmation. La structure de sortie permet aussi de réinjecter les sorties en entrée (Feedback).



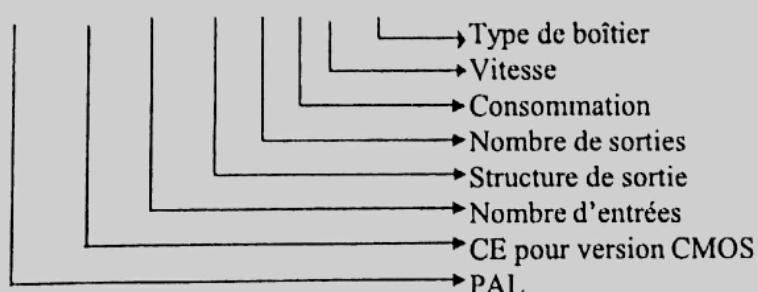
- Figure 5 : Configuration des entrées/sorties -

Selon le type de PAL la structure de sortie peut être constituée d'une porte « NON », d'une porte « OU » Exclusive, d'une bascule « D » ou d'une combinaison des trois. Le nombre d'entrées et de sorties est lui aussi lié à la référence du PAL.

2.2. Référence des PALs (D'après AMD)

Les diverses possibilités de ces circuits et leur standardisation ont conduit les constructeurs à définir une nomenclature permettant de décoder assez facilement la référence des PALs.

PAL (CE) XX AB YY C ZZ DEF



| Lettre(s) Code(s) | Structure de sortie |
|-------------------|-----------------------------|
| L | Combinatoire active bas |
| H | Combinatoire active haut ✓ |
| C | Combinatoire complémentaire |
| R | Registre synchrone (D) |
| RA | Registre asynchrone |
| X | Registre et OU exclusif |
| V | Versatile |

Remarques :

- Le nombre d'entrées varie entre 10 et 22.
- Le nombre de sorties varie entre 1 et 10.
- La puissance est indiquée par une lettre code.
- La vitesse indique le temps de propagation en nS.
- Les versions versatiles ont une cellule de sortie programmable permettant d'obtenir n'importe quel autre type de structure de sortie (L, H, R ...).
- Les versions CMOS (CE) sont effaçables électriquement. Les fusibles sont remplacés par des transistors de type MOS FET. Ce ne sont ni plus ni moins que des « GALS ».

Exemple : PAL 16 L 8 H 15 PC

| PAL | |
|-----------|---|
| 16 | Nombre d'entrées : 16 |
| L | Structure de sortie : Combinatoire active bas |
| 8 | Nombre de sorties : 8 |
| H | Consommation : $\frac{1}{2}$ puissance |
| 15 | Vitesse : 15 nS |
| PC | Type de boîtier : DIL plastique civile |



2.3. Exemples de PAL

Nous n'étudierons pas toutes les sortes de PAL car leur nombre est assez conséquent, mais nous intéresserons à ceux qui sont couramment utilisé.

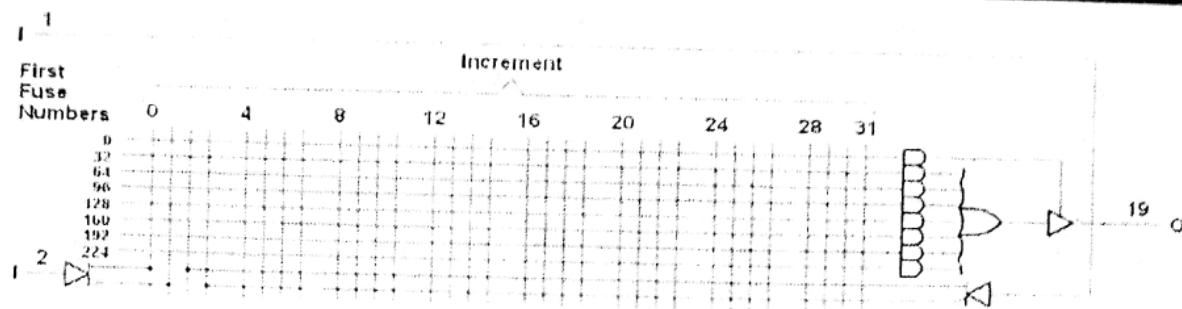
2.3.1. Le PAL 16L8.

Ce type de circuit est uniquement constitué de logique combinatoire. Il possède 20 broches (figure 7) agencées de la façon suivante :

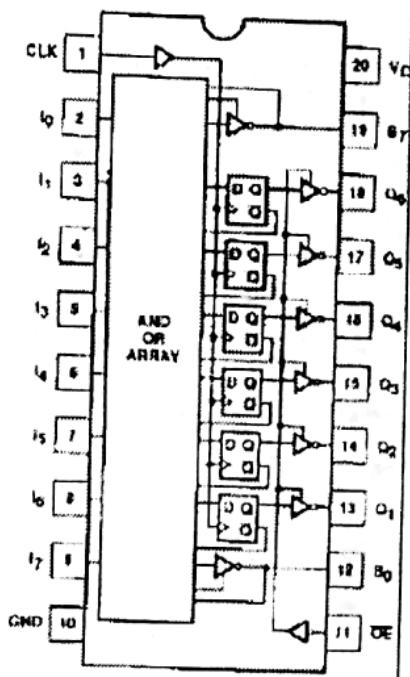
- 10 broches configurables uniquement en entrée
- 2 broches configurables uniquement en sortie
- 6 broches configurables en entrée et en sortie
- 2 broches d'alimentation.

L'ensemble des sorties provient de portes 3 états inverseuses (figure 5). L'état haute impédance peut être commandée par l'ensemble des entrées.

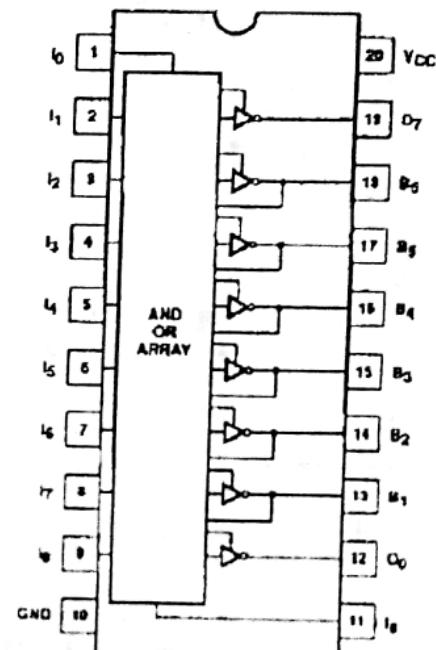
Chaque porte de la matrice « OU » possède 7 entrées. Ceci signifie que chaque sortie peut résulter, au maximum, d'une fonction « OU » entre 7 termes produits. Chaque porte de la matrice « ET » possède 32 entrées.



- Figure 6 : Configuration partielle interne du PAL 16L8 -



- Figure 7 : Brochage du PAL 16R6 -



- Figure 8 : Brochage du PAL 16L8

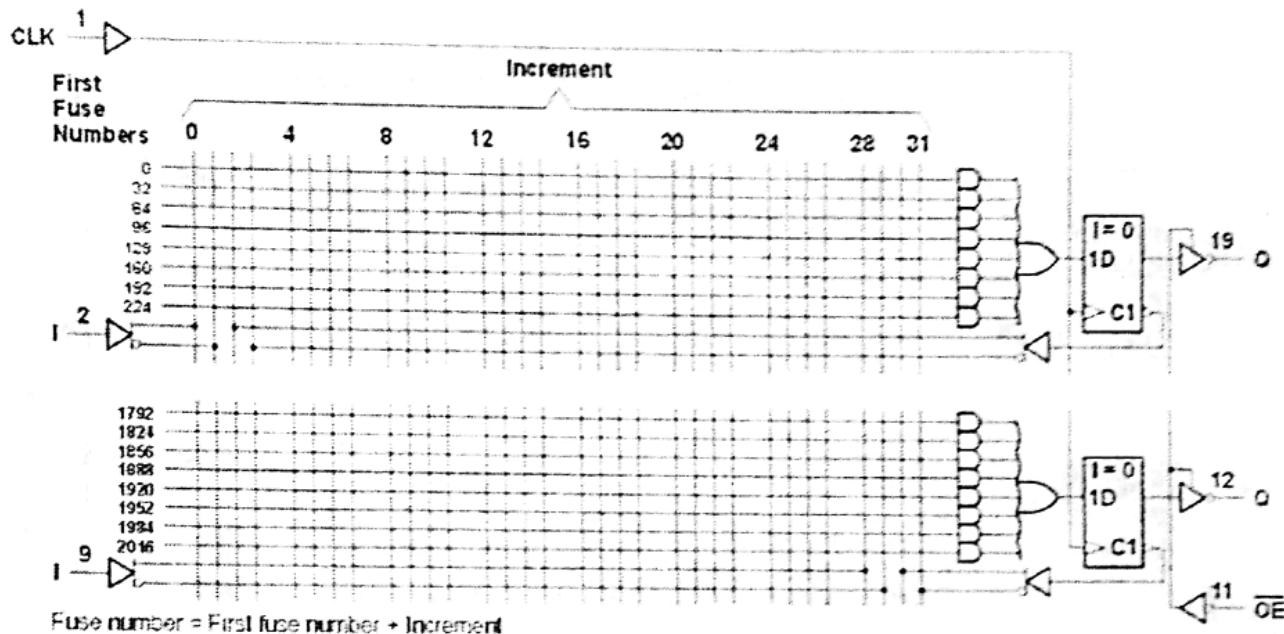
2.3.2 Le PAL 16R8.

Ce type de circuit est constitué de logique combinatoire et séquentielle. Il possède 20 broches agencées de la façon suivante :

- 8 broches (n° 2 à 9) configurables uniquement en entrée
- 1 broche (n° 1) d'entrée d'horloge de l'ensemble des 8 bascules D
- 1 broche (n° 11) de validation des 8 sorties (output enable)
- 8 broches (n° 12 à 19) configurables en sortie et pouvant être réinjecter en entrée
- 2 broches d'alimentation (n° 10 et 20).

L'ensemble des sorties provient de portes 3 états inverseuses provenant elles-mêmes de bascules D (figure 9). L'état haute impédance est commandée par l'entrée OE (broche n°11). Chaque porte de la matrice « OU » possède 7 entrées. Ceci signifie que chaque sortie peut résulter, au maximum, d'une fonction « OU » entre 7 termes produits.

Chaque porte de la matrice « ET » possède 32 entrées. Ceci signifie que chaque terme produit peut résulter, au maximum, d'une fonction « ET » entre 16 variables et leurs compléments. En résumé on peut dire que les huit sorties de ce circuit proviennent d'un registre trois états. La mise en haute impédance de ce dernier est commandée par la broche OE et la mémorisation est activée par les fronts montants de l'horloge CLK.



- Figure 9 : Configuration partielle interne du PAL 16R8 -

3. LES GALS (Generic Array Logic).

3.1. Présentation

L'inconvénient majeur des PALs est qu'ils ne sont programmables qu'une seule fois. Ceci impose un gaspillage important de ces circuits lorsqu'on veut développer un nouveau produit. La firme LATTICE a donc pensé, il y a un peu plus de 10 ans, à remplacer les fusibles irréversibles des PALs par des transistors MOS FET pouvant être régénérés. Ceci a donc donné naissance aux GALs que l'on pourrait traduire par « Réseau logique Générique ». Ces circuits peuvent donc être reprogrammés à volonté sans pour autant avoir une durée de vie restreinte. On peut aussi noter que dans leur structure interne les GALs sont constitués de transistor CMOS alors que les PALs classiques sont constitués de transistors bipolaires. La consommation des GALs est donc beaucoup plus faible. Depuis d'autres constructeurs fabriquent ce type de produit en les appelant « PAL CMOS ». Par soucis de remplacer les PALs, LATTICE a équipé la plupart de ses GALs de macro-cellules programmables permettant d'émuler n'importe quel PAL. Ces structures de sortie sont donc du type « Versatile » (V).

3.2. Protection contre la duplication

Les GAL sont dotés d'un bit de sécurité qui peut être activé lors de la programmation empêchant ainsi toute lecture du contenu du circuit. Ce bit est remis à zéro seulement en effaçant complètement le GAL.

Il est aussi constitué d'un ensemble de huit octets, appelé signature électronique, pouvant contenir des informations diverses sur le produit.

3.3. Référence des GALs

Le nombre de types de GAL est de 8. Les deux 2 derniers-nés présentent une structure plus particulière que nous n'aborderons pas dans ce document. Les six plus anciens sont différenciés par leurs nombres d'entrées et de sorties. Ils possèdent une structure de sortie soit du type « Versatile » soit du type « Registre asynchrone ».

Référence : GAL XX AB YY ZZ C DEF G

| GAL | |
|------------|--|
| XX | Nombre de sortie |
| AB | Structure de sortie |
| YY | Nombre d'entrées |
| ZZ | Vitesse (nS) |
| C | Consommation : « L », $\frac{1}{2}P$ - « Q », $\frac{1}{4}P$ |
| DEF | Boîtiers : « P », DIP - « J », PLCC |
| G | Version : « », Commerc. - « I », Indus. |

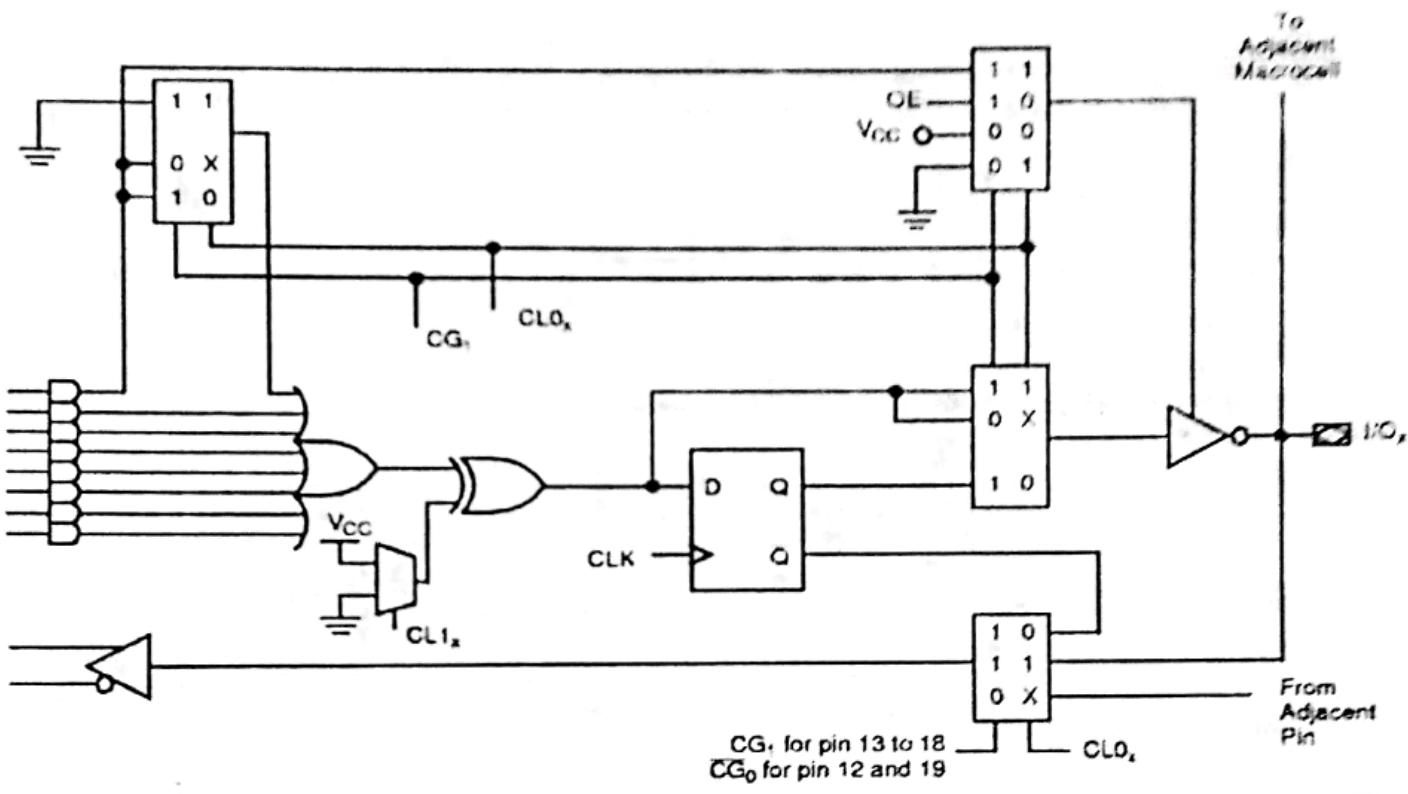
Tableau résumant les différents types de GAL :

| Référence | Nombre de broches | Vitesse (nS) | Consommation (mA) | Remarque |
|------------|-------------------|--------------|-------------------|---|
| GAL 16V8 | 20 | 10, 15 ou 20 | 55 ou 115 | Macro-cellule (1) |
| GAL 18V10 | 20 | 15 ou 20 | 115 | // |
| GAL 20V8 | 24 | 10, 15 ou 25 | 55 ou 115 | // |
| GAL20RA10 | 24 | 15 ou 20 | 115 | Registre asynchrone (1) |
| GAL 22V10 | 24 | 15, 20 ou 25 | 130 | Macro-cellule (1) |
| GAL 26V12 | 28 | 15 ou 20 | 130 | // |
| GAL 6001 | 24 | 30 ou 35 | 150 | Macro-cellule (1) - Type FPLA (2) |
| ispGAL16Z8 | 24 | 20 ou 25 | 90 | Macro-cellule (1) - Programmable en circuit (3) |

* (1) : structure de sortie. * (2) : Matrices « OU » et « ET » programmables. * (3) : Circuit reprogrammable à tout moment par liaison série

3.4. Macro cellule de sortie (OLMC) :

Comme cela a été spécifié auparavant, ces structures de sortie sont programmables et permettent d'émuler n'importe quelle autre structure de sortie. Elles possèdent en tout 2 bits de programmation communs à toutes les cellules (CG1 et CG0) et 2 bits spécifiques à chaque cellule (CL0x et CL1x).

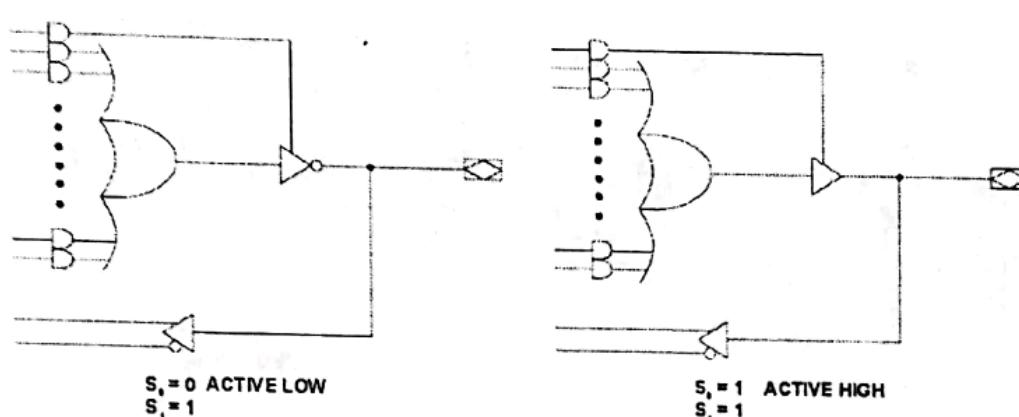
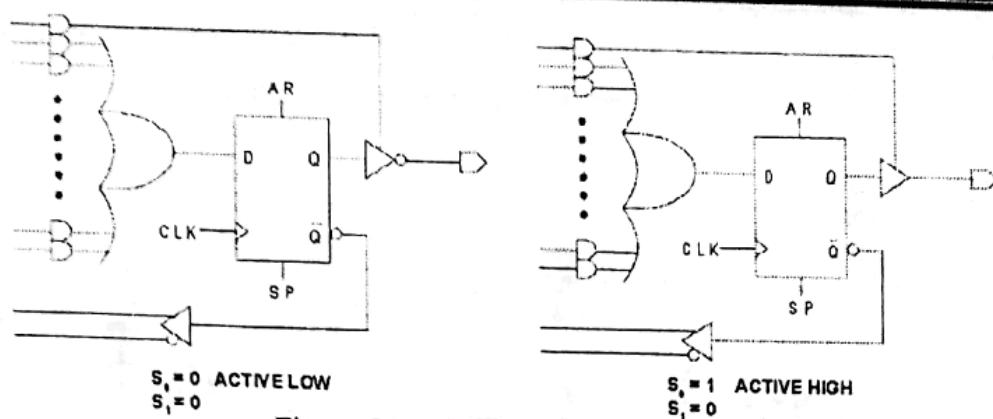


- Figure 10 : macro-cellule OLMC du GAL 16V8 -

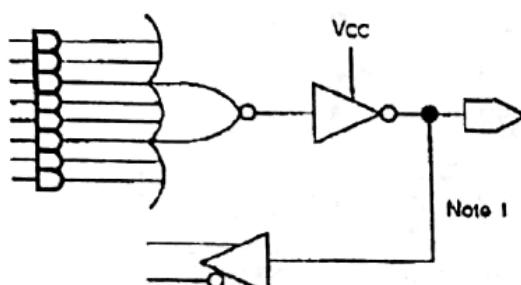
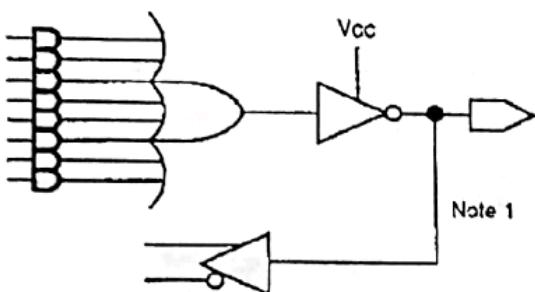
Configurations possibles de la macro-cellule pour le GAL 16V8 :

| Configuration de la structure de sortie | Circuit PAL émulé |
|--|-------------------|
| Registre synchrone - sortie 3 états (C1) | 16R8 |
| Entrée / Sortie combinatoire - sortie 3 états (C2) | 16R4 - 16R6 |
| Entrée et/ou Sortie combinatoire (C3) | 10L8 - 12H6 |
| Entrée combinatoire (C4) | 12L6 |
| Entrée / Sortie combinatoire - sortie 3 états (C2) | 16L8 - 16H8 |

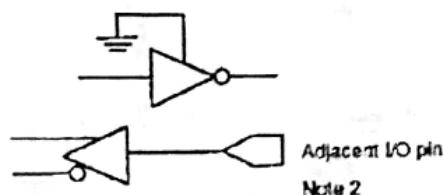
Remarque : En configuration « Registre » et en n'utilisant pas l'état haute impédance des portes 3 états, il faut relier la broche OE (n°11) à VCC.



- Figure C2 : E/S combinatoire / sortie 3 états -



- - Figure C3 : E/S combinatoire -

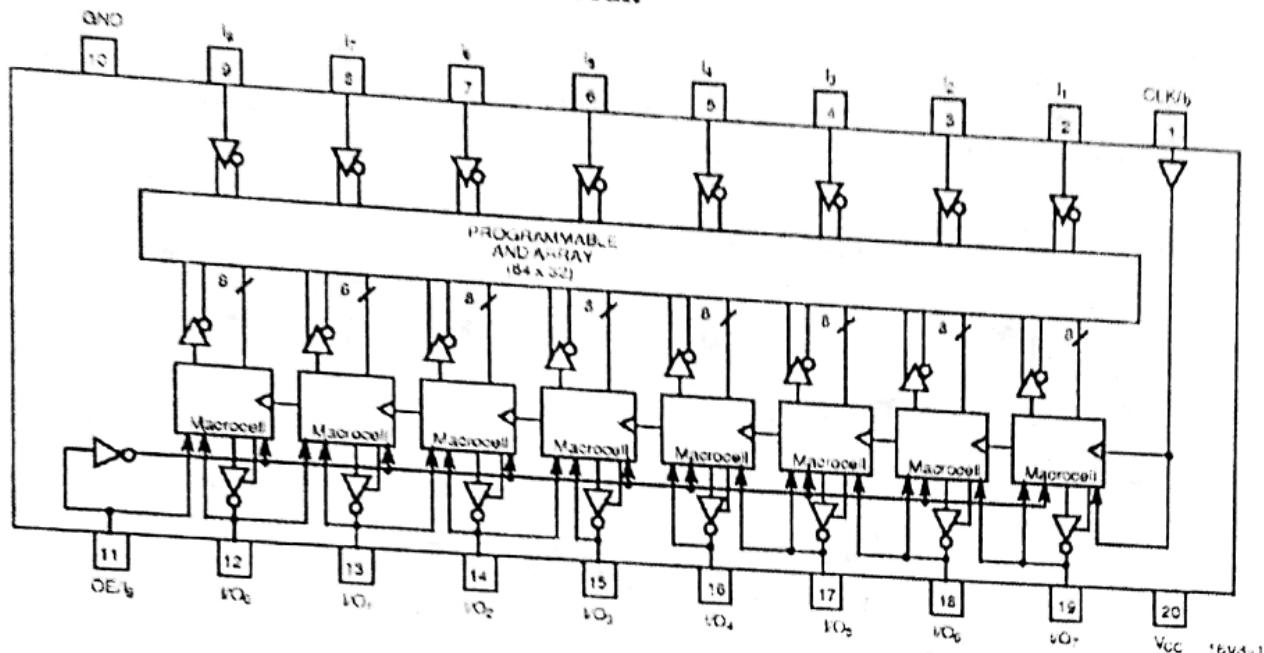


- Figure C4 : Entrée combinatoire -

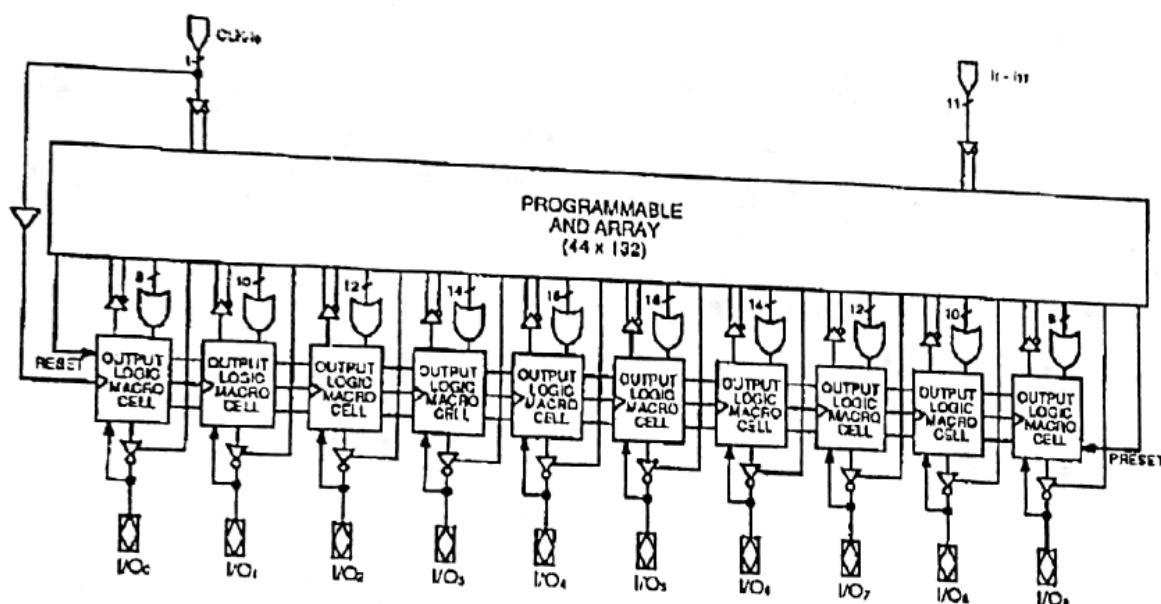
Remarques : La programmation des cellules de sortie est transparente pour l'opérateur. C'est le logiciel de développement qui, en fonction de certaines indications (sortie / entrée registre

ou combinatoire), effectue la configuration des structures de sortie. Pour le GAL 16V8, Les broches 15 et 16 ne peuvent pas être configurées en entrées combinatoires.

3.5. Exemple de brochage de circuit



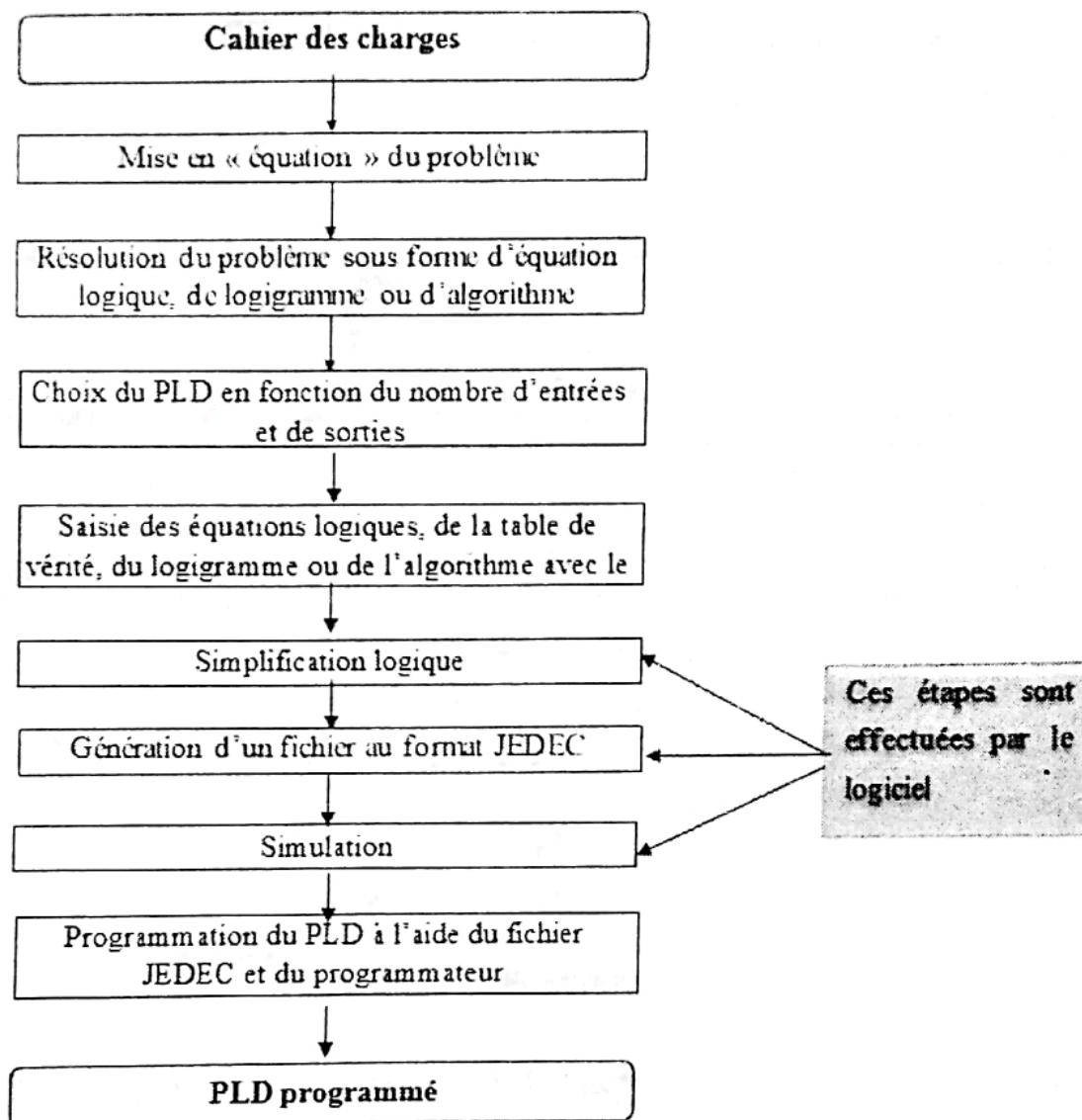
- Figure 10 : brochage du 16V8 -



- Figure 11 : brochage du 22V10 -

4. Programmation des PLDs :

La programmation des PLDs nécessite un logiciel adapté pour le développement du programme et un programmateur permettant de « griller » le circuit. En outre il est conseillé de suivre la démarche décrite par l'organigramme suivant :



Le logiciel de développement permet de simplifier les équations et de générer un fichier JEDEC à partir des données rentrées par l'opérateur. Il simule aussi le fonctionnement du PLD avec le programme obtenu. Le logiciel « PALASM » développé par « AMD » permet d'effectuer ces opérations pour la programmation de PAL ou de GAL.

Le fichier JEDEC est un ensemble de données binaires indiquant au programmeur les fusibles à « griller ». Le programmeur permet de « griller » les fusibles du PLD en fonctions des données du fichier JEDEC. Il est en général associé à un logiciel de pilotage. Les programmeurs utilisés sont les mêmes que ceux permettant la programmation des EPROM.

PAL1618AM, PAL1618A 2M
STANDARD HIGH SPEED PAL[®] CIRCUITS

