

TD8

---

## TD 8 / CONVERTIR UN SIGNAL ANALOG. EN DONNÉES NUM.

---

### Objectifs pédagogiques

A la fin de cette thématique, les étudiant-e-s seront capables de :

- énumérer les caractéristiques d'un Convertisseur Analogique-Numérique (CAN) et d'un Convertisseur Numérique-Analogique (CNA).
- analyser la structure d'un CNA
- évaluer les performances d'un CAN/CNA

### Activités pédagogiques

- Lectures (hors temps présentiel - en ligne)
  - ▷ Cours : Codage des informations (J. VILLEMEJANE - 2013)
  - ▷ Cours : Le Numérique et le binaire (H. BENISTY - 2016)
  - ▷ Cours : La Conversion CAN et CNA (H. BENISTY - 2014)
- Séance de **TD8**
- Séances de **TP3** et **TP4** (module TP CéTI)

### Ressources Complémentaires

- Introduction aux systèmes numériques - Julien Villemejeane (2016)
- Monde numérique - Julien Villemejeane (2013)
- Exercices supplémentaires proposés sur eCampus (avec correction)

TD8

---

## TD 8 / CONVERTIR UN SIGNAL ANALOG. EN DONN  ES NUM.

---

### Exercice 1 - Conversion de signaux courants

#### Notions abord  es

-    rappel des fr  quences mises en jeu dans les signaux habituels

### Signal audio

1. Rappeler l'intervalle de fr  quences des signaux audibles par l'  tre humain.
2. Quelle est la fr  quence minimale pour   chantillonner correctement un signal audio ?  
Les signaux audio « classiques » (CD audio par exemple) sont   chantillonn  s    une fr  quence  $F_{Eclassique} = 44.1 \text{ kHz}$  et chaque   chantillon est cod   sur 16 bits.  
Les signaux HRA (Audio Haute R  solution) sont   chantillonn  s    une fr  quence  $F_{EHRA1} = 96 \text{ kHz}$  ou  $F_{EHRA2} = 192 \text{ kHz}$  et chaque   chantillon est cod   sur 24 bits.
3. Ces fr  quences sont-elles bien choisies ?
4. Combien de niveau logique diff  rent y a-t-il pour chacune de ces normes ?
5. Quelle quantit   d'espace num  rique (en octets) faut-il pr  voir pour stocker une heure de donn  es sonores :
  - (a) au format « classique », st  r   ?
  - (b) au format HRA-192, en 5.1 ?

### Signal vid  o

On s'int  resse au capteur **CMV50000** de la soci  t   *CMOSIS*, capteur 8K@30fps - au prix d'environ 3500\$ (juin 2018) dont la documentation est donn  e en annexe.

1. Quelle est la taille de l'image de ce capteur ? Combien cela fait-il de pixels ?
2. Combien de convertisseurs analogique-num  rique embarquent ce capteur ? Quelle est la r  solution des ADC ?
3. La vitesse de transfert donn  e est-elle suffisante pour prendre des images en 8K (7680 x 4320 pixels)    30 images/seconde ?

### Exercice 2 - Système numérique

#### Notions abordées

- ▷ étude d'un signal échantillonné
- ▷ critère de Shannon-Nyquist

Que peut-on dire des signaux suivants ?

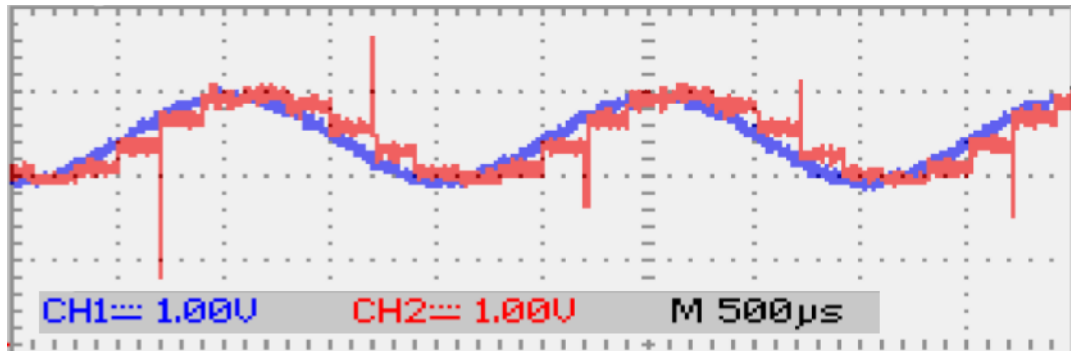


Fig. 1: Sortie d'un filtre numérique

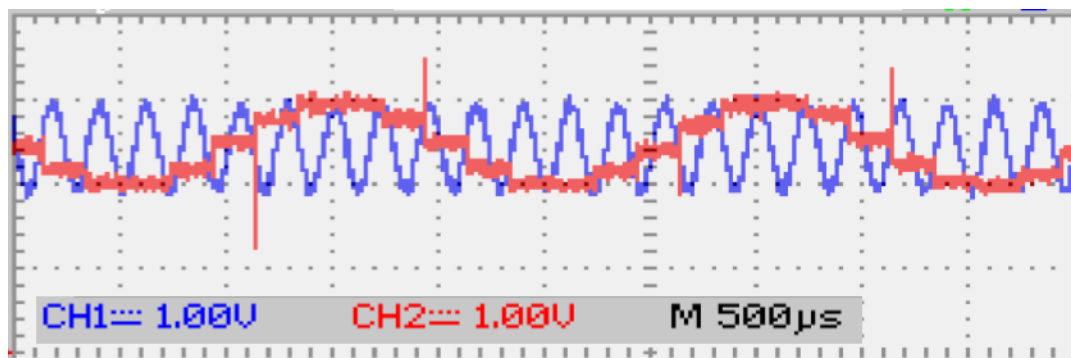


Fig. 2: Sortie d'un filtre numérique

### Exercice 3 - Entrées/Sorties Numériques

#### Notions abordées

- ▷ étude de la documentation technique d'un CAN
- ▷ entrée/sortie série/parallèle

On s'intéresse à présent à 2 convertisseurs analogiques-numériques différents, dont une partie des documentations techniques sont données en annexe :

- **TLC548** de *Texas Instruments* (environ 3\$ - juin 2018)
- **AD9230** de *Analog Devices* (environ 80\$ - juin 2018)

1. A partir de ces deux documentations, remplir le tableau suivant :

	TLC548	AD9230
Type de sortie		
$F_{Emax}$		
Résolution		
Alimentation		

2. A l'aide de la documentation technique du **TLC548**,

- Expliquer à quoi correspondent les différents éléments du **diagramme fonctionnel** donnée en page 2.
- Expliquer l'opération de conversion et de récupération des données à partir de la **séquence** donnée en page 3.
- Combien de temps faut-il entre chaque conversion (pour  $F_{CLOCK} = 2.048 \text{ MHz}$  ?

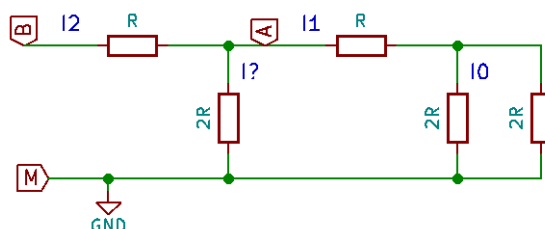
#### Exercice 4 - Convertisseur R-2R

##### Notions abordées

▷ étude de la structure d'un CNA

### Montage R-2R

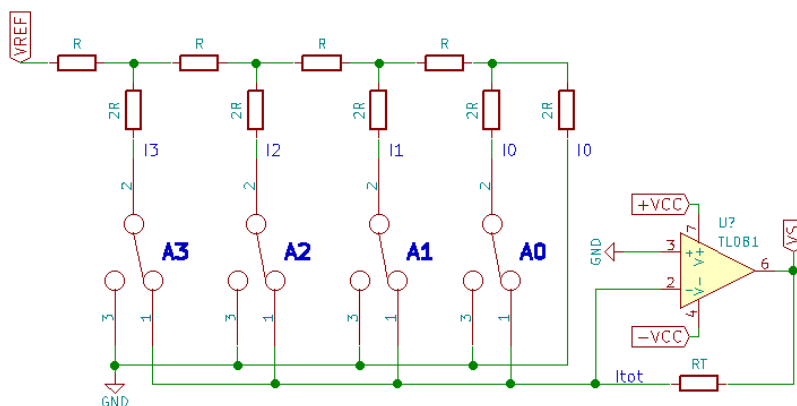
On s'intéresse à ce montage :



- Que vaut le courant  $I_1$  en fonction du courant  $I_0$  (courant passant par la résistance  $2R$  ?
- Que vaut le courant  $I_2$  en fonction du courant  $I_0$  (courant passant par la résistance  $2R$  ?

### Montage complet

On s'intéresse à présent au montage suivant :



On supposera que lorsque  $A_i = 0$ , l'interrupteur  $i$  est en position 3 et que lorsque  $A_i = 1$ , l'interrupteur  $i$  est en position 1.

- Quel est le type de montage autour de l'ALI ?
- En quoi la structure vue précédemment peut nous aider ?
- Que vaut alors le courant  $I_{tot}$  dans la contre-réaction de l'ALI en fonction des courants  $I_i$  ?
- Que vaut alors le courant  $I_{tot}$  dans la contre-réaction de l'ALI en fonction du courant  $I_{0i}$  et des valeurs des  $A_i$  ?

# CMV50000

## AREA SCAN SENSORS



The CMV50000 is a high speed CMOS image sensor with 7920 x 6004 effective pixels (47.5Mp) developed for machine vision and video applications. The image array consists of 4.6µm pipelined 8T global shutter pixels which allow exposure during read out, while performing true CDS (Correlated Double Sampling) operation. The image sensor has 22 12bit sub-LVDS data outputs. The image sensor also integrates a programmable analog gain amplifier and offset regulation. Each output channel runs up to 830 Mbps maximum which results in 30 fps frame rate at full resolution in 12 bit. Higher frame rates can be achieved in row-windowing mode or row-subsampling mode. These modes are all programmable using the SPI interface. All internal exposure and read out timings are generated by a programmable on-board sequencer. External triggering and exposure programming is also possible. Extended optical dynamic range can be achieved by a dual exposure HDR mode.

### SPECIFICATIONS

<b>Part status</b>	Sampling
<b>Resolution</b>	48MP - 7920 (H) x 6004 (V)
<b>Pixel size</b>	4.6 x 4.6
<b>Optical format</b>	35 mm (36.43 x 27.62 mm2)
<b>Shutter type</b>	Global shutter
<b>Frame rate</b>	30 fps
<b>Output interface</b>	22 LVDS @ 830 Mbps
<b>Sensitivity</b>	3.5 x10e7 DN/(W.s/m2) (@ 550 nm)
<b>Conversion gain</b>	0.272 DN/e
<b>Full well charge</b>	14500 e- (with binning 58000 e-)
<b>Dark noise</b>	8.8 e-
<b>Dynamic range</b>	64dB (binning: 68dB)
<b>SNR max</b>	41.6dB (binning: 47.6dB)
<b>Parasitic light sensitivity</b>	1/18000
<b>Extended dynamic range</b>	Yes, odd/even read out
<b>Dark current</b>	0.24e/s @ 20°C; 66.2e/s @60°C
<b>Fixed pattern noise</b>	6.6 DN rms
<b>Chroma</b>	Mono and RGB
<b>Supply voltage</b>	3.3/2.7/1.8/1.2V
<b>Power</b>	3W
<b>Operating temperature range</b>	-30°C to 70°C
<b>RoHS compliance</b>	Yes (TBC)
<b>Package</b>	141 pins PGA ceramic package
<b>Socket</b>	Andon Electronics ( <a href="http://www.andonelectronics.com">http://www.andonelectronics.com</a> ) 575-20-19A-141-01M-R27-L14 (thru-hole) 575-20-19A-141-93M-R27-L14 (surface mount)



# 12-Bit, 170 MSPS/210 MSPS/250 MSPS, 1.8 V Analog-to-Digital Converter

## AD9230

### FEATURES

**SNR = 64.9 dBFS @  $f_{IN}$  up to 70 MHz @ 250 MSPS**  
**ENOB of 10.4 @  $f_{IN}$  up to 70 MHz @ 250 MSPS (–1.0 dBFS)**  
**SFDR = –79 dBc @  $f_{IN}$  up to 70 MHz @ 250 MSPS (–1.0 dBFS)**

#### Excellent linearity

**DNL =  $\pm 0.3$  LSB typical**

**INL =  $\pm 0.5$  LSB typical**

**LVDS at 250 MSPS (ANSI-644 levels)**

**700 MHz full power analog bandwidth**

**On-chip reference, no external decoupling required**

**Integrated input buffer and track-and-hold**

**Low power dissipation**

**434 mW @ 250 MSPS—LVDS SDR mode**

**400 mW @ 250 MSPS—LVDS DDR mode**

**Programmable input voltage range**

**1.0 V to 1.5 V, 1.25 V nominal**

**1.8 V analog and digital supply operation**

**Selectable output data format (offset binary, twos complement, Gray code)**

**Clock duty cycle stabilizer**

**Integrated data capture clock**

### APPLICATIONS

**Wireless and wired broadband communications**

**Cable reverse path**

**Communications test equipment**

**Radar and satellite subsystems**

**Power amplifier linearization**

### GENERAL DESCRIPTION

The AD9230 is a 12-bit monolithic sampling analog-to-digital converter optimized for high performance, low power, and ease of use. The product operates at up to a 250 MSPS conversion rate and is optimized for outstanding dynamic performance in wideband carrier and broadband systems. All necessary functions, including a track-and-hold (T/H) and voltage reference, are included on the chip to provide a complete signal conversion solution.

The ADC requires a 1.8 V analog voltage supply and a differential clock for full performance operation. The digital outputs are LVDS (ANSI-644) compatible and support either twos complement, offset binary format, or Gray code. A data clock output is available for proper output data timing.

Fabricated on an advanced CMOS process, the AD9230 is available in a 56-lead LFCSP, specified over the industrial temperature range ( $-40^{\circ}\text{C}$  to  $+85^{\circ}\text{C}$ ).

#### Rev. 0

Information furnished by Analog Devices is believed to be accurate and reliable. However, no responsibility is assumed by Analog Devices for its use, nor for any infringements of patents or other rights of third parties that may result from its use. Specifications subject to change without notice. No license is granted by implication or otherwise under any patent or patent rights of Analog Devices. Trademarks and registered trademarks are the property of their respective owners.

### FUNCTIONAL BLOCK DIAGRAM

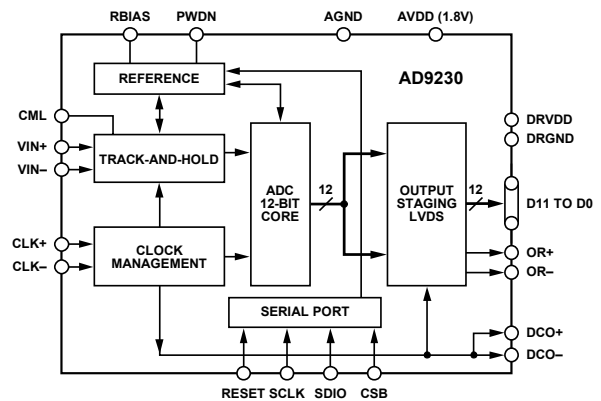


Figure 1. Functional Block Diagram

### PRODUCT HIGHLIGHTS

1. High Performance—Maintains 64.9 dBFS SNR @ 250 MSPS with a 70 MHz input.
2. Low Power—Consumes only 434 mW @ 250 MSPS.
3. Ease of Use—LVDS output data and output clock signal allow interface to current FPGA technology. The on-chip reference and sample and hold provide flexibility in system design. Use of a single 1.8 V supply simplifies system power supply design.
4. Serial Port Control—Standard serial port interface supports various product functions, such as data formatting, disabling the clock duty cycle stabilizer, power-down, gain adjust, and output test pattern generation.
5. Pin-Compatible Family—10-bit pin-compatible family offered as AD9211.

One Technology Way, P.O. Box 9106, Norwood, MA 02062-9106, U.S.A.  
Tel: 781.329.4700 [www.analog.com](http://www.analog.com)  
Fax: 781.461.3113 ©2007 Analog Devices, Inc. All rights reserved.

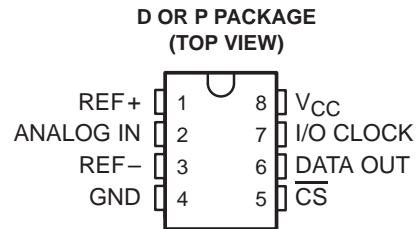


Pin No.	Mnemonic	Description
30, 32 to 34, 37 to 39, 41 to 43, 46	AVDD	1.8 V Analog Supply.
7, 24, 47	DRVDD	1.8 V Digital Output Supply.
0	AGND <sup>1</sup>	Analog Ground.
8, 23, 48	DRGND <sup>1</sup>	Digital Output Ground.
35	VIN+	Analog Input—True.
36	VIN–	Analog Input—Complement.
40	CML	Common-Mode Output Pin. Enabled through the SPI, this pin provides a reference for the optimized internal bias voltage for VIN+/VIN–.
44	CLK+	Clock Input—True.
45	CLK–	Clock Input—Complement.
31	RBIAS	Set Pin for Chip Bias Current. (Place 1% 10 kΩ resistor terminated to ground.) Nominally 0.5 V.
28	RESET	CMOS-Compatible Chip Reset (Active Low).
25	SDIO/DCS	Serial Port Interface (SPI®) Data Input/Output (Serial Port Mode); Duty Cycle Stabilizer Select (External Pin Mode).
26	SCLK/DFS	Serial Port Interface Clock (Serial Port Mode); Data Format Select Pin (External Pin Mode).
27	CSB	Serial Port Chip Select (Active Low).
29	PWDN	Chip Power-Down.
49	DCO–	Data Clock Output—Complement.
50	DCO+	Data Clock Output—True.
51	D0–	D0 Complement Output Bit (LSB).
52	D0+	D0 True Output Bit (LSB).
53	D1–	D1 Complement Output Bit.
54	D1+	D1 True Output Bit.
55	D2–	D2 Complement Output Bit.
56	D2+	D2 True Output Bit.
1	D3–	D3 Complement Output Bit.
2	D3+	D3 True Output Bit.
3	D4–	D4 Complement Output Bit.
4	D4+	D4 True Output Bit.

# TLC548C, TLC548I, TLC549C, TLC549I 8-BIT ANALOG-TO-DIGITAL CONVERTERS WITH SERIAL CONTROL

SLAS067C – NOVEMBER 1983 – REVISED SEPTEMBER 1996

- Microprocessor Peripheral or Standalone Operation
- 8-Bit Resolution A/D Converter
- Differential Reference Input Voltages
- Conversion Time . . . 17  $\mu$ s Max
- Total Access and Conversion Cycles Per Second
  - TLC548 . . . up to 45 500
  - TLC549 . . . up to 40 000
- On-Chip Software-Controllable Sample-and-Hold Function
- Total Unadjusted Error . . .  $\pm 0.5$  LSB Max
- 4-MHz Typical Internal System Clock
- Wide Supply Range . . . 3 V to 6 V
- Low Power Consumption . . . 15 mW Max
- Ideal for Cost-Effective, High-Performance Applications including Battery-Operated Portable Instrumentation
- Pinout and Control Signals Compatible With the TLC540 and TLC545 8-Bit A/D Converters and with the TLC1540 10-Bit A/D Converter
- CMOS Technology



## description

The TLC548 and TLC549 are CMOS analog-to-digital converter (ADC) integrated circuits built around an 8-bit switched-capacitor successive-approximation ADC. These devices are designed for serial interface with a microprocessor or peripheral through a 3-state data output and an analog input. The TLC548 and TLC549 use only the input/output clock (I/O CLOCK) input along with the chip select ( $\overline{\text{CS}}$ ) input for data control. The maximum I/O CLOCK input frequency of the TLC548 is 2.048 MHz, and the I/O CLOCK input frequency of the TLC549 is specified up to 1.1 MHz.

### AVAILABLE OPTIONS

T <sub>A</sub>	PACKAGE	
	SMALL OUTLINE (D)	PLASTIC DIP (P)
0°C to 70°C	TLC548CD TLC549CD	TLC548CP TLC549CP
–40°C to 85°C	TLC548ID TLC549ID	TLC548IP TLC549IP



Please be aware that an important notice concerning availability, standard warranty, and use in critical applications of Texas Instruments semiconductor products and disclaimers thereto appears at the end of this data sheet.

PRODUCTION DATA information is current as of publication date. Products conform to specifications per the terms of Texas Instruments standard warranty. Production processing does not necessarily include testing of all parameters.

 **TEXAS  
INSTRUMENTS**

POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

Copyright © 1996, Texas Instruments Incorporated



# TLC548C, TLC548I, TLC549C, TLC549I

## 8-BIT ANALOG-TO-DIGITAL CONVERTERS

### WITH SERIAL CONTROL

SLAS067C – NOVEMBER 1983 – REVISED SEPTEMBER 1996

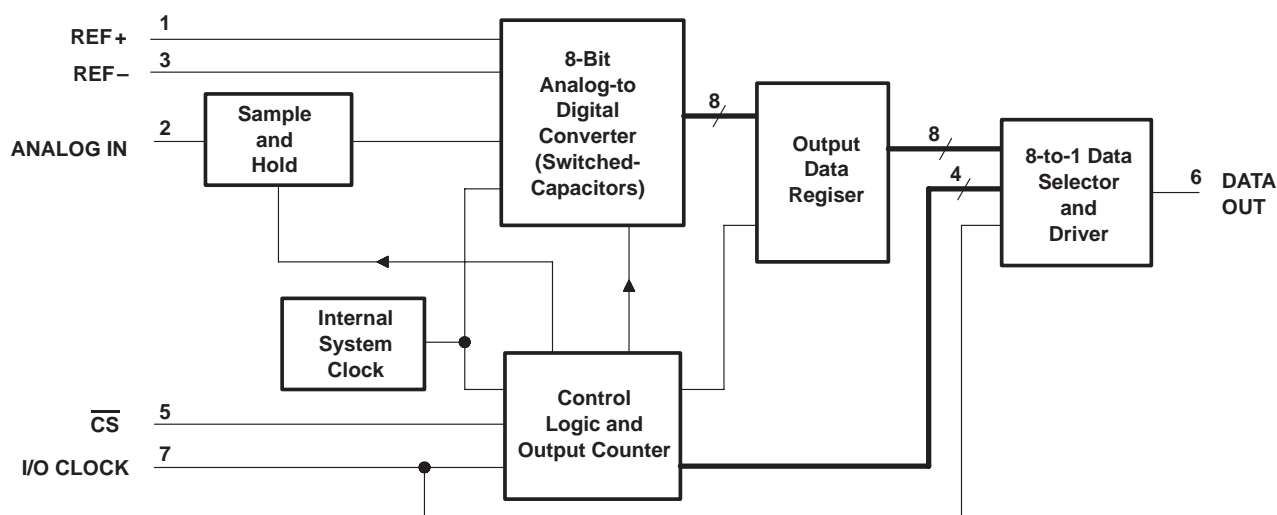
#### description (continued)

Operation of the TLC548 and the TLC549 is very similar to that of the more complex TLC540 and TLC541 devices; however, the TLC548 and TLC549 provide an on-chip system clock that operates typically at 4 MHz and requires no external components. The on-chip system clock allows internal device operation to proceed independently of serial input/output data timing and permits manipulation of the TLC548 and TLC549 as desired for a wide range of software and hardware requirements. The I/O CLOCK together with the internal system clock allow high-speed data transfer and conversion rates of 45 500 conversions per second for the TLC548, and 40 000 conversions per second for the TLC549.

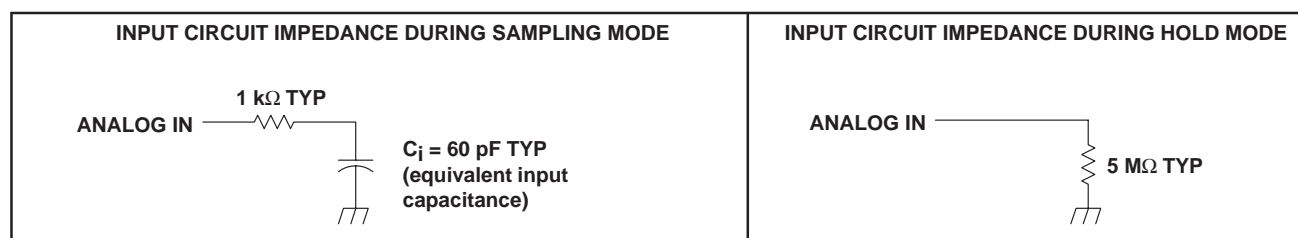
Additional TLC548 and TLC549 features include versatile control logic, an on-chip sample-and-hold circuit that can operate automatically or under microprocessor control, and a high-speed converter with differential high-impedance reference voltage inputs that ease ratiometric conversion, scaling, and circuit isolation from logic and supply noises. Design of the totally switched-capacitor successive-approximation converter circuit allows conversion with a maximum total error of  $\pm 0.5$  least significant bit (LSB) in less than 17  $\mu\text{s}$ .

The TLC548C and TLC549C are characterized for operation from 0°C to 70°C. The TLC548I and TLC549I are characterized for operation from -40°C to 85°C.

#### functional block diagram



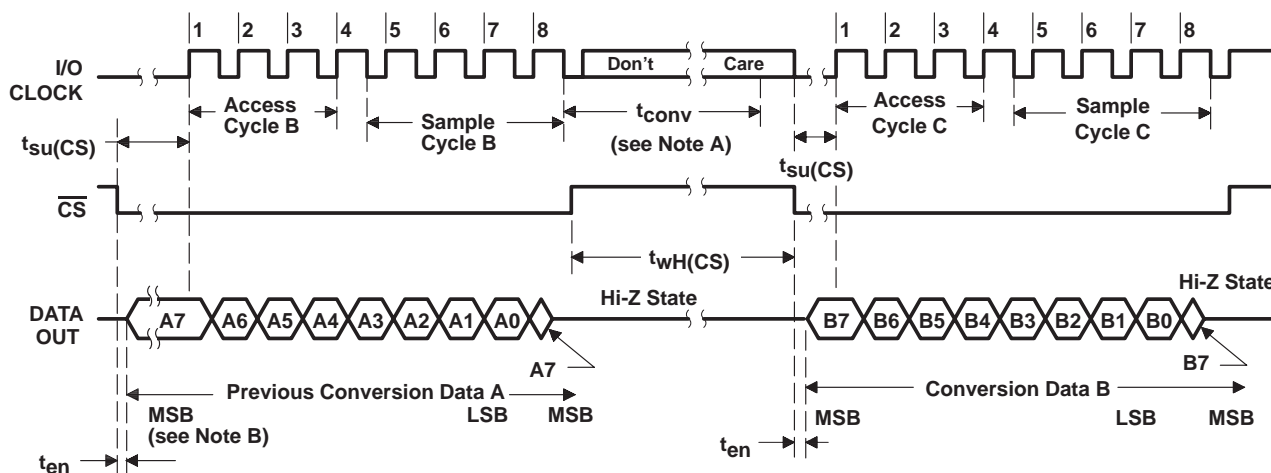
#### typical equivalent inputs



# TLC548C, TLC548I, TLC549C, TLC549I 8-BIT ANALOG-TO-DIGITAL CONVERTERS WITH SERIAL CONTROL

SLAS067C – NOVEMBER 1983 – REVISED SEPTEMBER 1996

## operating sequence



- NOTES: A. The conversion cycle, which requires 36 internal system clock periods (17  $\mu$ s maximum), is initiated with the eighth I/O clock pulse trailing edge after  $\overline{CS}$  goes low for the channel whose address exists in memory at the time.
- B. The most significant bit (A7) is automatically placed on the DATA OUT bus after  $\overline{CS}$  is brought low. The remaining seven bits (A6–A0) are clocked out on the first seven I/O clock falling edges. B7–B0 follows in the same manner.

## absolute maximum ratings over operating free-air temperature range (unless otherwise noted)

Supply voltage, $V_{CC}$ (see Note 1)	6.5 V
Input voltage range at any input	–0.3 V to $V_{CC} + 0.3$ V
Output voltage range	–0.3 V to $V_{CC} + 0.3$ V
Peak input current range (any input)	$\pm 10$ mA
Peak total input current range (all inputs)	$\pm 30$ mA
Operating free-air temperature range, $T_A$ (see Note 2):	
TLC548C, TLC549C	0°C to 70°C
TLC548I, TLC549I	–40°C to 85°C
Storage temperature range, $T_{stg}$	–65°C to 150°C
Lead temperature 1,6 mm (1/16 inch) from case for 10 seconds	260°C

- NOTES: 1. All voltage values are with respect to the network ground terminal with the REF– and GND terminals connected together, unless otherwise noted.
2. The D package is not recommended below –40°C.



POST OFFICE BOX 655303 • DALLAS, TEXAS 75265

TD8

## TD 8 / CONVERTIR UN SIGNAL ANALOG. EN DONN  ES NUM.

Correction

### Exercice 1 - Conversion de signaux courants

#### Notions abord  es

-    rappel des fr  quences mises en jeu dans les signaux habituels

### Signal audio

1. Rappeler l'intervalle de fr  quences des signaux audibles par l'  tre humain.

#### R  ponse

Entre 20 Hz et 20 kHz.

2. Quelle est la fr  quence minimale pour   chantillonner correctement un signal audio ?

#### R  ponse

Afin de respecter le crit  re de Nyquist-Shannon,    savoir qu'il faut au moins   chantillonner 2 points par p  riode d'un signal pour pouvoir le reconstituer fid  lement, il faut une fr  quence d'  chantillonnage sup  rieure    40 kHz.

Les signaux audio    classiques    (CD audio par exemple) sont   chantillonn  s    une fr  quence  $F_{Eclassique} = 44.1$  kHz et chaque   chantillon est cod   sur 16 bits.

Les signaux HRA (Audio Haute R  solution) sont   chantillonn  s    une fr  quence  $F_{EHRA1} = 96$  kHz ou  $F_{EHRA2} = 192$  kHz et chaque   chantillon est cod   sur 24 bits.

3. Ces fr  quences sont-elles bien choisies ?

#### R  ponse

Elles respectent toutes le crit  re de Nyquist-Shannon, puisque  $F_E > 40$  kHz.

4. Combien de niveau logique diff  rent y a-t-il pour chacune de ces normes ?

#### R  ponse

Pour la version    classique   , on a  $2^{16}$  niveaux logiques diff  rents (soit 65536 niveaux).  
Pour la version HRA, on a  $2^{24}$  niveaux logiques diff  rents (soit plus de 16 millions de niveaux).

5. Quelle quantit   d'espace num  rique (en octets) faut-il pr  voir pour stocker une heure de donn  es sonores :

- (a) au format « classique », stéréo ?

#### Réponse

En stéréo, il y a 2 voies. On les échantillonne chacune à 44100 Hz, soit 44100 échantillons par seconde de 16 bits chacun.

La quantité de données est alors de :

$$DATA = 2(voies) \cdot 16(bits) \cdot 44100(ech/s) \cdot 3600(s)/8(bits) = 635.04 \text{ Mo}$$

- (b) au format HRA-192, en 5.1 ?

#### Réponse

En 5.1, il y a 6 voies. On les échantillonne chacune à 192000 Hz, soit 192000 échantillons par seconde de 24 bits chacun.

La quantité de données est alors de :

$$DATA = 6(voies) \cdot 24(bits) \cdot 192000(ech/s) \cdot 3600(s)/8(bits) = 12.5 \text{ Go}$$

## Signal vidéo

On s'intéresse au capteur **CMV50000** de la société *CMOSIS*, capteur 8K@30fps - au prix d'environ 3500\$ (juin 2018) dont la documentation est donnée en annexe.

#### Complément d'information

On peut rappeler le principe d'un capteur CMOS = ensemble de photodiodes et leur système d'amplification. Le tout est lié à plusieurs convertisseurs analogique/numérique en parallèle.

1. Quelle est la taille de l'image de ce capteur ? Combien cela fait-il de pixels ?

#### Réponse

On peut lire dans la documentation : 7920 (H) x 6004 (V) soit un total de 47.5 millions de pixels.

2. Combien de convertisseurs analogique-numérique embarquent ce capteur ? Quelle est la résolution des ADC ?

#### Réponse

Le constructeur annonce : **22 LVDS at 830 Mbps** comme sortie. Cela correspond à **22 convertisseurs** placés en parallèle.

On trouve également que le nombre d'électrons récupérés en sortie en **pleine échelle** (Full well charge) est de 14500 e-. On a également le taux de conversion de 0.272 DN/e. On a alors que la pleine échelle est d'environ 3950 DN. Cela correspond bien aux 12 bits annoncés par le constructeur.

#### Complément d'information

On peut rappeler ici que les capteurs CMOS sont des matrices de photodiodes qui transforment un flux lumineux en électrons.

3. La vitesse de transfert donnée est-elle suffisante pour prendre des images en 8K (7680 x 4320 pixels) à 30 images/seconde ?

### Réponse

Pour une image en 8K, soit 7680 x 4320 pixels, chacun codé sur 12 bits, à 30 images/seconde, cela donne :

$$DATA = 7680 \cdot 4320 \cdot 12(bits) \cdot 30(fps) = 11.94 \text{ Gbps} = 1.5 \text{ Gops}$$

Comme il y a 22 sorties en parallèle, chacune produit donc un flux de donnée de :  $DATA_{LVDS} = DATA/22 = 543 \text{ Mbps} = 68 \text{ Mops}$ .

### Exercice 2 - Système numérique

#### Notions abordées

- ▷ étude d'un signal échantillonné
- ▷ critère de Shannon-Nyquist

Que peut-on dire des signaux suivants ?

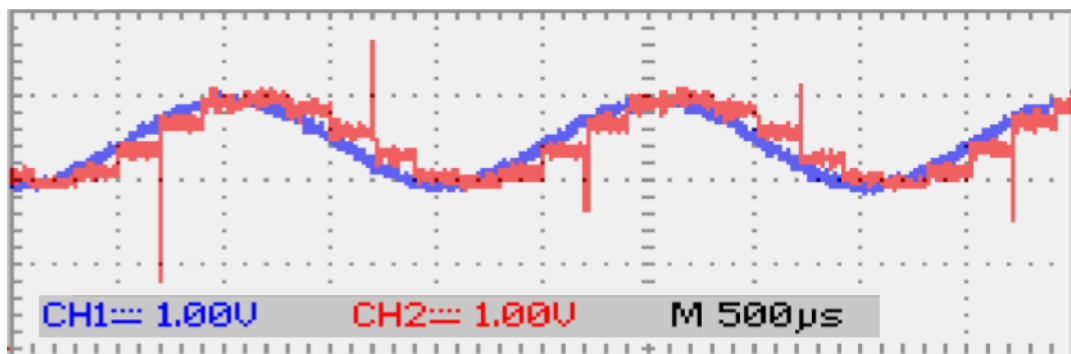


Fig. 3: Sortie d'un filtre numérique

### Réponse

Cette figure correspond à la réponse d'un système numérique qui échantillonne à une fréquence de 5 kHz (ou une période de 200  $\mu\text{s}$  - largeur d'un palier).

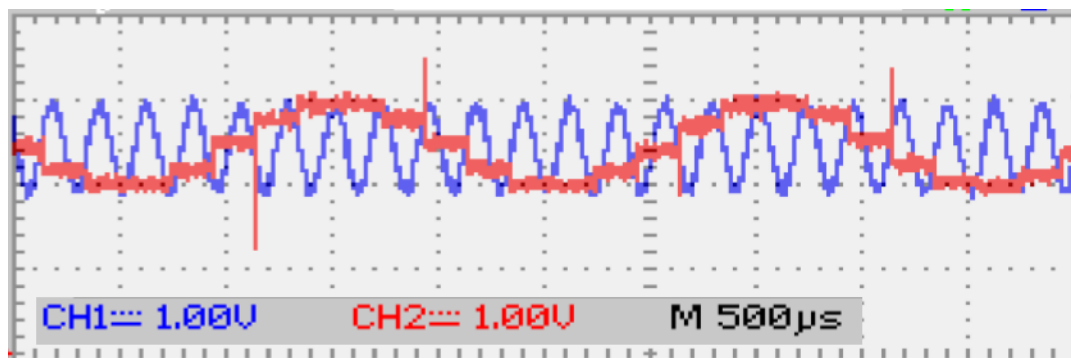


Fig. 4: Sortie d'un filtre numérique

**Réponse**

Cette figure correspond à la réponse du même système numérique que précédemment.

On remarque ici que le signal de sortie n'a pas la même fréquence de le signal de départ. Le système n'est donc pas linéaire!! On assiste ici à un repliement de spectre dû à l'échantillonnage.

**Complément d'information**

On peut ici dessiner le spectre du signal initial, et de la version échantillonné de ce signal pour montrer le repliement.

**Exercice 3 - Entrées/Sorties Numériques****Notions abordées**

- ▷ étude de la documentation technique d'un CAN
- ▷ entrée/sortie série/parallèle

On s'intéresse à présent à 2 convertisseurs analogiques-numériques différents, dont une partie des documentations techniques sont données en annexe :

- **TLC548** de *Texas Instruments* (environ 3\$ - juin 2018)
- **AD9230** de *Analog Devices* (environ 80\$ - juin 2018)

1. A partir de ces deux documentations, remplir le tableau suivant :

	TLC548	AD9230
Type de sortie		
$F_{Emax}$		
Résolution		
Alimentation		

**Réponse**

	TLC548	AD9230
Type de sortie	Série <sup>a</sup>	Parallèle - LVDS <sup>b</sup>
$F_{Emax}$	45.5 ksps	250 Msps
Résolution	8 bits	12 bits
Alimentation	3 à 6 V	1.8 V

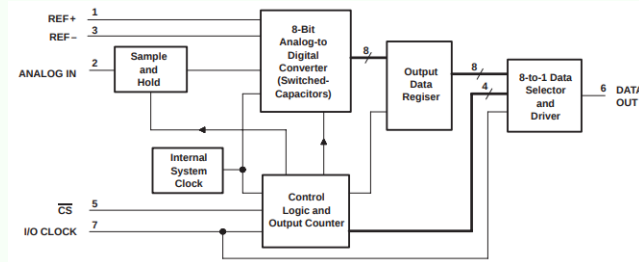
<sup>a</sup>. Liaison type SPI avec les signaux : CS-IO\_CLOCK-DATA\_OUT

<sup>b</sup>. *Low Voltage Differential Signaling* - nouvelle norme pour la transmission de signaux électriques à haute fréquence - plusieurs centaines de MHz - sur une ligne symétrique / signal différentiel

2. A l'aide de la documentation technique du **TLC548**,

- (a) Expliquer à quoi correspondent les différents éléments du **diagramme fonctionnel** donnée en page 2.

## Réponse

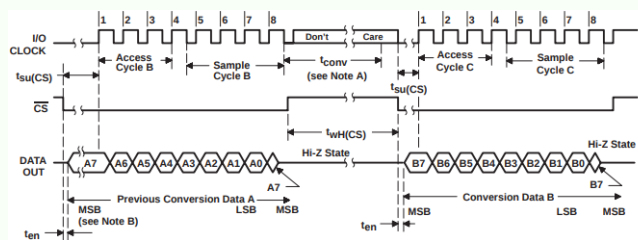


- **8-Bit Analog-to-Digital Converter** : convertisseur avec :
  - ☐ 2 entrées de référence REF+ et REF-
  - ☐ 1 entrée pour le signal analogique à convertir
  - ☐ 1 sortie sur 8 bits pour la donnée numérique
  - ☐ des entrées de contrôle
- **Data Output Register** : bloc permettant de mémoriser la donnée le temps d'une autre conversion
- **8-to-1 Data Selector and Driver** : bloc permettant de transformer la donnée numérique parallèle en donnée numérique série, à partir de l'horloge d'entrée
- **Sample and Hold** : échantillonneur bloqueur permettant d'avoir un signal analogique stable durant tout le temps de la conversion <sup>a</sup>
- **Control Logic and Output Counter** : bloc de contrôle de la séquence de conversion

<sup>a</sup>. On peut prendre un peu de temps pour montrer le fonctionnement via le schéma proposé dans la documentation technique

- (b) Expliquer l'opération de conversion et de récupération des données à partir de la **séquence** donnée en page 3.

## Réponse



La conversion se fait lorsque le signal  $CS$  passe à '1'. La conversion dure jusqu'à  $t_{conv} = 17 \mu s$  (d'après la documentation technique).

La donnée est ensuite prête dans le registre de données. Il faut forcer le signal  $CS$  à '0' pour débiter la donnée avec le composant. Il faut appliquer un signal d'horloge (jusqu'à 2.048 MHz d'après la documentation technique).

- (c) Combien de temps faut-il entre chaque conversion (pour  $F_{CLOCK} = 2.048 \text{ MHz}$  ?

**Réponse**

Il faut  $t_{data} = 8 \cdot 1 / 2.048 \text{ MHz} = 3.9 \mu\text{s}$  pour récupérer la donnée complète sur 8 bits.

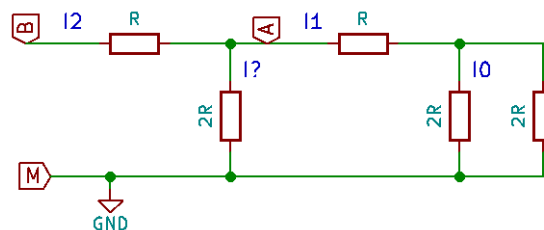
L'opération totale met donc  $t_{total} = t_{conv} + t_{data} = 21 \mu\text{s}$

**Exercice 4 - Convertisseur R-2R****Notions abordées**

▷ étude de la structure d'un CNA

**Montage R-2R**

On s'intéresse à ce montage :



1. Que vaut le courant  $I_1$  en fonction du courant  $I_0$  (courant passant par la résistance  $2R$ ) ?

**Réponse**

On peut s'intéresser à la résistance équivalente entre les points A et M :

On trouve entre A et M une résistance  $R$  en série avec un ensemble en parallèle de 2 résistances de  $2R$ .

$$R_{AM} = R + (2R // 2R) \text{ avec } 2R // 2R = \frac{2R \cdot 2R}{2R + 2R} = R$$

On a alors :  $R_{AM} = R + R = 2R$ .

Les deux résistances de  $2R$  étant en parallèle, elles sont soumises à la même différence de potentiel.

Comme elles ont également la même résistance, elles sont traversées par le même courant.

La loi des noeud au point d'intersection de  $R$  et des deux résistances de  $2R$  donne que  $I_1 = 2 \cdot I_0$ .

2. Que vaut le courant  $I_2$  en fonction du courant  $I_0$  (courant passant par la résistance  $2R$ ) ?

**Réponse**

En reprenant le modèle équivalent du montage entre A et M, on obtient alors un nouveau montage R-2R.

On a alors  $R_{BM} = R + (2R // 2R) = 2R$ . Et ainsi de suite...

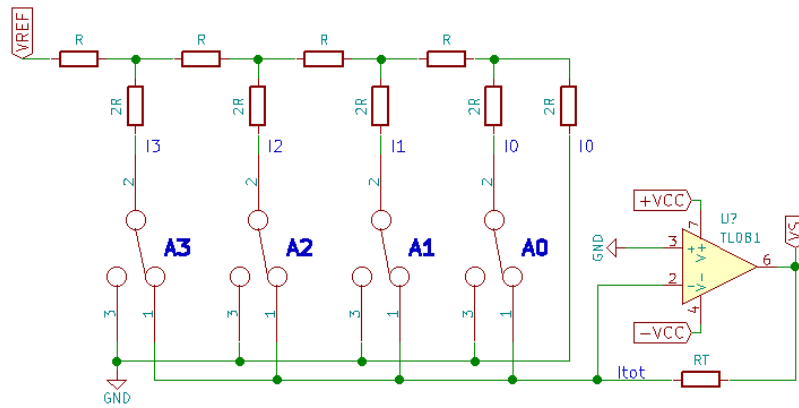
De la même façon que précédemment, on obtient  $I_2 = 2 \cdot I_1 = 2^2 \cdot I_0$ .

**Montage complet**

On s'intéresse à présent au montage suivant :

On supposera que lorsque  $A_i = 0$ , l'interrupteur  $i$  est en position 3 et que lorsque  $A_i = 1$ , l'interrupteur  $i$  est en position 1.





1. Quel est le type de montage autour de l'ALI ?

### Réponse

Il s'agit d'un montage transimpédance, qui permet de transformer  $I_{tot}$  en une tension  $V_S = -R_T \cdot I_{tot}$ .

2. En quoi la structure vue précédemment peut nous aider ?

### Réponse

On remarque que la structure est de type R-2R. En fonction de la position des  $A_i$ , le courant résultant des différentes branches va soit à la masse, soit dans le contre-réaction de l'ALI. Comme l'ALI est en mode linéaire, on a  $V_+ = V_-$  et  $V_+ = 0$ . Dans les deux cas, la masse est présente sur les interrupteurs  $A_i$ .

3. Que vaut alors le courant  $I_{tot}$  dans la contre-réaction de l'ALI en fonction des courants  $I_i$  ?

### Réponse

Si on calcule le courant au noeud en  $V_-$ , on a  $I_{tot} = A_0 \cdot I_0 + A_1 \cdot I_1 + A_2 \cdot I_2 + A_3 \cdot I_3$ .

De manière généralisée :  $I_{tot} = \sum_{k=0}^N A_k \cdot I_k$

4. Que vaut alors le courant  $I_{tot}$  dans la contre-réaction de l'ALI en fonction du courant  $I_0$  et des valeurs des  $A_i$  ?

### Réponse

D'après la section précédente, on a vu que  $I_1 = 2^1 \cdot I_0$ , que  $I_2 = 2^2 \cdot I_0$ ...

On a alors :

$$I_{tot} = I_0 \cdot \sum_{k=0}^N A_k \cdot 2^k$$