



UNIVERSIDADE ESTADUAL DE FEIRA DE SANTANA
DEPARTAMENTO DE TECNOLOGIA/ÁREA DE ELETRÔNICA E SISTEMAS
TEC499 – MI – SISTEMAS DIGITAIS

Problema #2 – Microarquitetura de Processadores

1 Tema

Projeto da Arquitetura de um Processador com Paralelismo em Nível de Instrução

2 Objetivos de Aprendizagem

Ao final da realização deste problema você deve ser capaz de:

- Projetar circuito utilizando Linguagem de Descrição de Hardware (Verilog);
- Implementar testes de unidade e de integração para módulos Verilog;
- Propor estruturas de otimização e solução de conflitos de dados e controle em um processador;
- Identificar características de operação e restrições em projetos de sistemas digitais;
- Analisar a implementação de circuitos sob o ponto de vista de dispositivos FPGA;
- Compreender a integração a nível de microarquitetura.

3 Contexto

Estruturas sequenciais de um sistema digital síncrono apresentam maior contribuição no que se refere a dissipação de energia dinâmica de um circuito integrado. Estudos recentes têm mostrado que, em tais sistemas, o *clock* é responsável pelo consumo de grande parte (entre 15% e 45%) da energia total do sistema. Por consequência, o circuito de potência pode ser reduzido consideravelmente se a atividade do *clock* é reduzida. Existem diferentes maneiras para controlar a atividade do *clock*, incluindo duas muito interessantes: a) a inibição do relógio de máquinas de estados nos estados com *self-loop*; e b) utilização de multiplicadores de frequência (OLIVEIRA et al., 2013).

4 Problema

A **Integrated IP LLC**. deu início à uma nova etapa no projeto de desenvolvimento de um microprocessador RISC, denominada fase de síntese. Nesta etapa, as especificações desenvolvidas na fase de análise e levantamento de requisitos estão resumidas na mensagem em anexo.

5 Produto

No prazo indicado no cronograma a seguir, cada equipe deverá apresentar:

1. A descrição do processador em Verilog, *test benches* e demais elementos utilizados para teste e validação do funcionamento do *core*;
2. Um relatório técnico contendo informações acerca das etapas de síntese lógica e física do processador, incluindo, mas não limitando-se a: (i) indicação do caminho crítico do circuito; (ii) área total ocupada pelo circuito em função dos elementos internos do dispositivo FPGA (LEs, LABs, FFs, Memória, DSPs, etc.); e (iii) uma análise da taxa de transferência (*throughput*) de dados que o seu circuito é capaz de atingir.

6 Cronograma

Turmas P01 e P02

Semana	Data	Descrição
07	27/04/2017 (qui)	Apresentação do Problema #2
08	01/05/2017 (seg)	Feriado – Dia do trabalho
	04/05/2017 (qui)	Sessão Tutorial #1
09	08/05/2017 (seg)	Lab2 – Síntese em Verilog e FSM (1)
	11/05/2017 (qui)	Sessão Tutorial #2
10	15/05/2017 (seg)	Lab2 – Síntese em Verilog e FSM (2)
	18/05/2017 (qui)	Micareta
11	22/05/2017 (seg)	Micareta
	25/05/2017 (qui)	Sessão Tutorial #3
12	29/05/2017 (seg)	Lab3 – Simulação e teste
	01/06/2017 (qui)	Sessão Tutorial #4
13	05/06/2017 (seg)	Lab4 – Gate Level Simulation
	08/06/2017 (qui)	Sessão Tutorial #5
14	12/06/2017 (seg)	Sessão Tutorial #6 (Acompanhamento)
	15/06/2017 (qui)	Feriado - Corpus Christi
15	19/06/2017 (seg)	Sessão Tutorial #7
	22/06/2017 (qui)	Entrega do Problema #2

Turmas P03 e P04

Semana	Data	Descrição
07	27/04/2017 (qui)	Apresentação do Problema #2
08	01/05/2017 (seg)	Feriado – Dia do trabalho
	04/05/2017 (qui)	Sessão Tutorial #1
09	08/05/2017 (seg)	Sessão Tutorial #2
	11/05/2017 (qui)	Lab2 – Síntese em Verilog e FSM (1)
10	15/05/2017 (seg)	Sessão Tutorial #3
	18/05/2017 (qui)	Micareta
11	22/05/2017 (seg)	Micareta
	25/05/2017 (qui)	Lab2 – Síntese em Verilog e FSM (2)
12	29/05/2017 (seg)	Sessão Tutorial #4
	01/06/2017 (qui)	Lab3 – Simulação e teste
13	05/06/2017 (seg)	Sessão Tutorial #5 (Acompanhamento)
	08/06/2017 (qui)	Lab4 – Gate Level Simulation
14	12/06/2017 (seg)	Sessão Tutorial #6
	15/06/2017 (qui)	Feriado - Corpus Christi
15	19/06/2017 (seg)	Sessão Tutorial #7
	22/06/2017 (qui)	Entrega do Problema #2

7 Avaliação

Para aferir o envolvimento do grupo nas discussões e na apresentação, o tutor poderá fazer perguntas sobre o funcionamento de qualquer componente, a qualquer aluno, tanto nas sessões tutoriais quanto na apresentação.

Formato da Avaliação

A nota final será a composição de 3 (três) notas parciais:

Desempenho Individual	nota de participação individual nas sessões tutoriais, de acordo com o interesse e entendimento demonstrados pelo aluno, assim como sua assiduidade, pontualidade e contribuição nas discussões; Peso: 4,0 pontos.
Documentação	nota atribuída à cada grupo, referente ao relatório técnico; Peso: 3,0 pontos
Processador	nota atribuída à cada grupo, oriunda da análise da implementação em Verilog do processador, incluindo sua descrição funcional e estruturas de teste/validação; Peso: 3,0 pontos.

8 Orientações

Geral

O atendimento ao que está sendo solicitado somente será possível com a organização do grupo, visitas aos laboratórios e trabalho de pesquisa, em fontes confiáveis, fora do horário das reuniões tutoriais. As reuniões tutoriais deverão ser usadas para análise, explanações sobre o que foi estudado, levantamento de hipóteses e para tomadas de decisão. É recomendado ainda que todos os membros do grupo tutorial mantenham-se atualizados quanto à possíveis alterações no cronograma, ou nos requisitos do problema por meio de acesso ao sítio do módulo, acessível em: <http://sites.ecomp.uefs.br/tec499>.

Nós encorajamos fortemente que os grupos trabalhem juntos, no sentido da troca ideias acerca das suas propostas de solução. A melhor forma de desenvolver novas habilidades é comparar hipóteses e discutir aspectos de projeto com seus colegas e professores (inclusive com o seu tutor). Todavia, sob nenhuma circunstância, compartilhe seu código-fonte.

Documentação Técnica

A documentação deve seguir o modelo adotado na disciplina, baseado no ipPROCESS e apresentar (não exclusivamente) os seguintes elementos:

- Uma introdução contendo uma descrição geral do propósito do documento e como ele está organizado, além de uma lista de possíveis acrônimos e abreviações utilizadas ao longo do mesmo;
- Uma visão geral da arquitetura do processador, de forma textual, usando elementos gráficos (ou melhor, ambos), incluindo ainda as principais características e requisitos funcionais e não funcionais;
- Descrição completa e detalhada da arquitetura do conjunto de instruções do processador;

9 Recursos

Visite a página da disciplina para ter acesso ao acervo de documentos e modelos de documentação indicados para uso no decorrer do semestre.

Referências

BROWN, S. D.; VRANESIC, Z. G. *Fundamentals of Digital Logic with Verilog Design*. 2nd. ed. [S.l.]: McGraw-Hill Higher Education, 2008.

HARRIS, D. M.; HARRIS, S. L. *Digital Design and Computer Architecture*. 2. ed. USA: Elsevier, 2013. ISBN 9780123944245.

KILTS, S. *Advanced FPGA Design: Architecture, Implementation, and Optimization*. [S.l.]: John Wiley & Sons, 2007.

OLIVEIRA, D. L. et al. Design of synchronous pipeline digital systems operating in double-edge of the clock. In: *Circuits and Systems (LASCAS), 2013 IEEE Fourth Latin American Symposium on*. [S.l.: s.n.], 2013. p. 1–4.

PATTERSON, D. A.; HENNESSY, J. L. *Arquitetura de Computadores*. 3. ed. Brasil: Editora Elsevier, 2014. 709 p. Impresso. ISBN 9788535235852.

SPEAR, C. *System Verilog for Verification : A Guide to Learning the Testbench Language Features*. 2nd. ed. [S.l.]: Springer, 2008.

WEBER, R. F. *Fundamentos de Arquitetura de Computadores*. 3. ed. Brasil: Editora Sagra Luzzatto, 2004. 306 p. Impresso. ISBN 8524106352.

CI - Solicitação de Síntese de Projeto

From: Teseu Hunter <teseu@integratedip.ic.com> Thurs, Abr 27, 2017 at 1:14 AM

To: "Development Team<devteam@integratedip.ic.com>

Prezados,

A nossa empresa foi contratada para o desenvolvimento de um microprocessador de propósito geral com arquitetura MIPS32. O cliente ainda não forneceu muitos detalhes, mas supomos que este processador será utilizado no desenvolvimento de um SoC voltado para a indústria de energia. Nos cabe agora a responsabilidade de projetar o **core** de processamento de instruções. Imagina-se que eles esperam que este processador seja capaz de interfacear com algum mecanismo de entrada/saída.

Outras exigências foram a execução paralela, considerando que 5 instruções sejam executadas simultaneamente a cada ciclo de *clock*, tirando o máximo proveito dos recursos de *hardware*. Além disso, devemos considerar que a memória e o processador devem estar conectados por meio de um barramento de interconexão.

Por fim, a síntese do circuito deve ter como tecnologia alvo o dispositivo FPGA Cyclone IV EP4CE30, dotado de 28.848 LEs, 594 Kbits de memória, 4 PLLs e 532 pinos de E/S. No sentido de viabilizar um protótipo funcional do sistema o quão breve, o cliente aceitou também receber uma versão prévia do processador contendo apenas a implementação das instruções presentes nos programas de teste desenvolvidos para o processador NIOS II.

Um resumo do conjunto de instruções pode ser consultado em: <https://www.cs.duke.edu/courses/fall13/compsci250/MIPS32_QRC.pdf>

Teseu Hunter

ASIC Development Manager

Integrated IP LLC