

# ELEN0040 – REPETITION 3

---

*Analyse de circuits  
combinatoires*

# Analyse

Point de départ : schéma/circuit logique

- **Exprimer** les fonctions logiques des  $\neq$  portes et composants logiques
- **Simplifier** les fonctions logiques représentant le **circuit global** (variables de sortie)
- Déterminer **la table de vérité** du circuit
- (( Vérifier l'optimalité des fonctions par **Karnaugh** ))

# Rappel: portes logiques

**NOT**  $x \rightarrow \neg x$

**AND**  $x, y \rightarrow x \cdot y$

**OR**  $x, y \rightarrow x + y$

**XOR**  $x, y \rightarrow x \oplus y$   
 $= \bar{x}y + x\bar{y}$

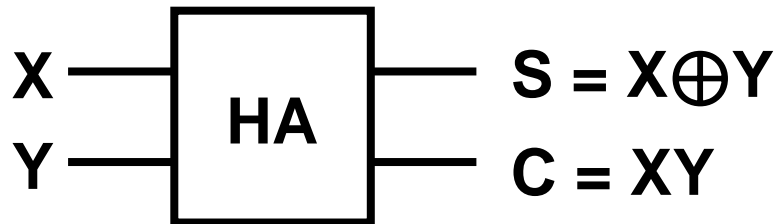
**NAND**  $x, y \rightarrow \overline{x \cdot y}$

**NOR**  $x, y \rightarrow \overline{x + y}$

**NXOR**  $x, y \rightarrow \overline{x \oplus y}$   
 $= xy + \bar{x}\bar{y}$

# Composants logiques

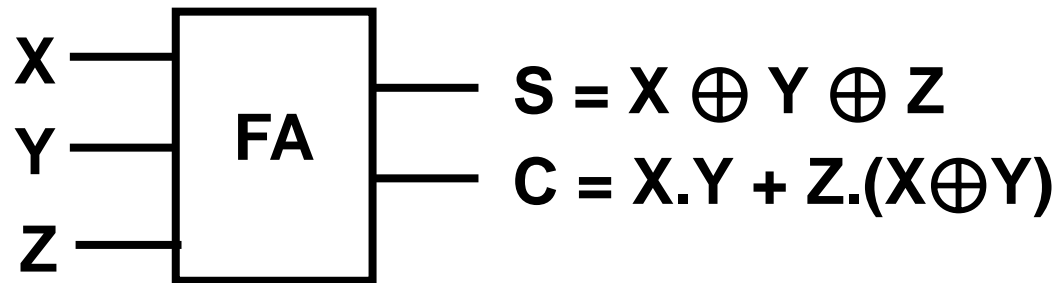
**Half adder** = additionneur 2 bits



X	Y	S	C
0	0	0	0
0	1	1	0
1	0	1	0
1	1	0	1

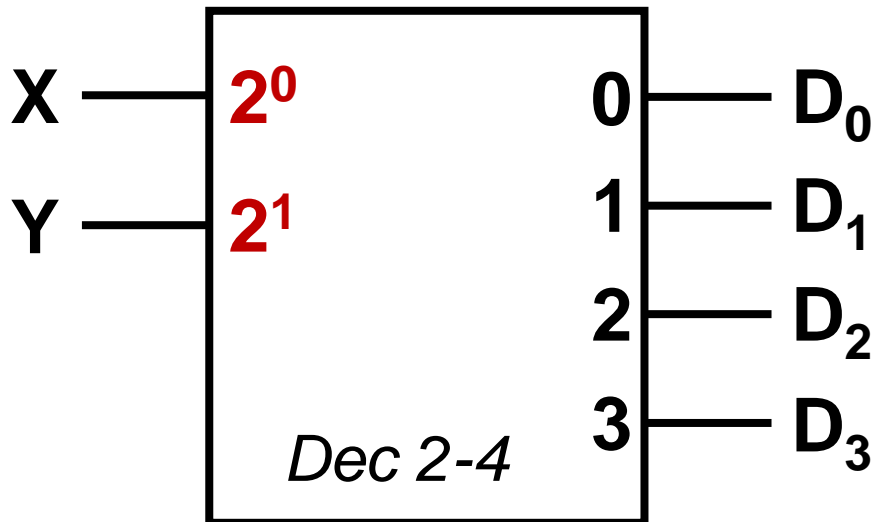
# Composants logiques

**Full adder** = additionneur 3 bits



# Composants logiques

**Décodeur** = *générateur de minterms*



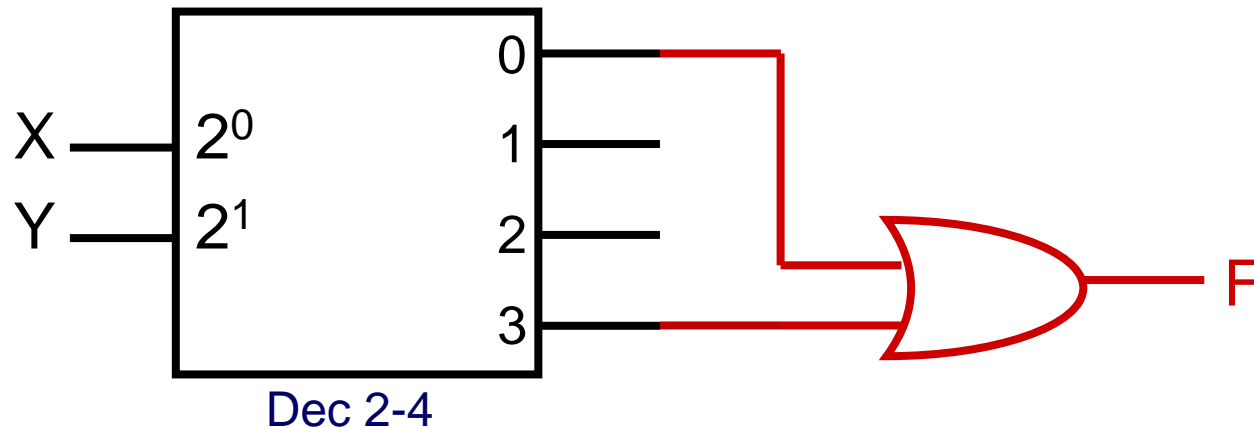
Y	X	$D_0$	$D_1$	$D_2$	$D_3$
0	0	1	0	0	0
0	1	0	1	0	0
1	0	0	0	1	0
1	1	0	0	0	1

Below the table, four red arrows point down to the minterm expressions:

$\bar{X}\bar{Y}$	$X\bar{Y}$	$\bar{X}Y$	$XY$
------------------	------------	------------	------

# Composants logiques

**Exemple** :  $F(X,Y) = \bar{X} \bar{Y} + X Y = \Sigma m(0,3)$



**Décodeur + portes OR**



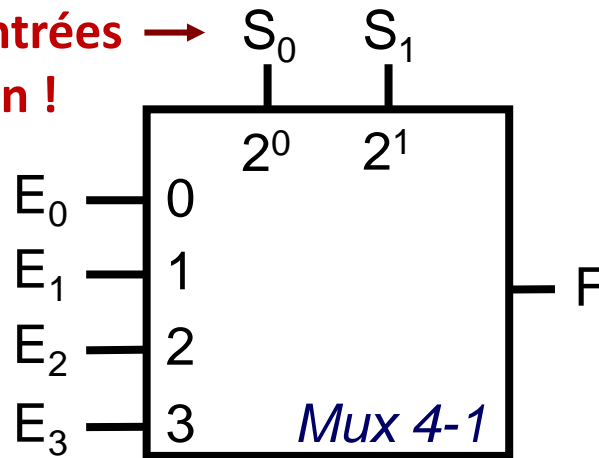
*Implémentation de  
n'importe quelle fonction*

# Composants logiques

**Multiplexeur** = sélectionneur d'entrée

$2^n$  entrées, **n** sélections  $\rightarrow$  **1** sortie

! Ordre des entrées  
de sélection !  $\rightarrow$



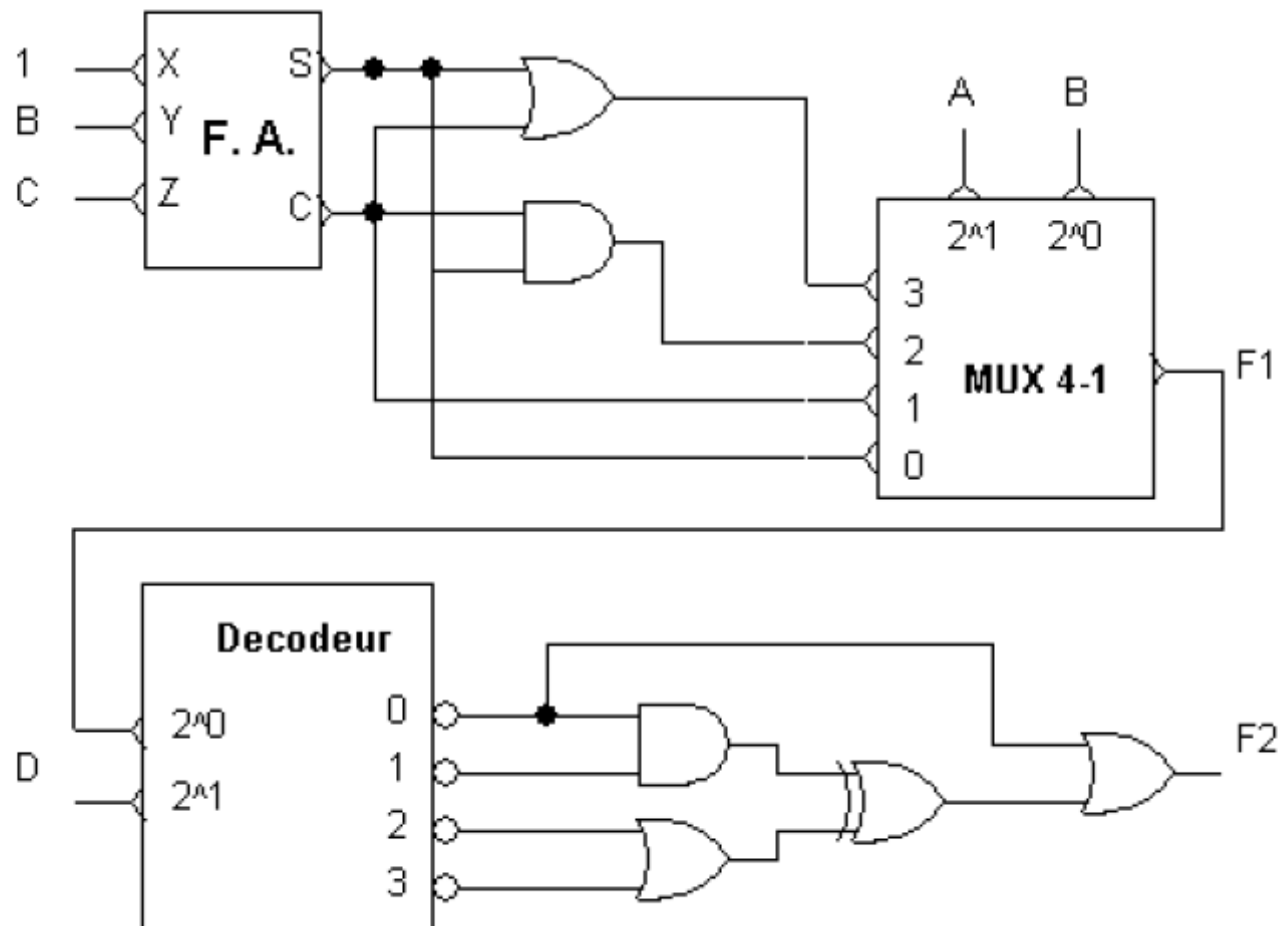
$S_1$	$S_0$	$F$
0	0	$E_0$
0	1	$E_1$
1	0	$E_2$
1	1	$E_3$

$$F = \overline{S_1} \overline{S_0} E_0 + \overline{S_1} S_0 E_1 + S_1 \overline{S_0} E_2 + S_1 S_0 E_3$$



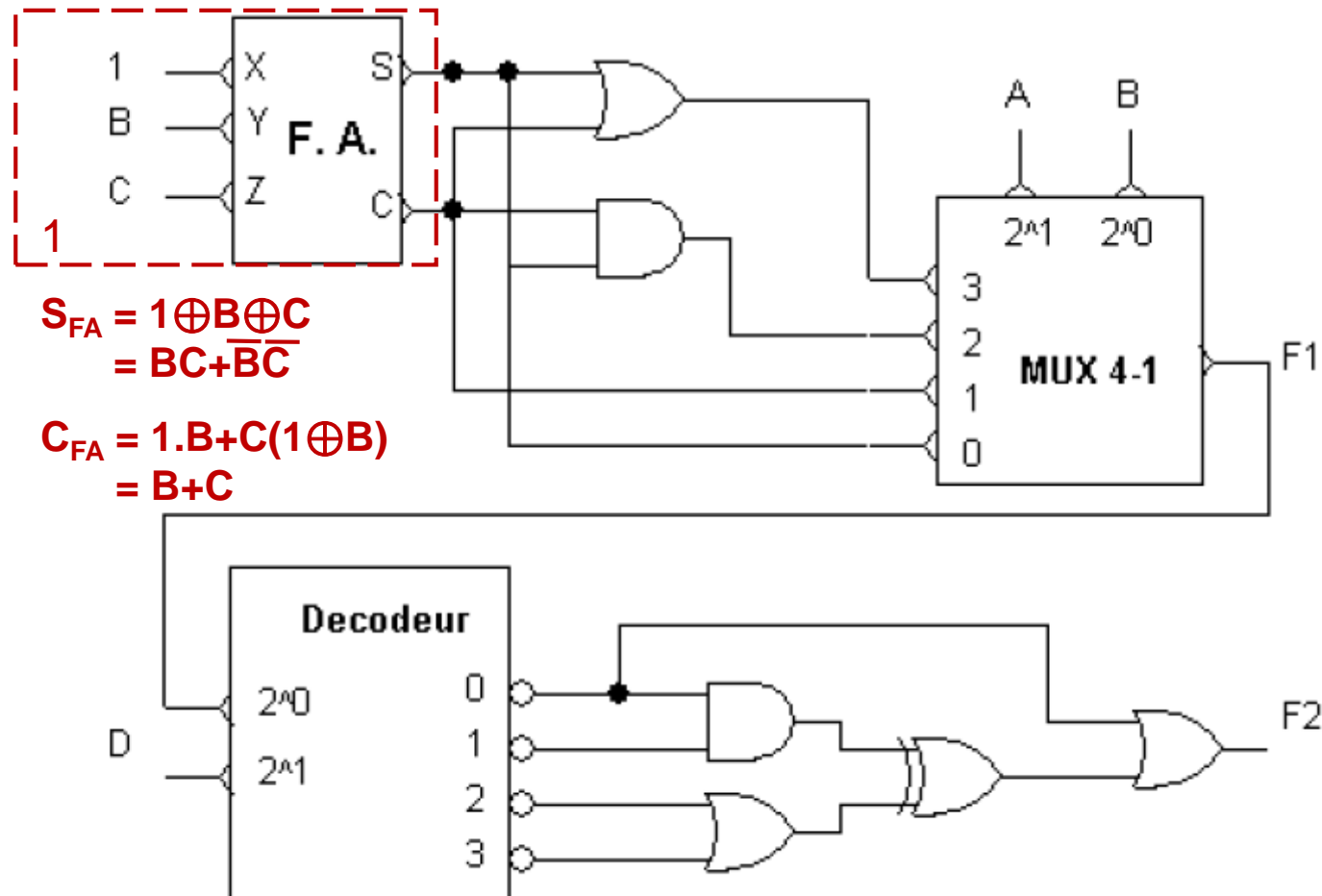
## Ex. 34 - Analyse

**Analyser** le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) **à l'aide** d'un nombre minimum de **portes NAND**. Les entrées complémentées sont disponibles.



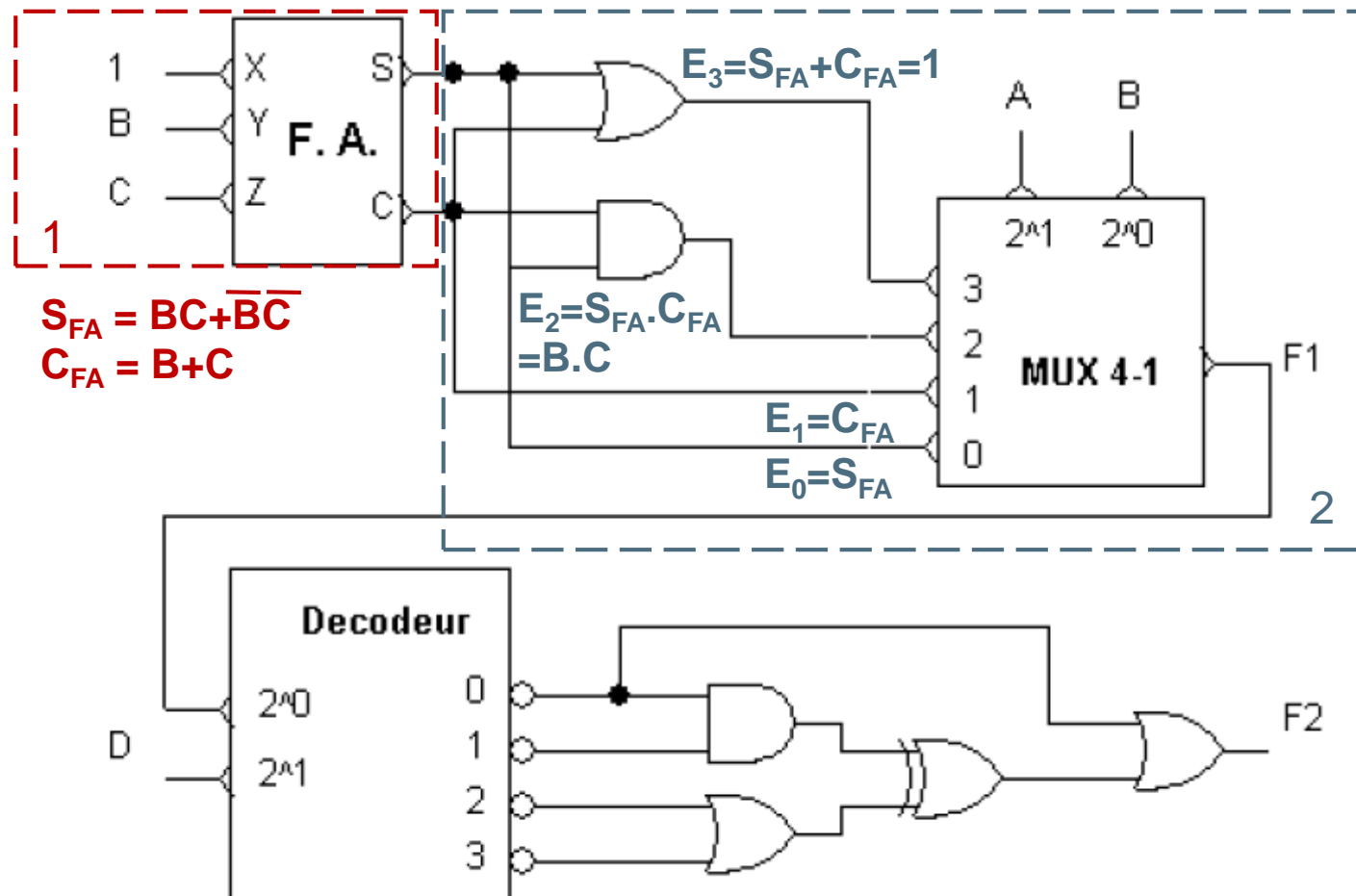
## Ex. 34 - Analyse

Analyser le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) à l'aide d'un nombre minimum de portes **NAND**. Les entrées complémentées sont disponibles.



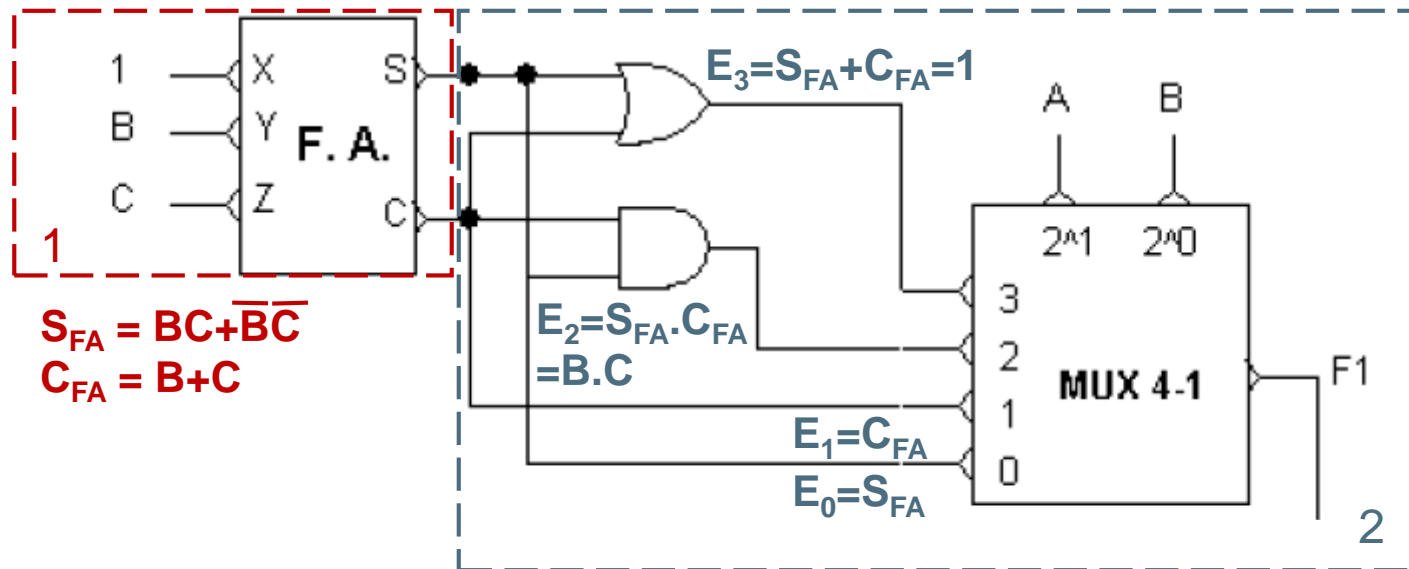
## Ex. 34 - Analyse

Analyser le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) à l'aide d'un nombre minimum de portes **NAND**. Les entrées complémentées sont disponibles.



## Ex. 34 - Analyse

Analyser le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) à l'aide d'un nombre minimum de portes **NAND**. Les entrées complémentées sont disponibles.



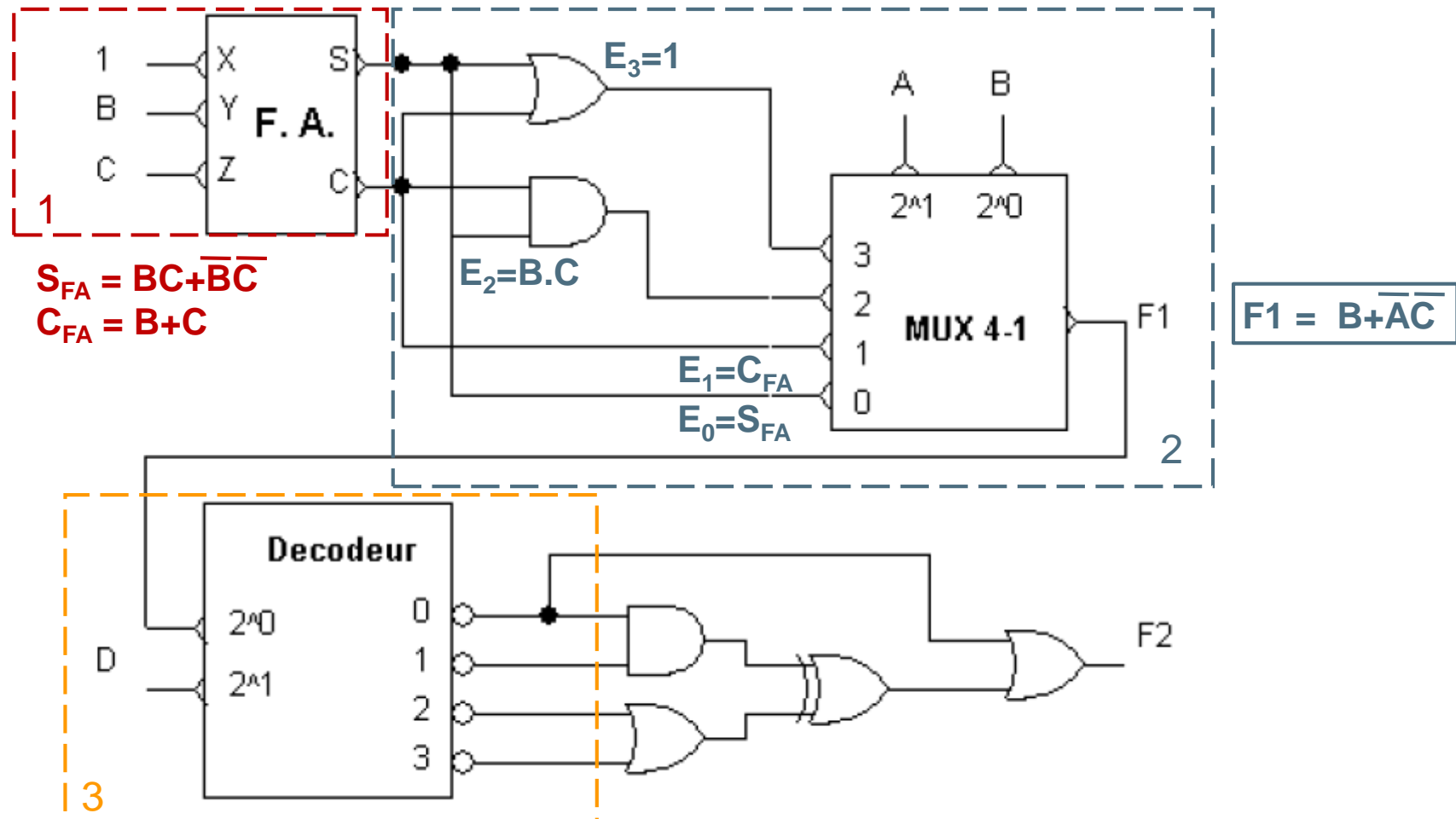
$$F1 = \overline{S}_1 \overline{S}_0 E_0 + \overline{S}_1 S_0 E_1 + S_1 \overline{S}_0 E_2 + S_1 S_0 E_3$$

$$= \overline{A}\overline{B}(BC + \overline{B}\overline{C}) + \overline{A}B(B + C) + A\overline{B}(B.C) + AB.1$$

$$= B + \overline{A}\overline{C}$$

## Ex. 34 - Analyse

Analyser le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) à l'aide d'un nombre minimum de portes **NAND**. Les entrées complémentées sont disponibles.



## Ex. 34 - Analyse

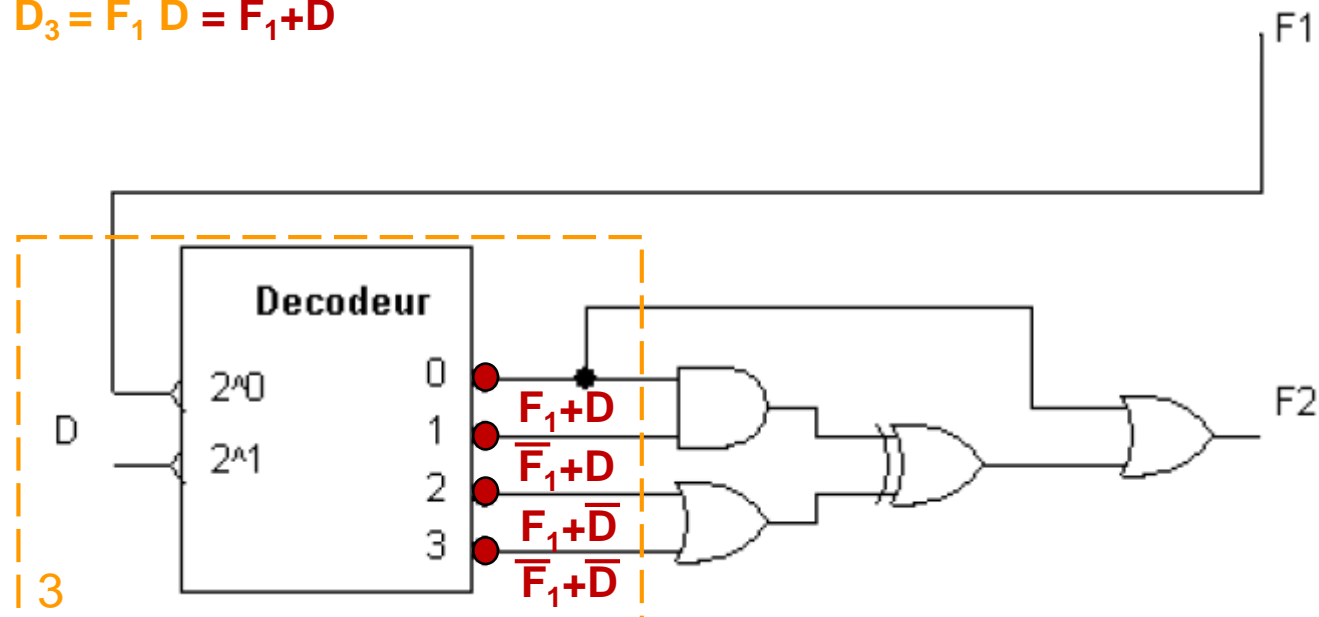
Analyser le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) à l'aide d'un nombre minimum de portes **NAND**. Les entrées complémentées sont disponibles.

$$\overline{D_0} = \overline{F_1 D} = F_1 + D$$

$$\overline{D_1} = \overline{F_1 \overline{D}} = \overline{F_1} + D$$

$$\overline{D_2} = \overline{\overline{F_1} D} = F_1 + \overline{D}$$

$$\overline{D_3} = \overline{\overline{F_1} \overline{D}} = \overline{F_1} + \overline{D}$$



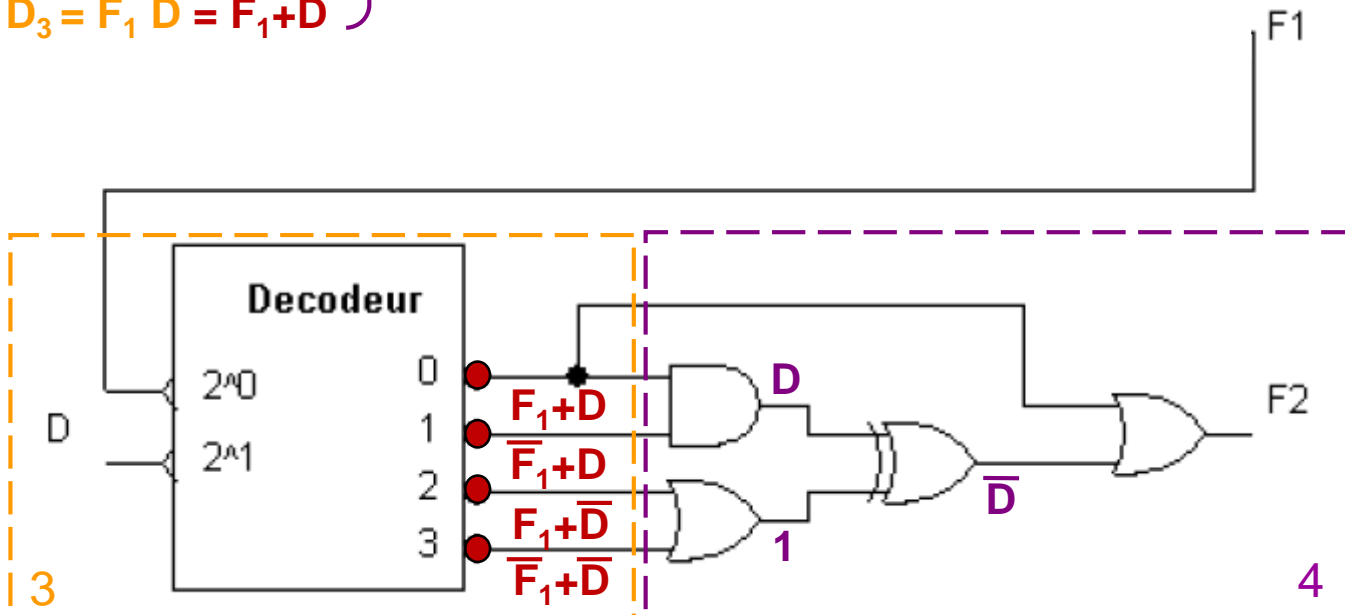
$$F1 = B + \overline{A} \overline{C}$$

## Ex. 34 - Analyse

**Analyser** le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) **à l'aide** d'un nombre minimum de **portes NAND**. Les entrées complémentées sont disponibles.

$$\left. \begin{array}{l} \overline{D_0} = \overline{\overline{F_1} \overline{D}} = F_1 + D \\ \overline{D_1} = \overline{F_1 \overline{D}} = \overline{F_1} + D \\ \overline{D_2} = \overline{\overline{F_1} D} = F_1 + \overline{D} \\ \overline{D_3} = \overline{\overline{F_1} \overline{D}} = \overline{F_1} + \overline{D} \end{array} \right\} \begin{array}{l} (F_1 + D) \cdot (\overline{F_1} + D) = D \\ (F_1 + \overline{D}) + (\overline{F_1} + \overline{D}) = 1 \end{array} \right\} D \oplus 1 = \overline{D}$$

$$F1 = B + \overline{A}\overline{C}$$



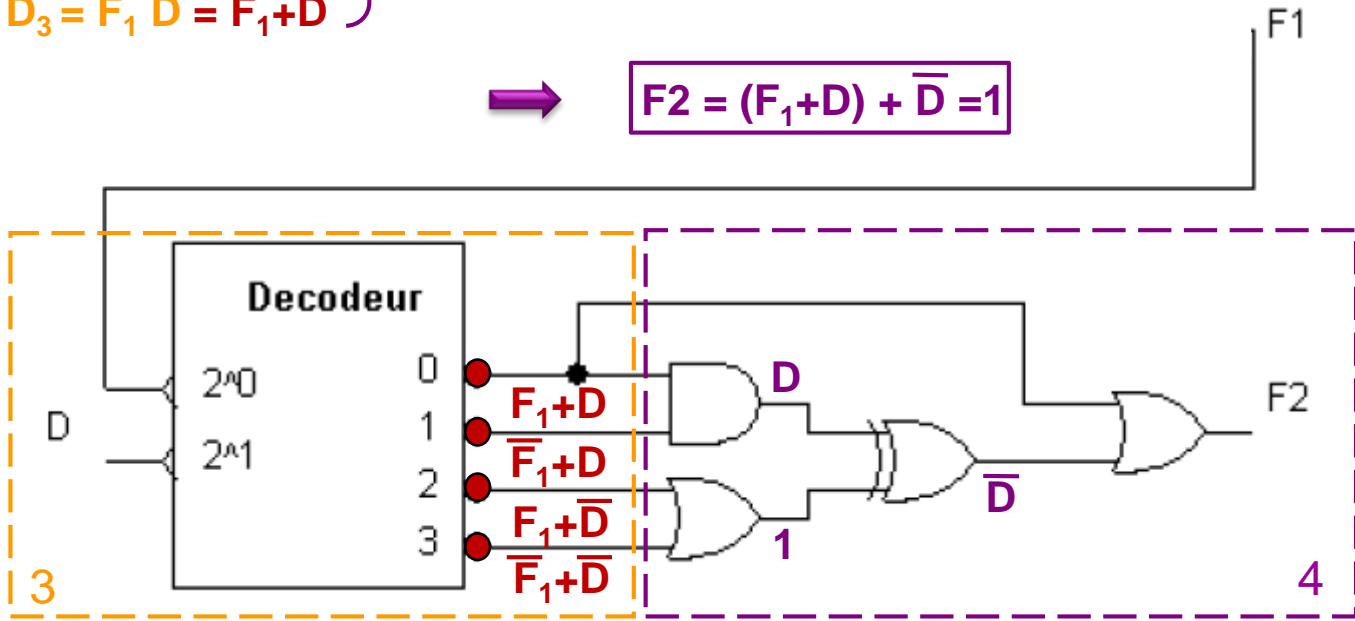
## Ex. 34 - Analyse

Analyser le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) à l'aide d'un nombre minimum de portes **NAND**. Les entrées complémentées sont disponibles.

$$\begin{aligned}
 \overline{D_0} &= \overline{F_1 D} = F_1 + D \\
 \overline{D_1} &= \overline{F_1 \overline{D}} = \overline{F_1} + D \\
 \overline{D_2} &= \overline{F_1 D} = F_1 + \overline{D} \\
 \overline{D_3} &= \overline{F_1 \overline{D}} = \overline{F_1} + \overline{D}
 \end{aligned}
 \left. \begin{aligned}
 &\left. \begin{aligned}
 &\left. \begin{aligned}
 &\overline{D_0} = F_1 + D \\
 &\overline{D_1} = \overline{F_1} + D
 \end{aligned}
 \right\} (F_1 + D) \cdot (\overline{F_1} + D) = D \\
 &\overline{D_2} = F_1 + \overline{D} \\
 &\overline{D_3} = \overline{F_1} + \overline{D}
 \end{aligned}
 \right\} (F_1 + \overline{D}) + (\overline{F_1} + \overline{D}) = 1
 \end{aligned}
 \right\} D \oplus 1 = \overline{D}
 \end{aligned}$$

$$\Rightarrow F_2 = (F_1 + D) + \overline{D} = 1$$

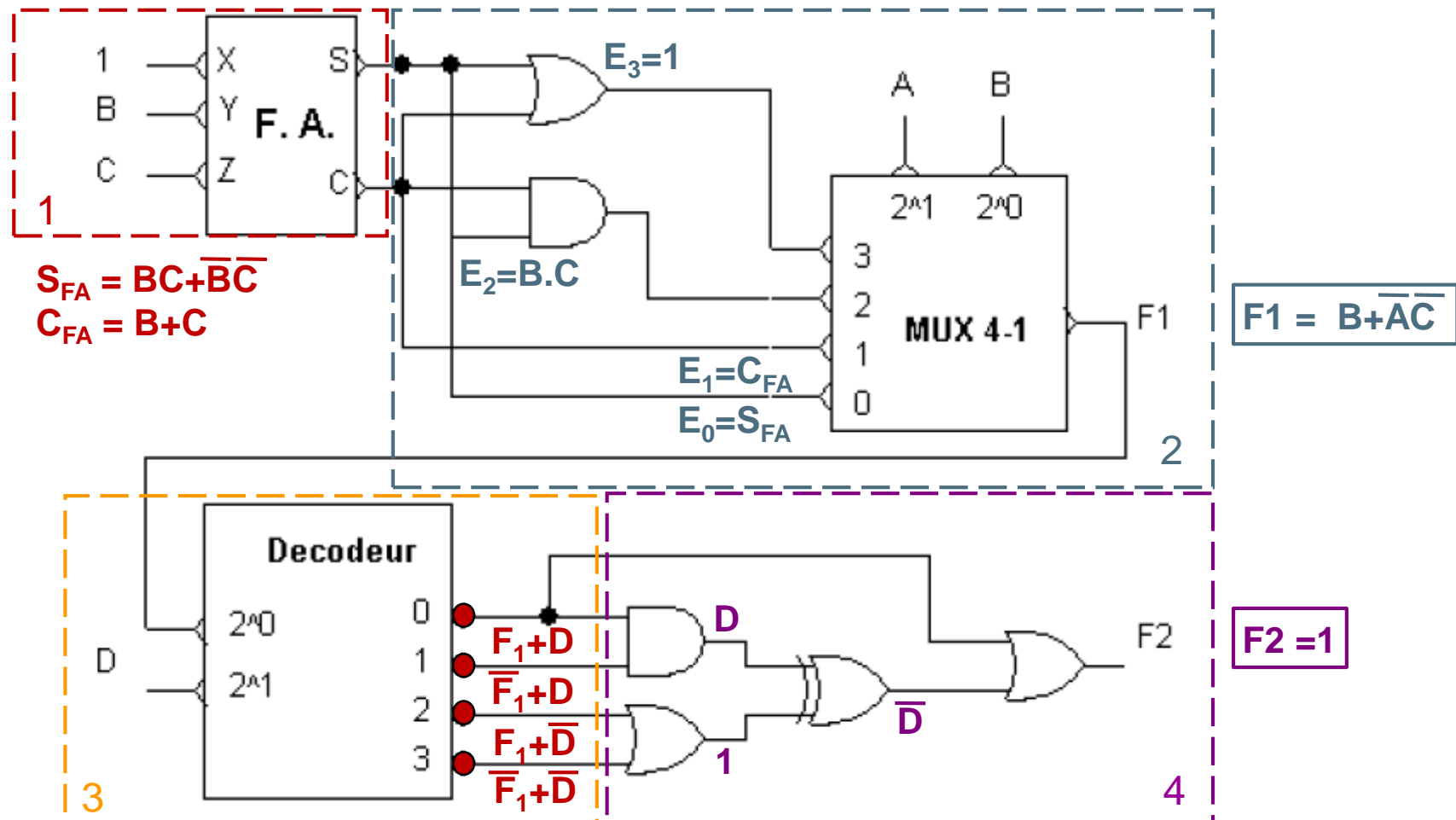
$$F_1 = B + \overline{A}\overline{C}$$





# Ex. 34 - Analyse

Analyser le circuit suivant, donner la **table de vérité des sorties** et les **implémenter de manière optimale** (méthode de simplification au choix) à l'aide d'un nombre minimum de **portes NAND**. Les entrées complémentées sont disponibles.



## Table de vérité de $F_1$ et $F_2$

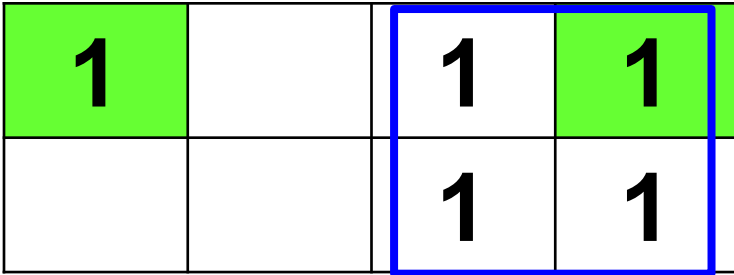
A	B	C	$F_1$	$F_2$	$m_i$
0	0	0	1	1	0
0	0	1	0	1	1
0	1	0	1	1	2
0	1	1	1	1	3
1	0	0	0	1	4
1	0	1	0	1	5
1	1	0	1	1	6
1	1	1	1	1	7

$$F_1 = B + \bar{A}\bar{C}$$

$$F_2 = 1$$

# Simplification de $F_1$ par Karnaugh

$$F_1(A, B, C) = \sum m(0, 2, 3, 6, 7)$$

		B		
				
A {				
		C		



$$F_1 = B + \bar{A}\bar{C}$$

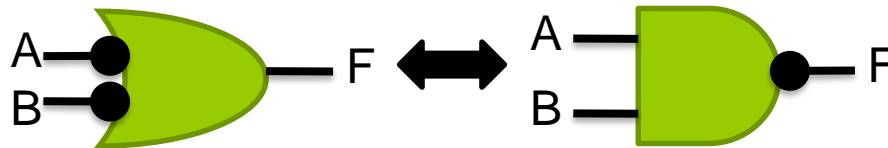
OK!

# Rappel:

## Implémentation à l'aide de NAND / NOR

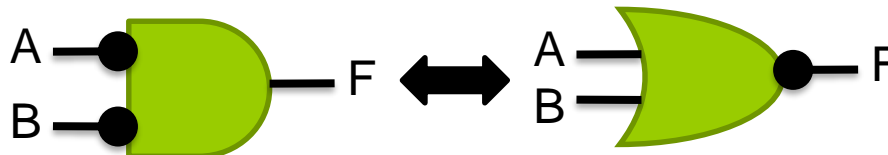
### ■ NAND :

Karnaugh( $F$ )  $\rightarrow F = \Sigma(\Pi) \rightarrow \text{De Morgan}(\overline{\overline{F}})$



### ■ NOR :

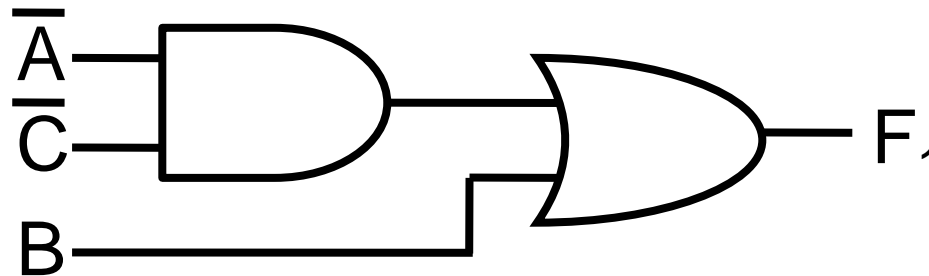
Karnaugh( $\overline{\overline{F}}$ ) + DM  $\rightarrow F = \Pi(\Sigma) \rightarrow \text{DM}(\overline{\overline{F}})$



# Implémentation de F1 à l'aide de NAND

$$F_1 = B + \overline{A}\overline{C}$$

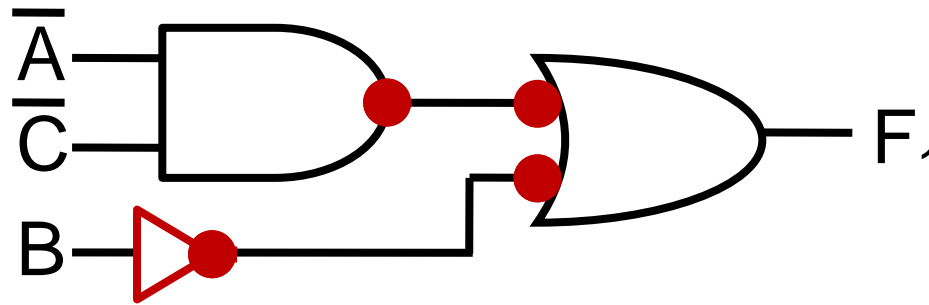
Portes NAND → Somme de produits



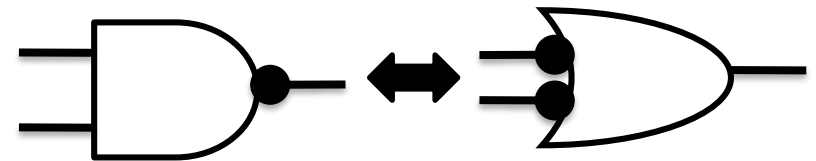
# Implémentation de F1 à l'aide de NAND

$$F_1 = B + \overline{A}\overline{C}$$

Portes NAND → Somme de produits



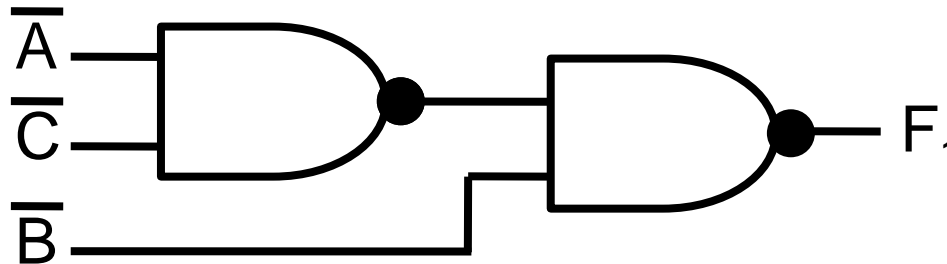
Rappel



# Implémentation de F1 à l'aide de NAND

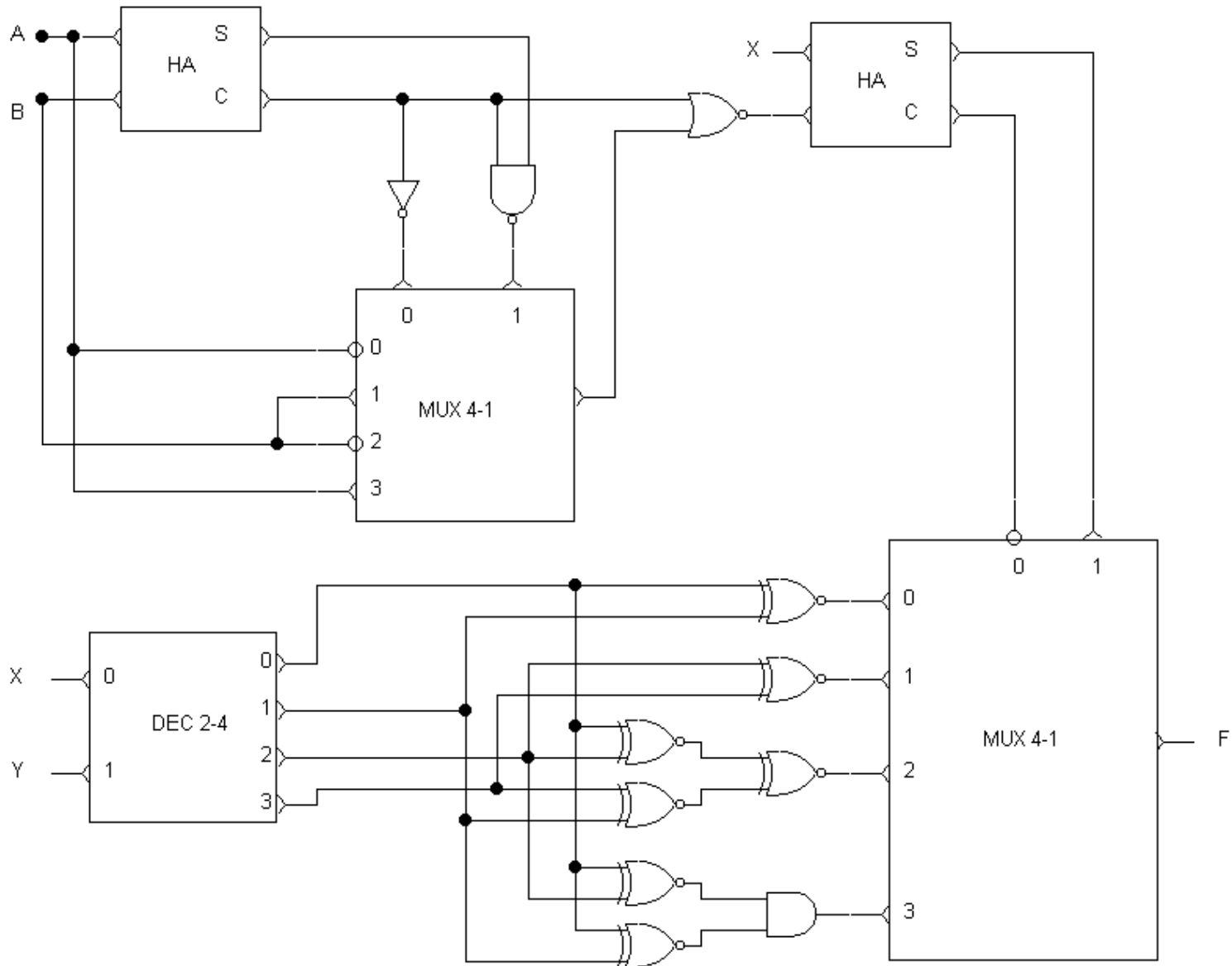
$$F_1 = B + \overline{A}\overline{C}$$

Portes NAND → Somme de produits



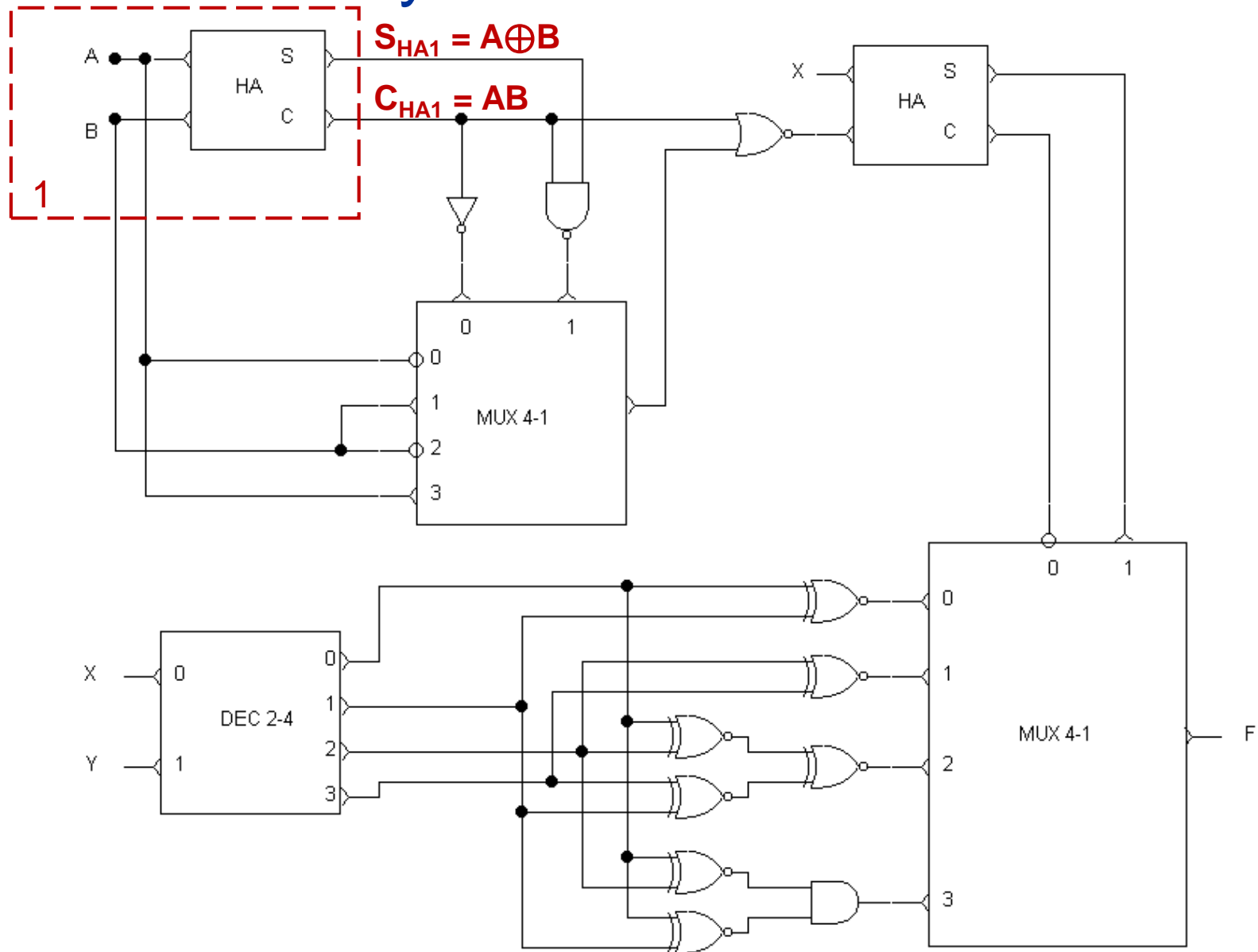
$$F_1 = \overline{\overline{B} \cdot (\overline{\overline{A}\overline{C}})}$$

## Ex. 35 - Analyse

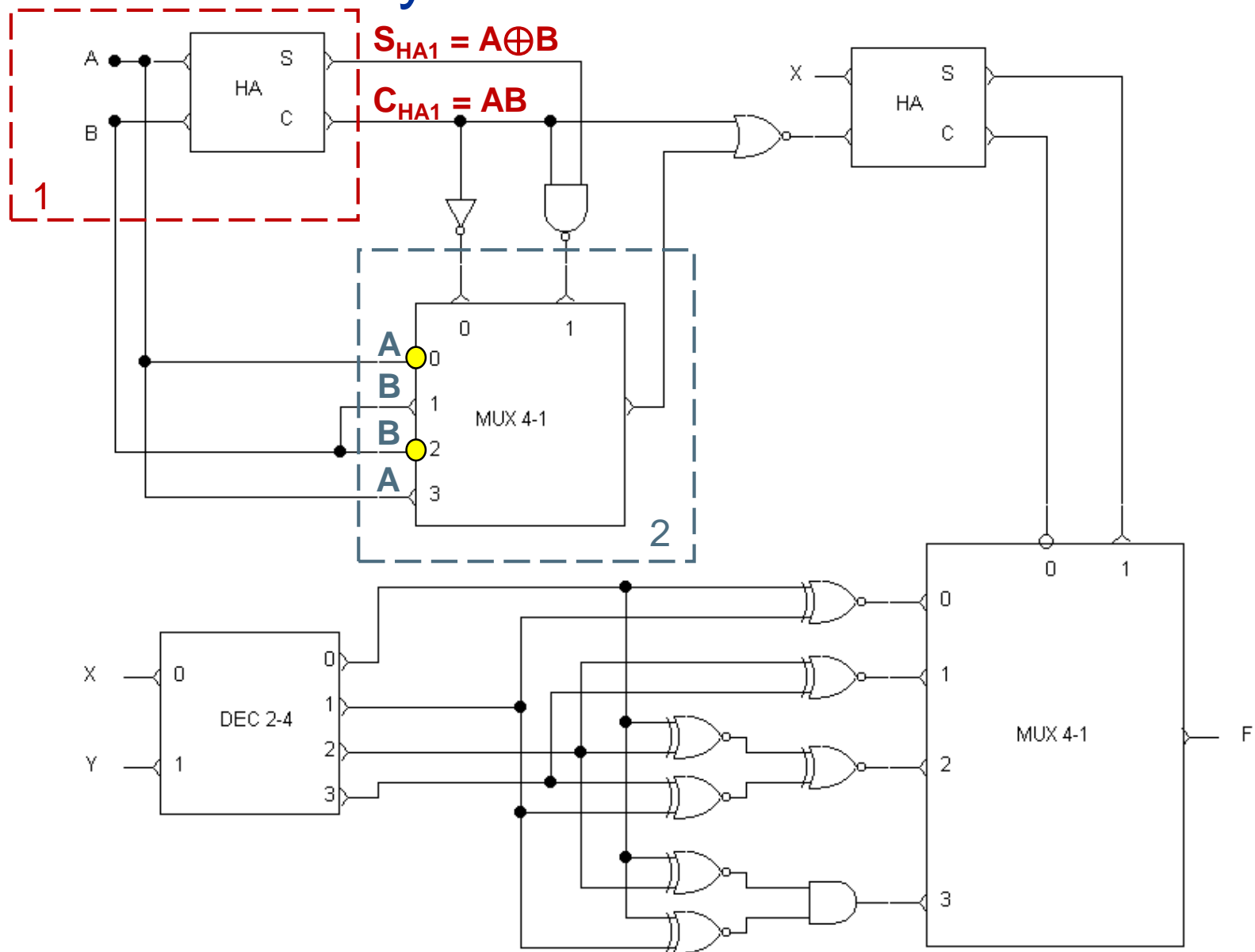




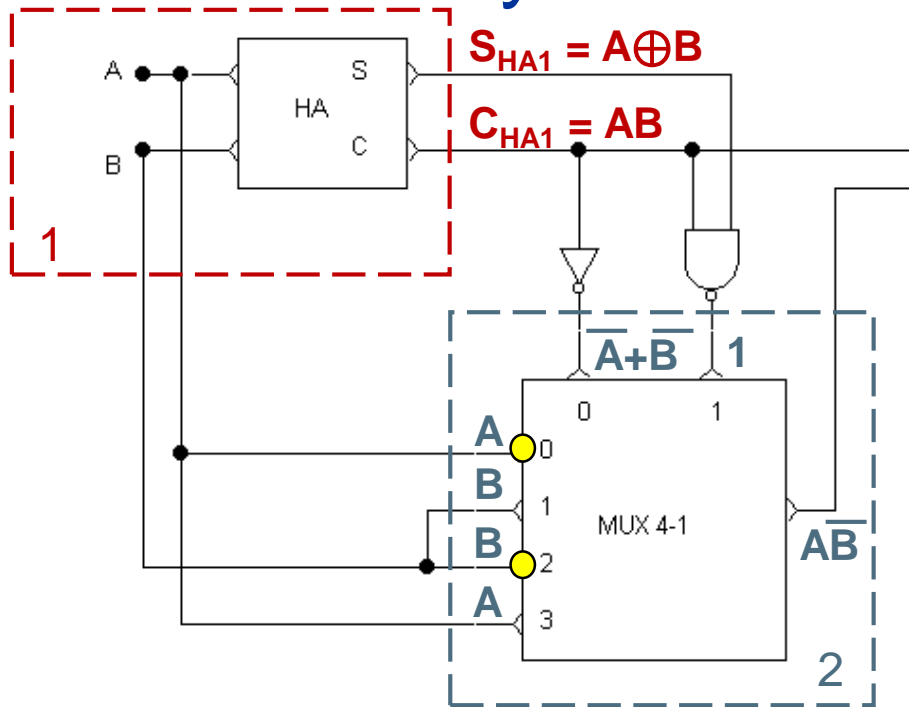
## Ex. 35 - Analyse



# Ex. 35 - Analyse



## Ex. 35 - Analyse



$$S_0 = \overline{C}_{HA1} = \overline{A+B}$$

$$S_1 = \overline{S}_{HA1} C_{HA1} = 1$$

$$\overline{S}_1 \overline{S}_0 = 0 \rightarrow E_0 \text{ inutile}$$

$$\overline{S}_1 S_0 = 0 \rightarrow E_1 \text{ inutile}$$

$$S_1 \overline{S}_0 = A.B \rightarrow E_2 = \overline{B}$$

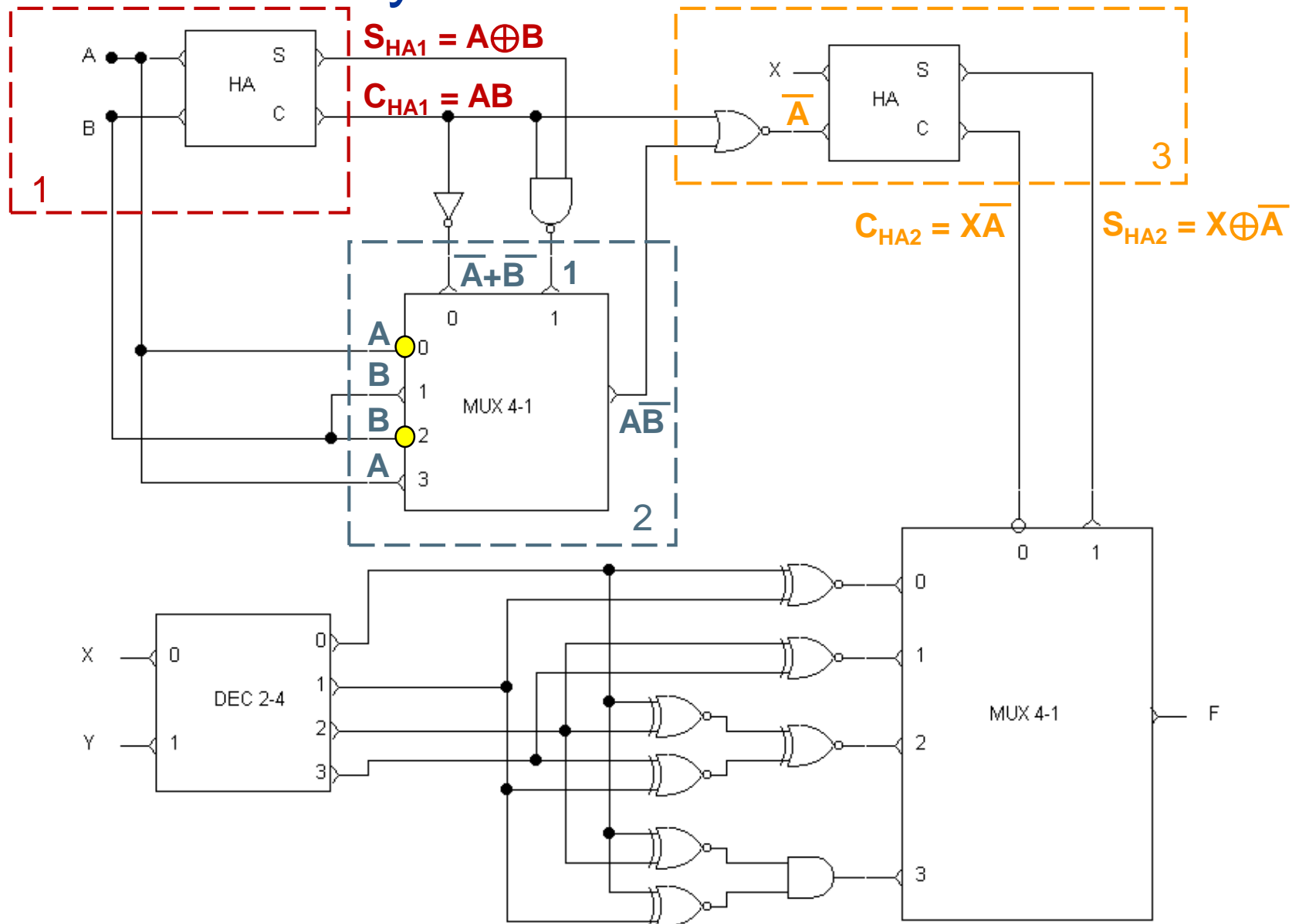
$$S_1 S_0 = \overline{A+B} \rightarrow E_3 = A$$

$$F_{MUX1} = \overline{\overline{S}_1 \overline{S}_0} E_0 + \overline{\overline{S}_1 S_0} E_1 + S_1 \overline{S}_0 E_2 + S_1 S_0 E_3$$

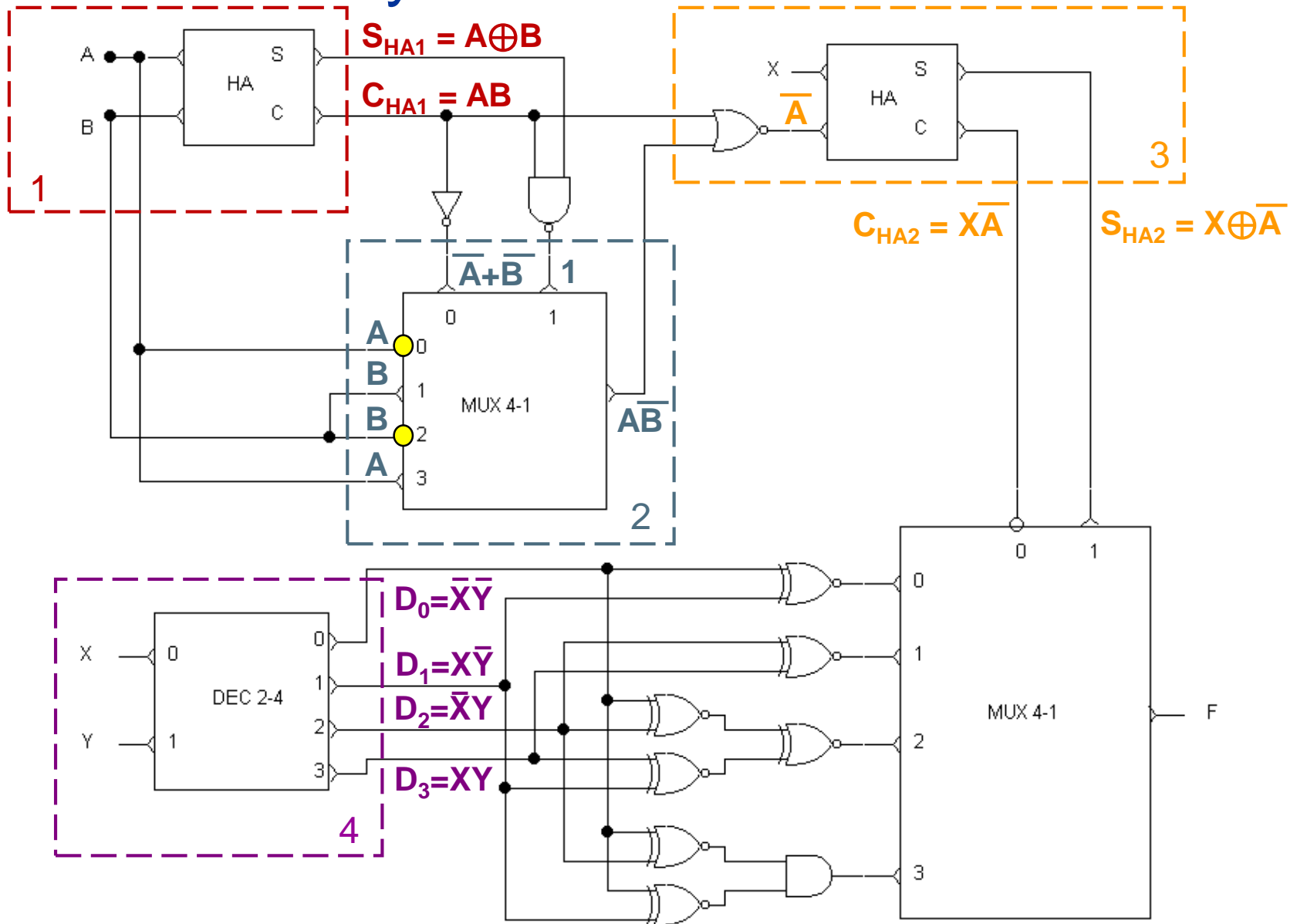
$$= AB \overline{B} + (\overline{A+B}) A$$

$$= A \overline{B}$$

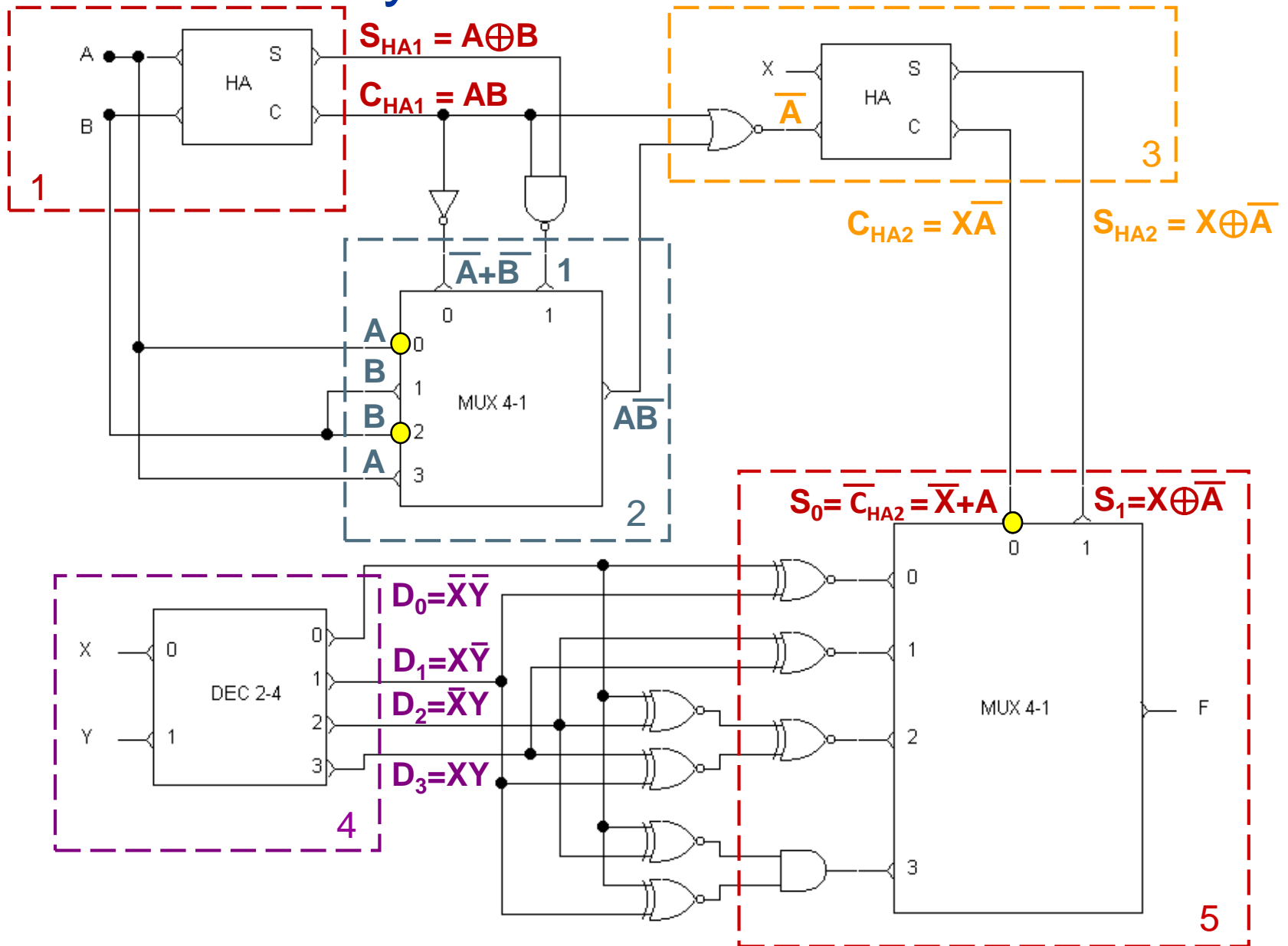
# Ex. 35 - Analyse



# Ex. 35 - Analyse



# Ex. 35 - Analyse



# Ex. 35 - Analyse

$$\overline{S_1} \overline{S_0} = X\overline{A}$$

$$E_0 = \overline{D_0 \oplus D_1} = Y$$

$$\overline{S_1} S_0 = \overline{X}A$$

$$E_1 = \overline{D_2 \oplus D_3} = \overline{Y}$$

$$S_1 \overline{S_0} = 0$$

$E_2$  inutile

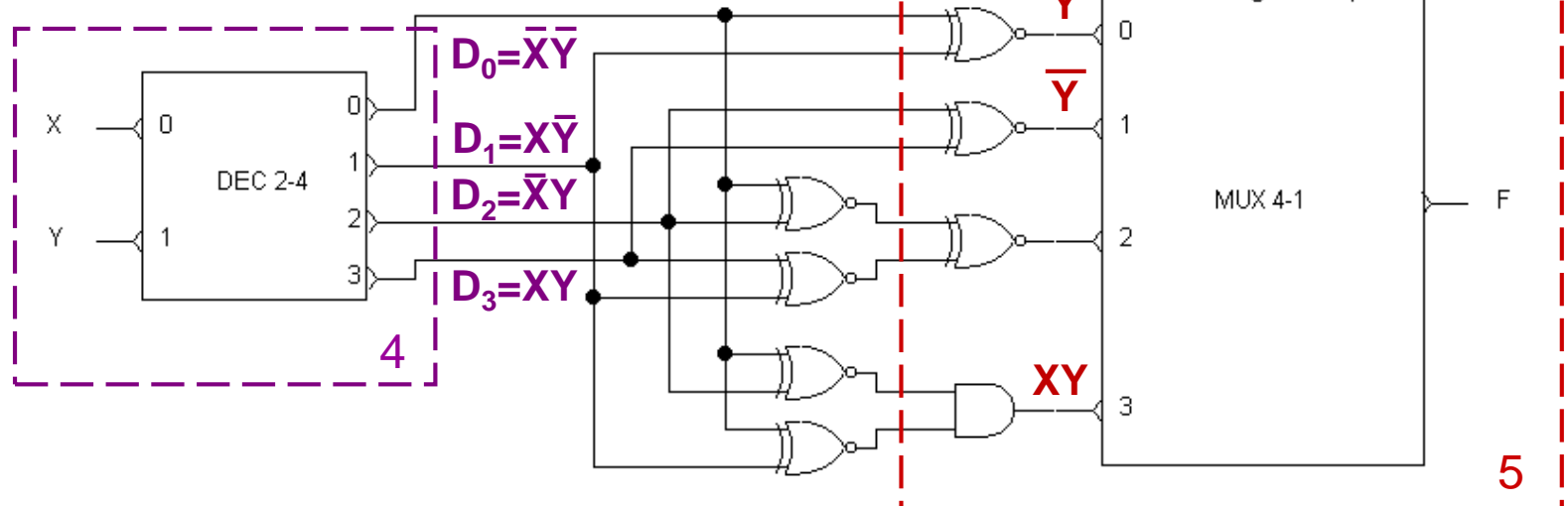
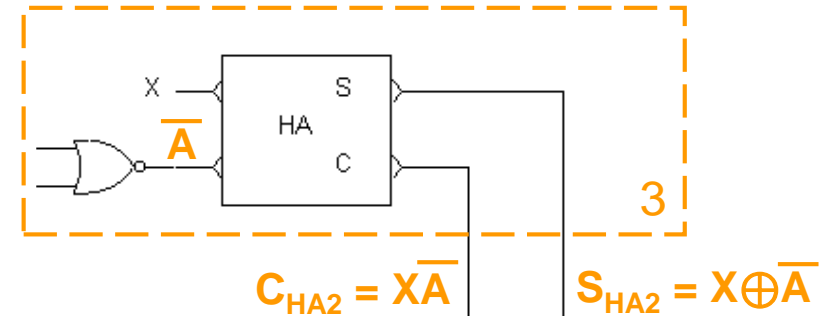
$$S_1 S_0 = XA + \overline{X}\overline{A} \quad E_3 = \overline{(D_0 \oplus D_2)} \cdot \overline{(D_0 \oplus D_1)} = XY$$



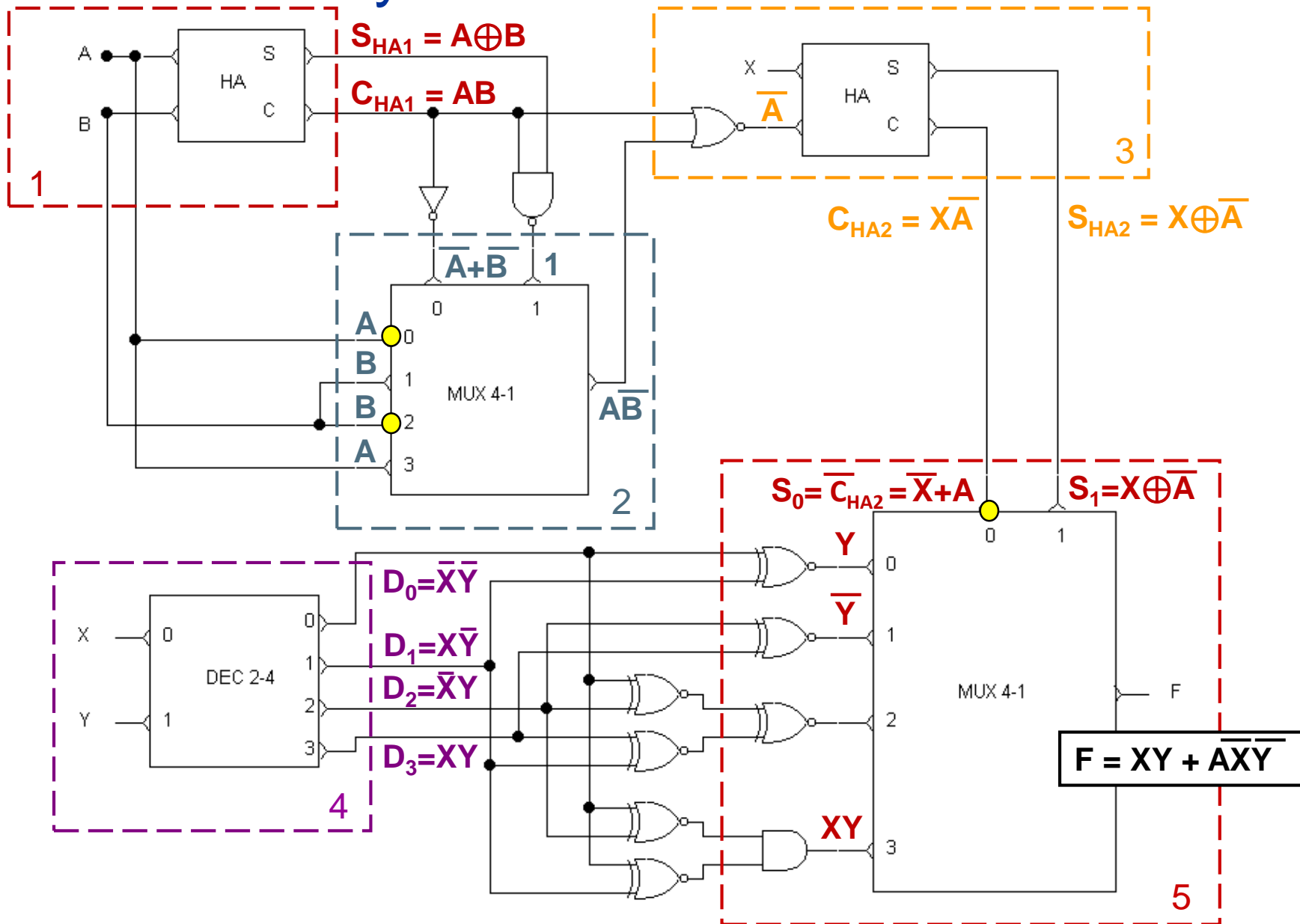
$$F = \overline{S_1} \overline{S_0} E_0 + \overline{S_1} S_0 E_1 + \cancel{\overline{S_1} \overline{S_0} E_2} + S_1 S_0 E_3$$

$$= X\overline{A} Y + \overline{X}A \overline{Y} + (XA + \overline{X}\overline{A}) XY$$

$$= XY + \overline{A}X\overline{Y}$$



# Ex. 35 - Analyse





# Table de vérité de F

A	X	Y	F
0	0	0	0
0	0	1	0
0	1	0	0
0	1	1	1
1	0	0	1
1	0	1	0
1	1	0	0
1	1	1	1

Diagram illustrating the truth table for function F, with highlighted rows and corresponding logic expressions:

- Row 4 (A=0, X=1, Y=1, F=1) is highlighted with a blue dashed box, corresponding to the expression  $XY$ .
- Row 5 (A=1, X=0, Y=0, F=1) is highlighted with a red dashed box, corresponding to the expression  $A\bar{X}\bar{Y}$ .
- Row 8 (A=1, X=1, Y=1, F=1) is highlighted with a blue dashed box, corresponding to the expression  $XY$ .

# Implémentation de F grâce à un MUX

$S_1$   
↓  
 $S_0$   
↓

A	X	Y	F	$E_i$
0	0	0	0	$E_0(Y)$
0	0	1	0	
0	1	0	0	$E_1(Y)$
0	1	1	1	
1	0	0	1	$E_2(Y)$
1	0	1	0	
1	1	0	0	$E_3(Y)$
1	1	1	1	

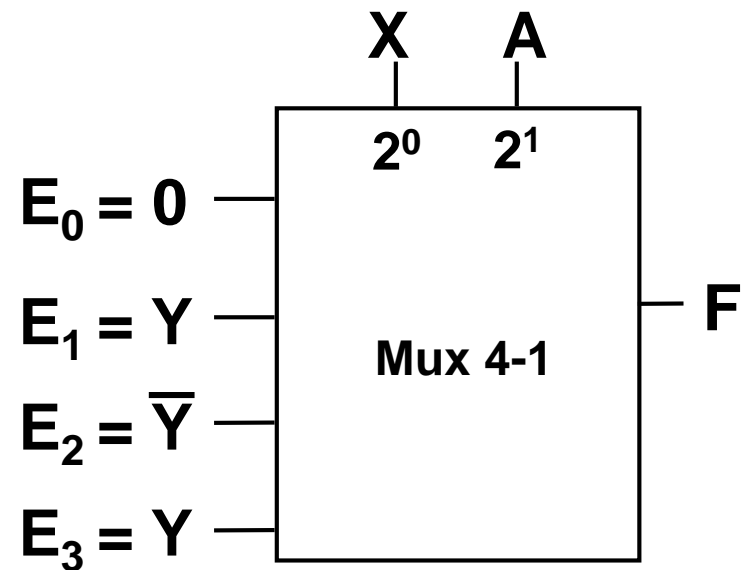
$\equiv$

$S_1$	$S_0$	F
0	0	$E_0$
0	1	$E_1$
1	0	$E_2$
1	1	$E_3$

# Implémentation de F grâce à un MUX

$S_1$   
↓  
 $S_0$   
↓

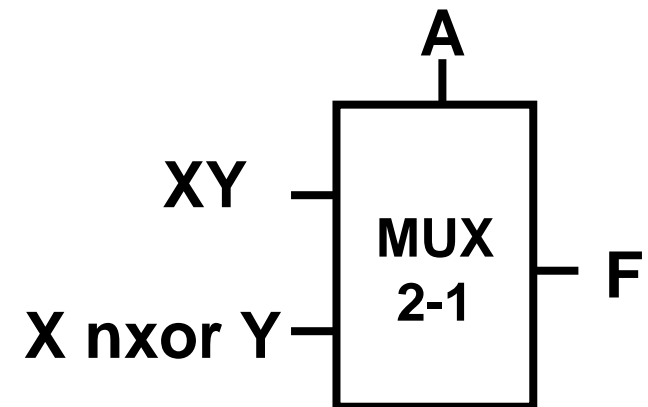
A	X	Y	F	$E_i$
0	0	0	0	0
0	0	1	0	
0	1	0	0	Y
0	1	1	1	
1	0	0	1	$\bar{Y}$
1	0	1	0	
1	1	0	0	Y
1	1	1	1	



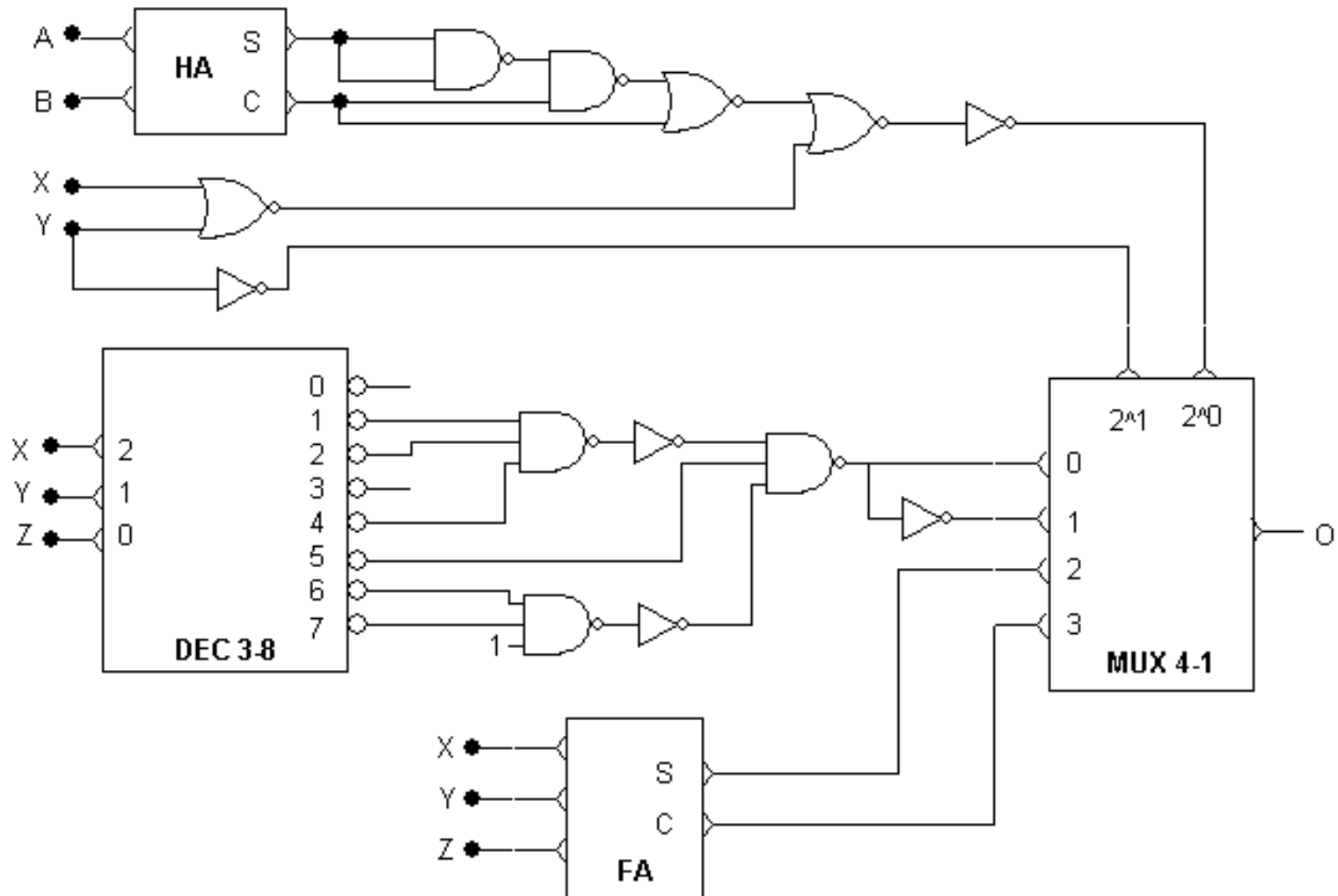
# Implémentation de F grâce à un MUX (Sol2)

**S**  
↓

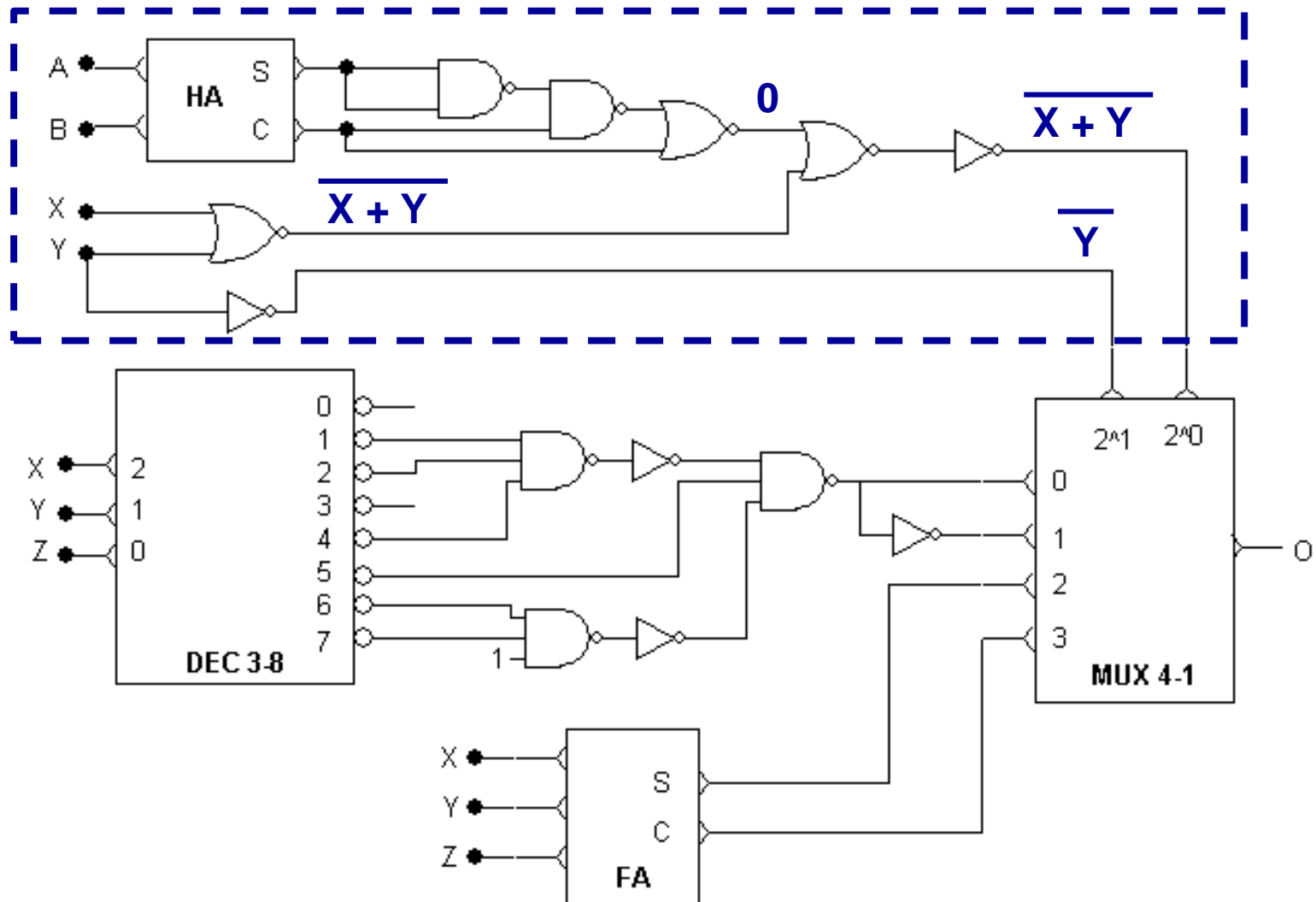
<b>A</b>	<b>X</b>	<b>Y</b>	<b>F</b>	<b>E<sub>i</sub></b>
0	0	0	0	<b>XY</b>
0	0	1	0	
0	1	0	0	
0	1	1	1	
1	0	0	1	<b>X nxor Y</b>
1	0	1	0	
1	1	0	0	
1	1	1	1	



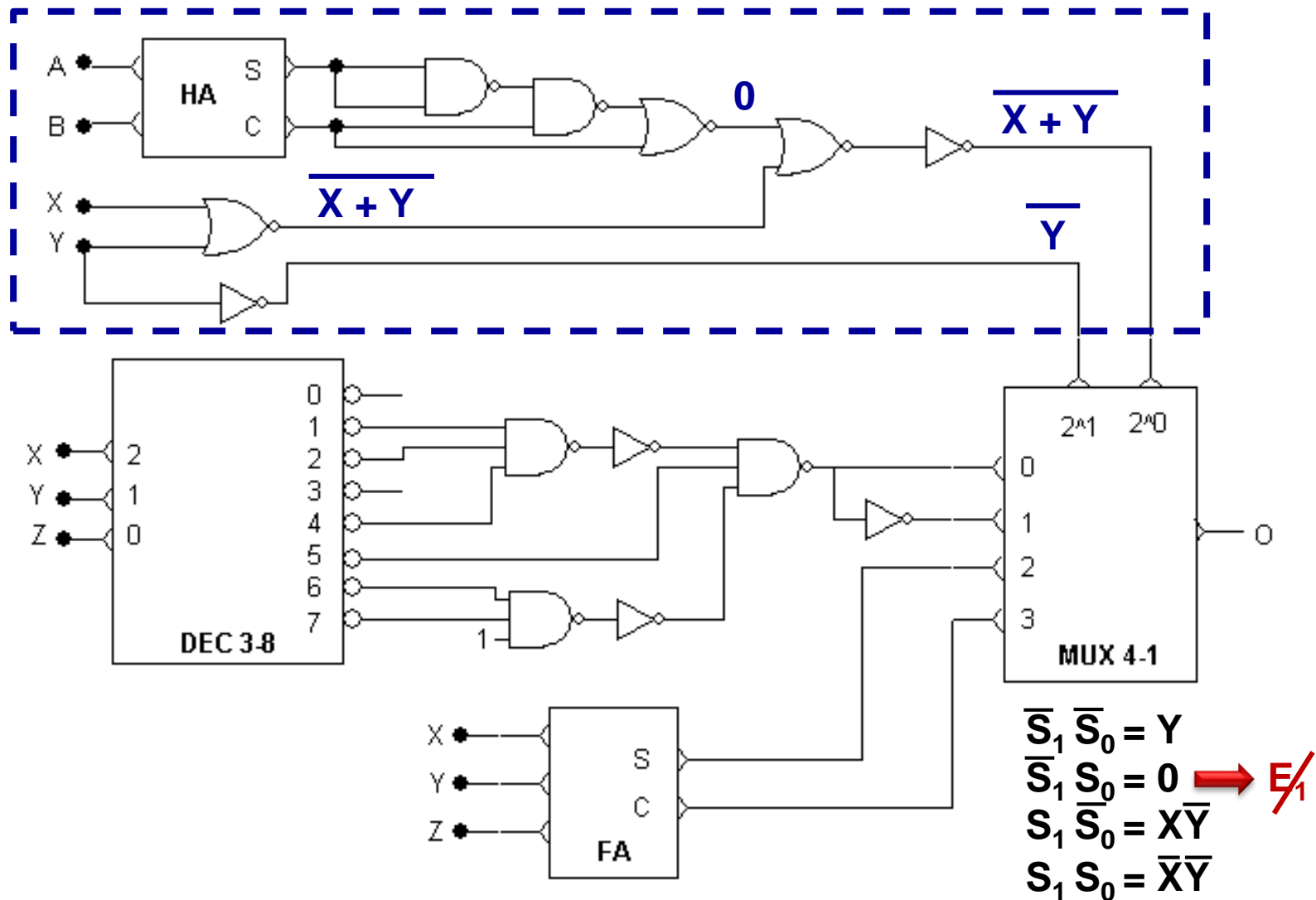
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



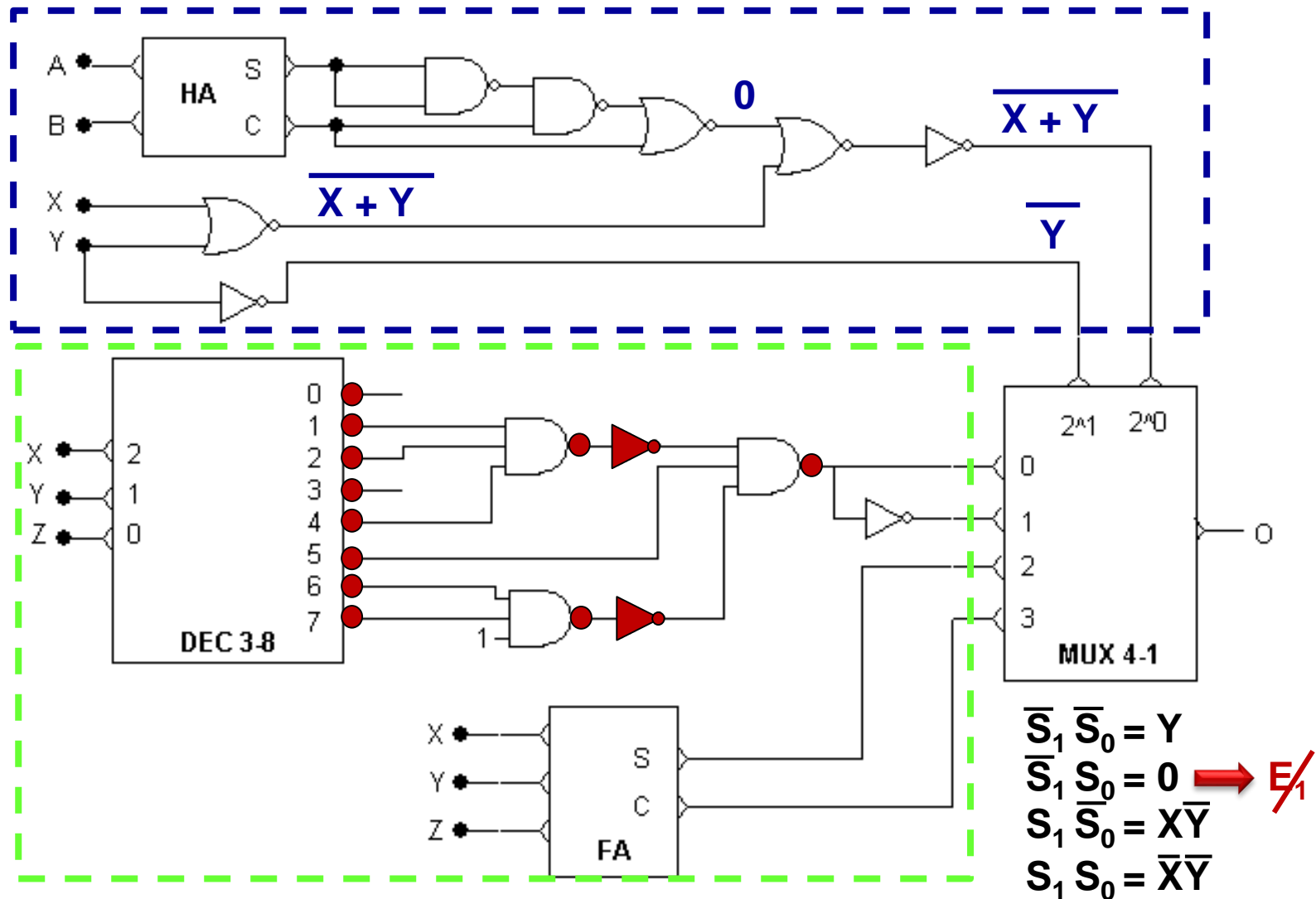
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.

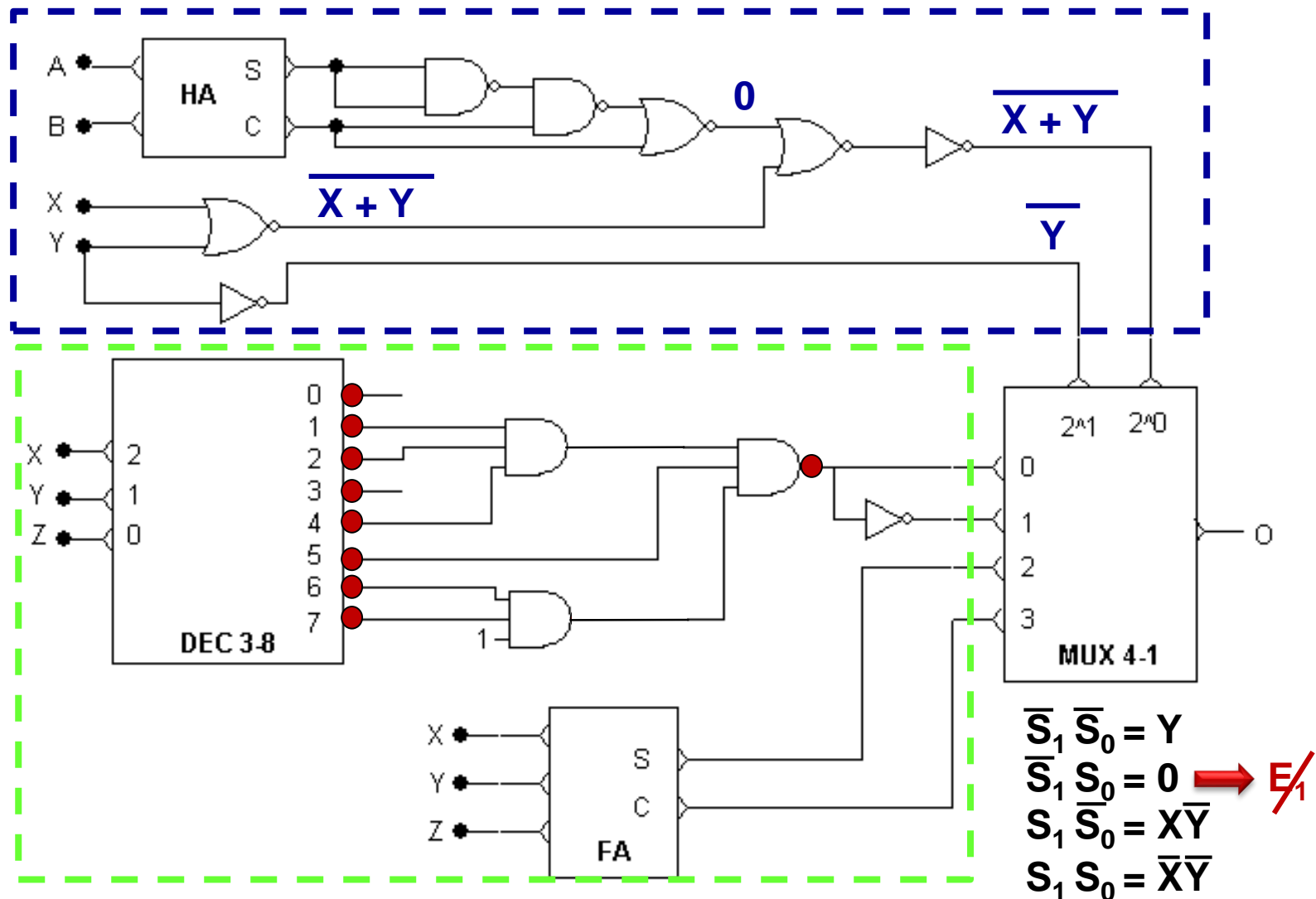


Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.

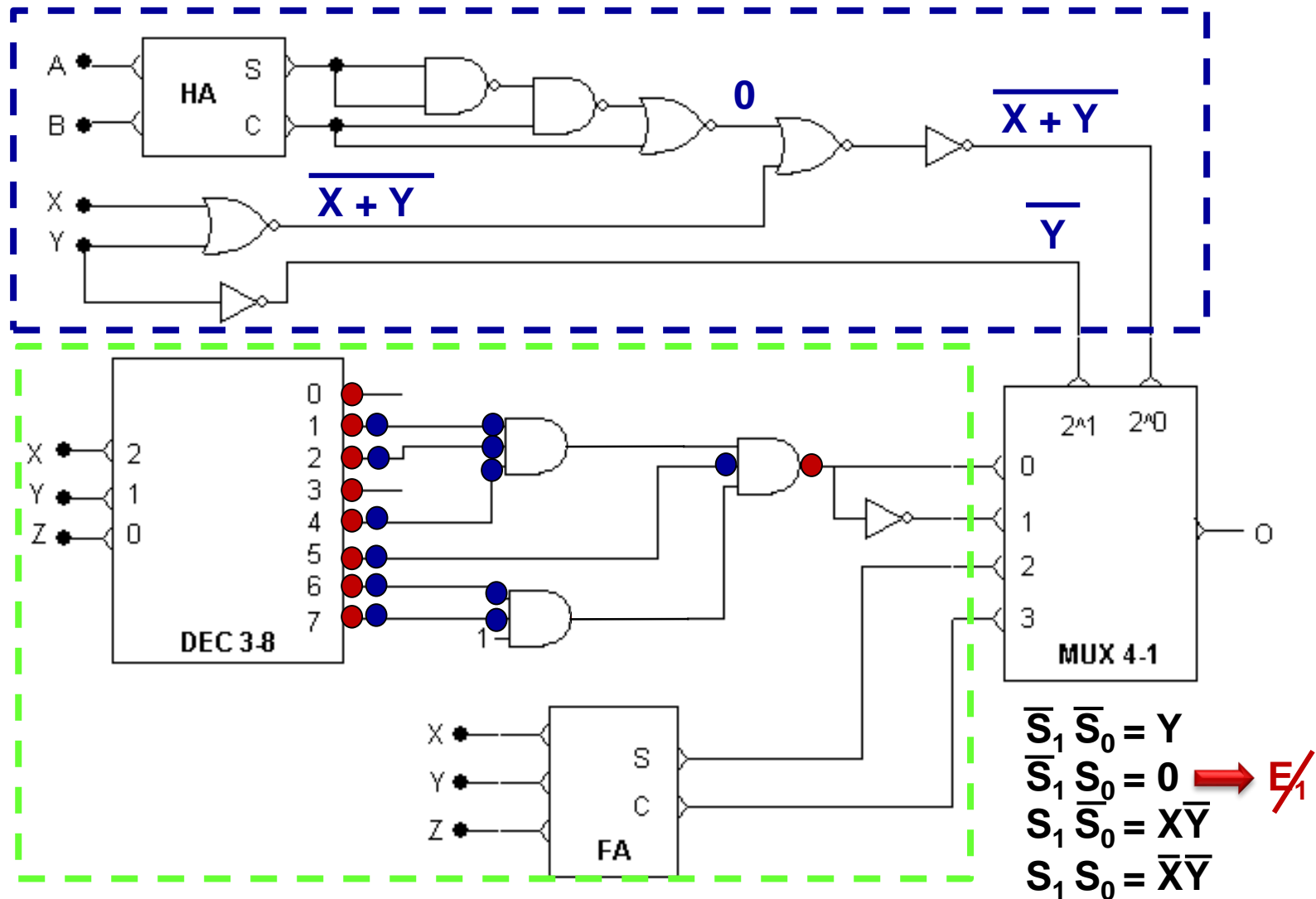




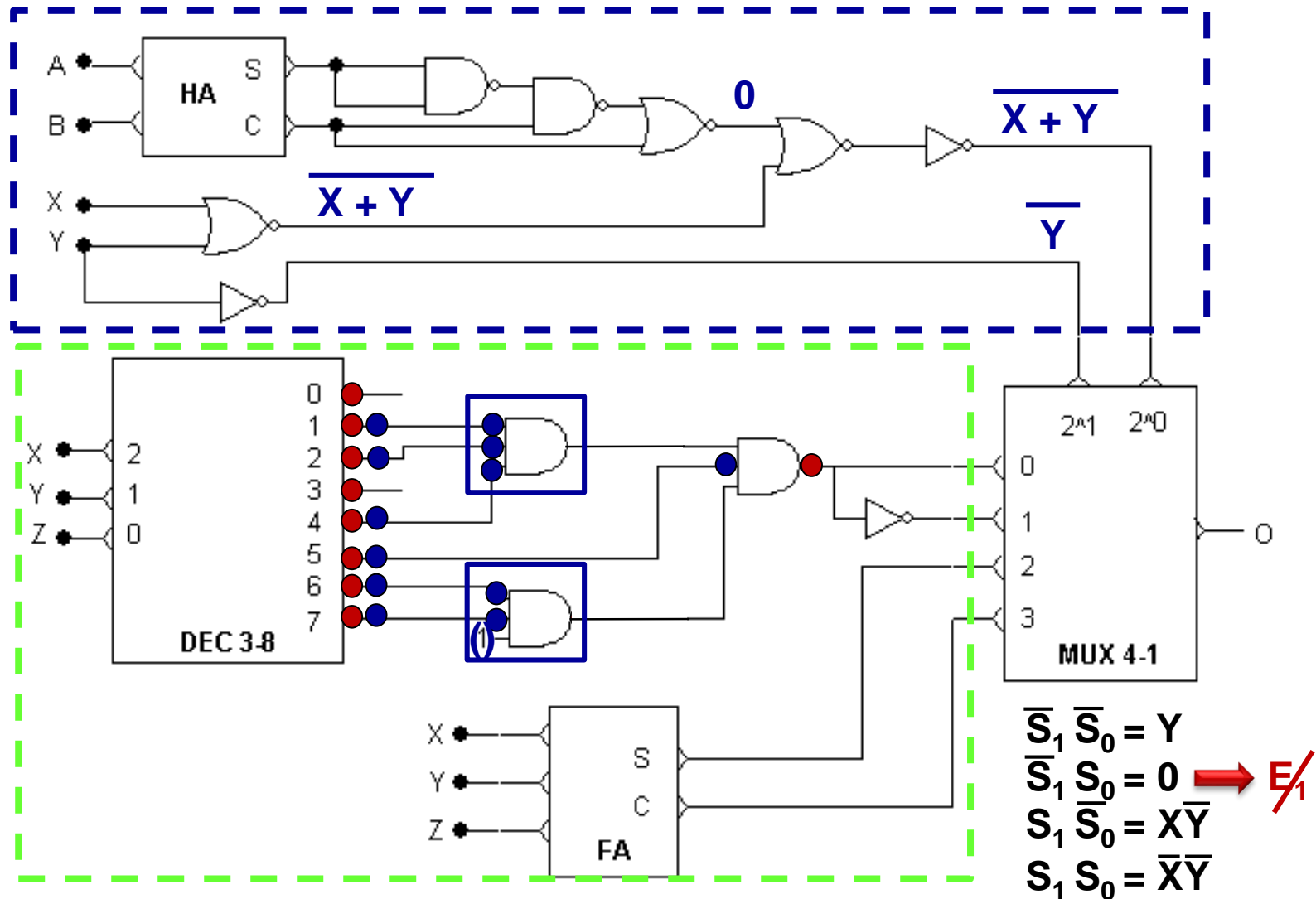
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



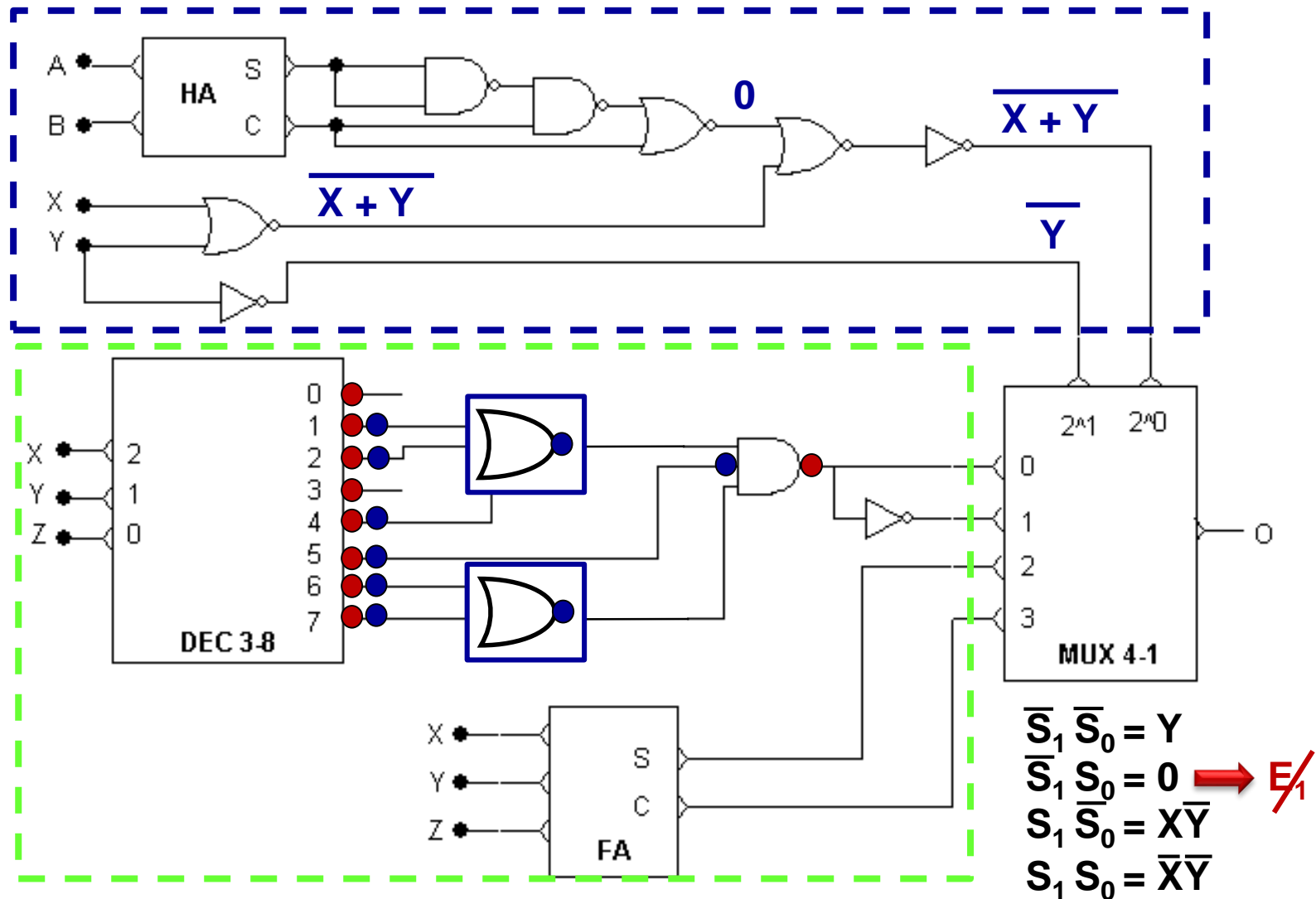
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



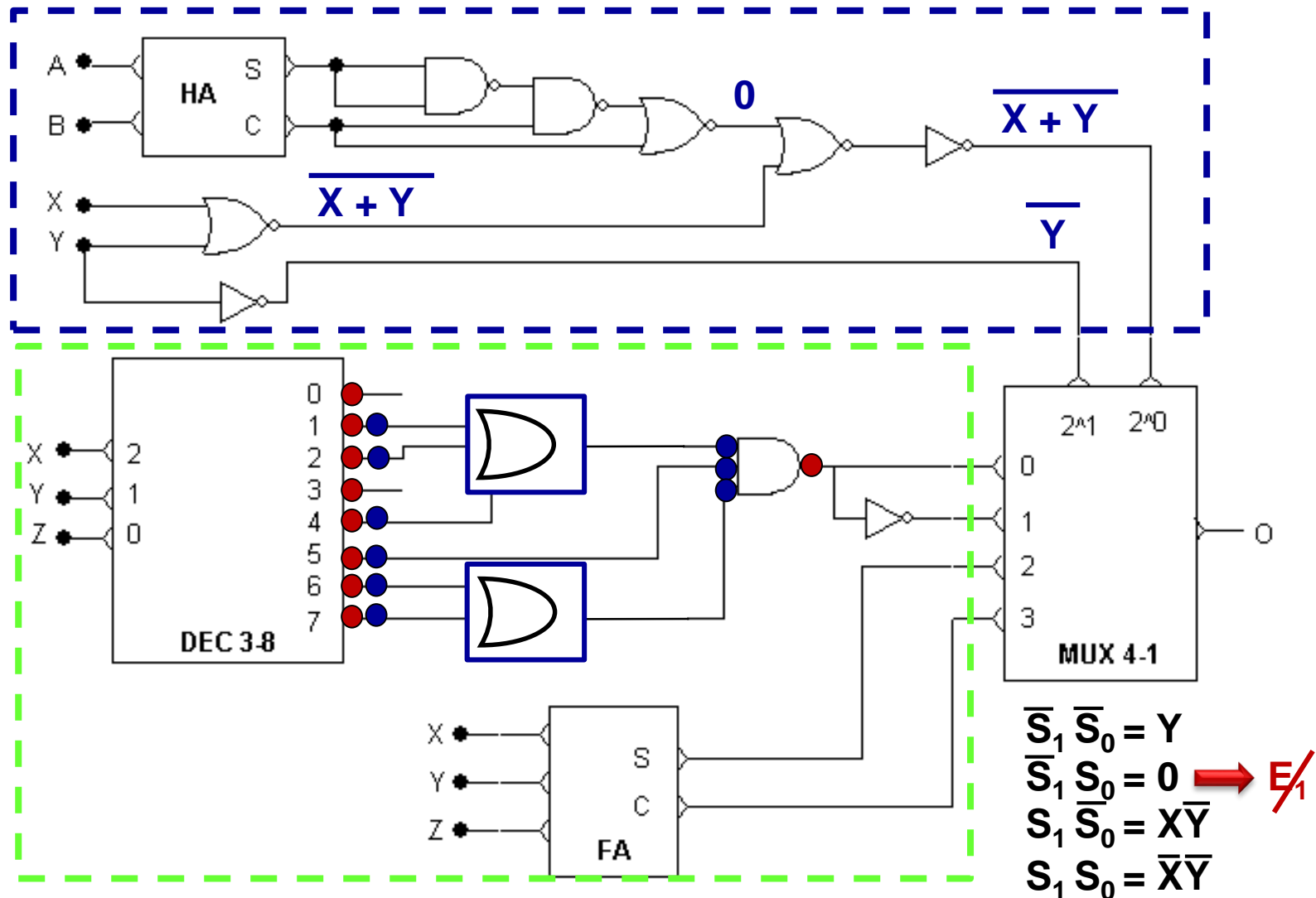
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



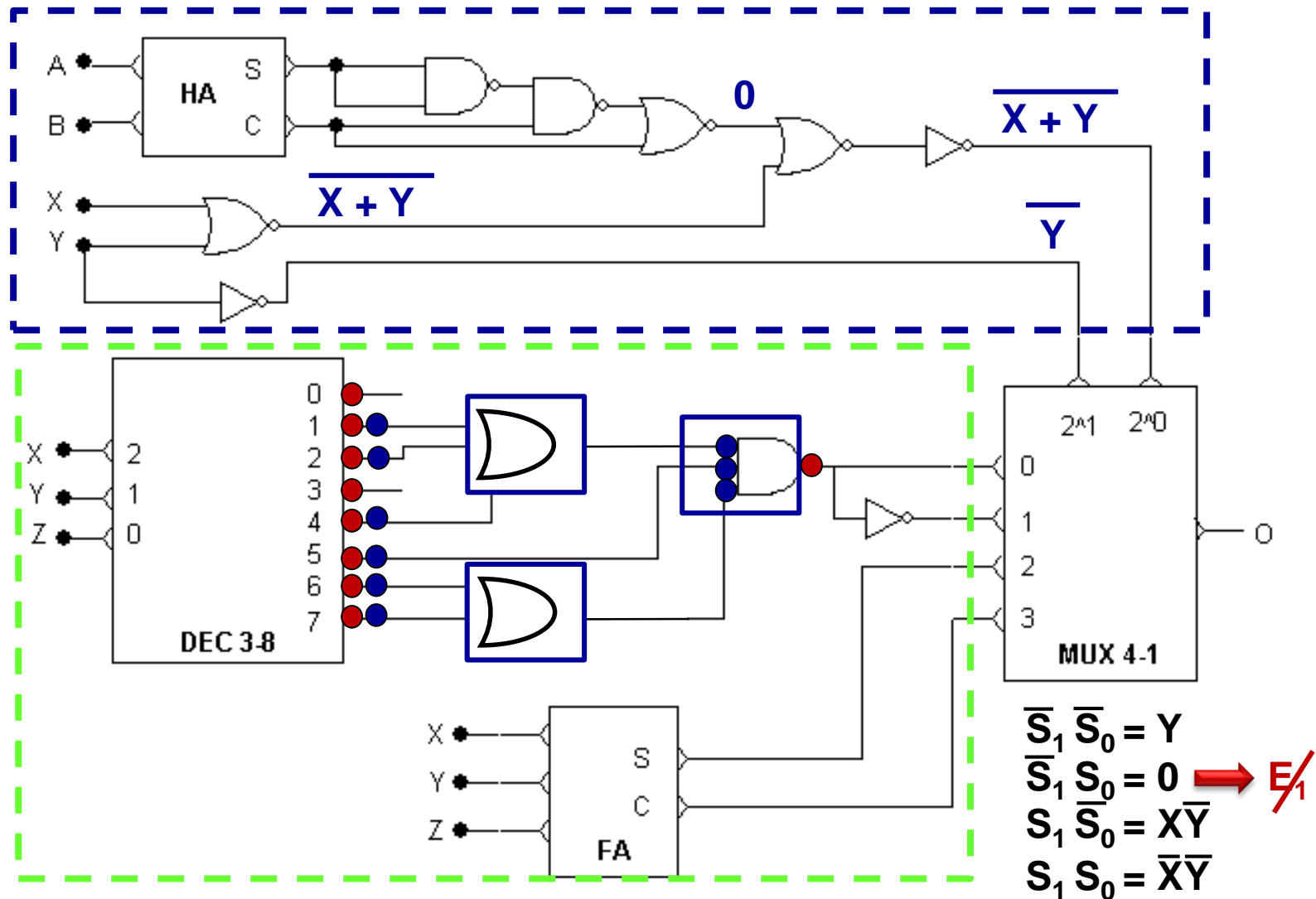
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



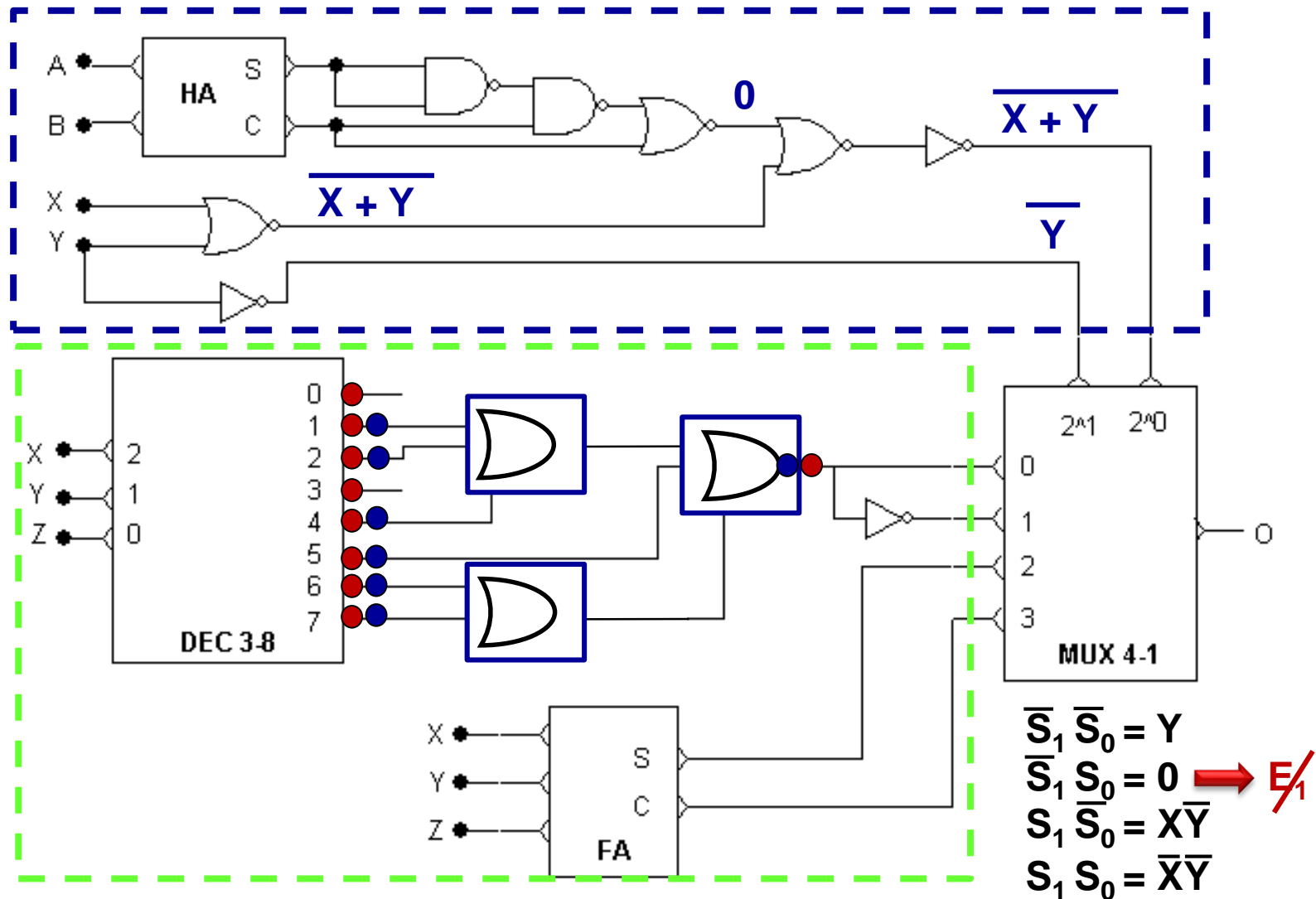
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



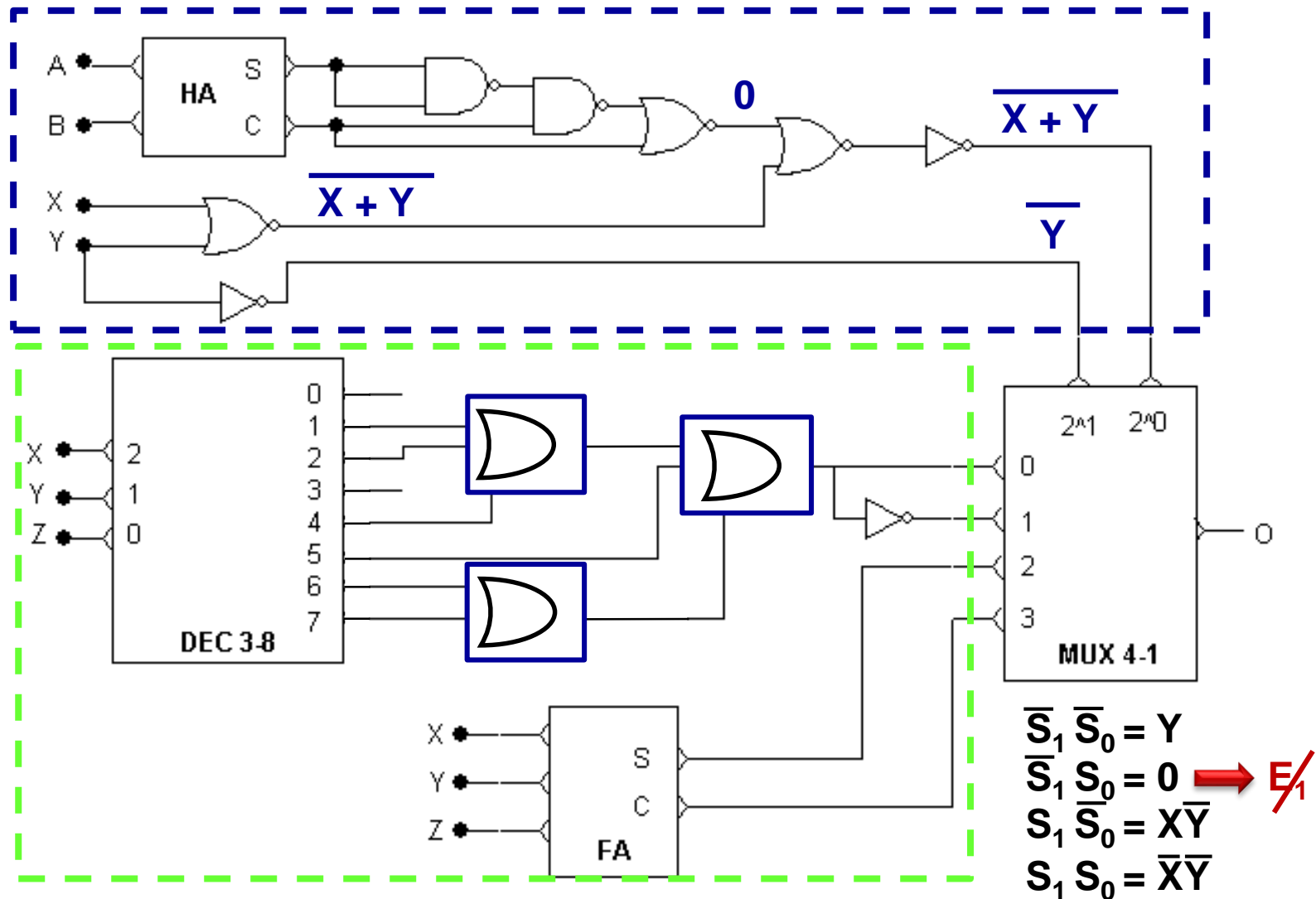
Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.

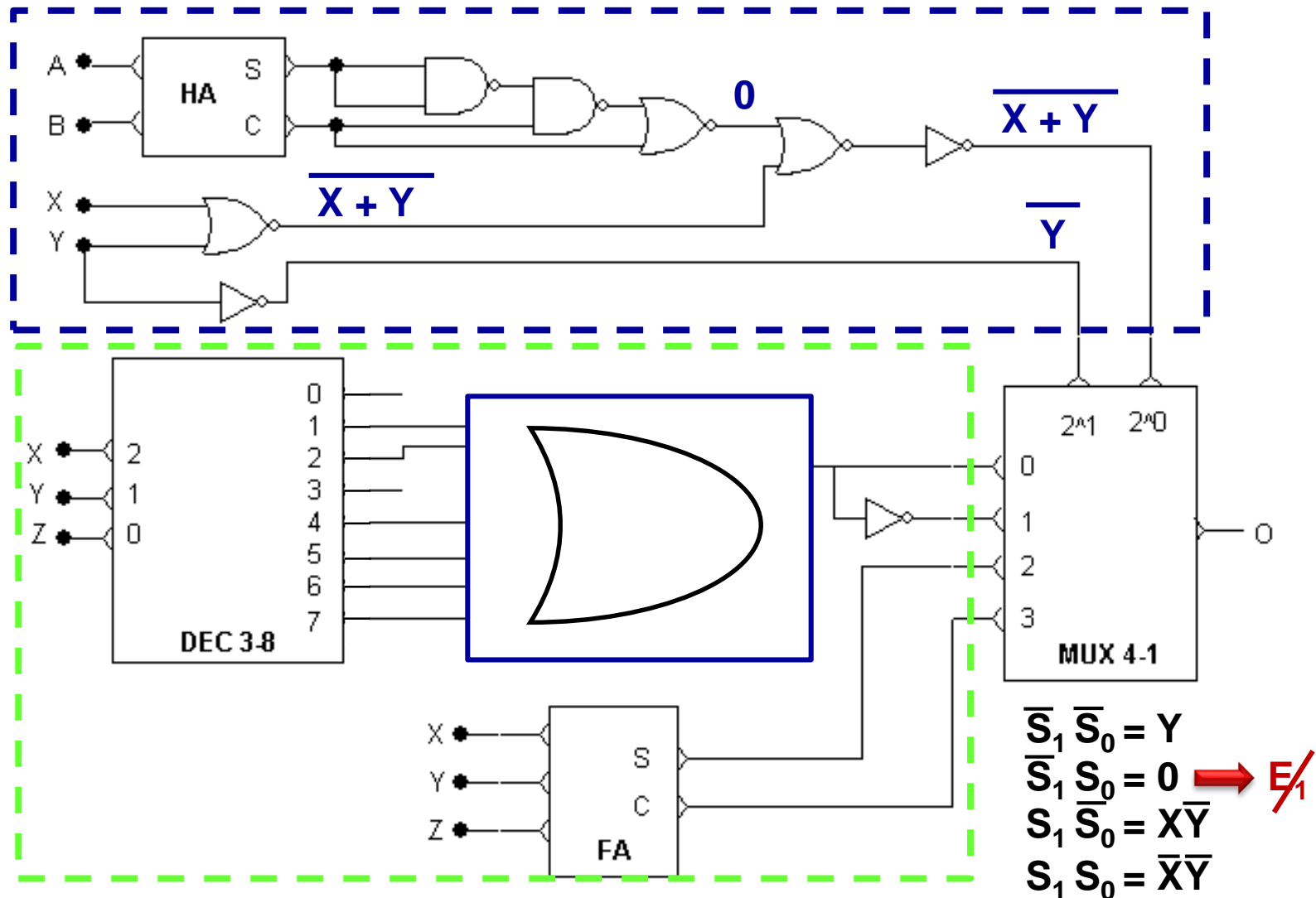


Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.

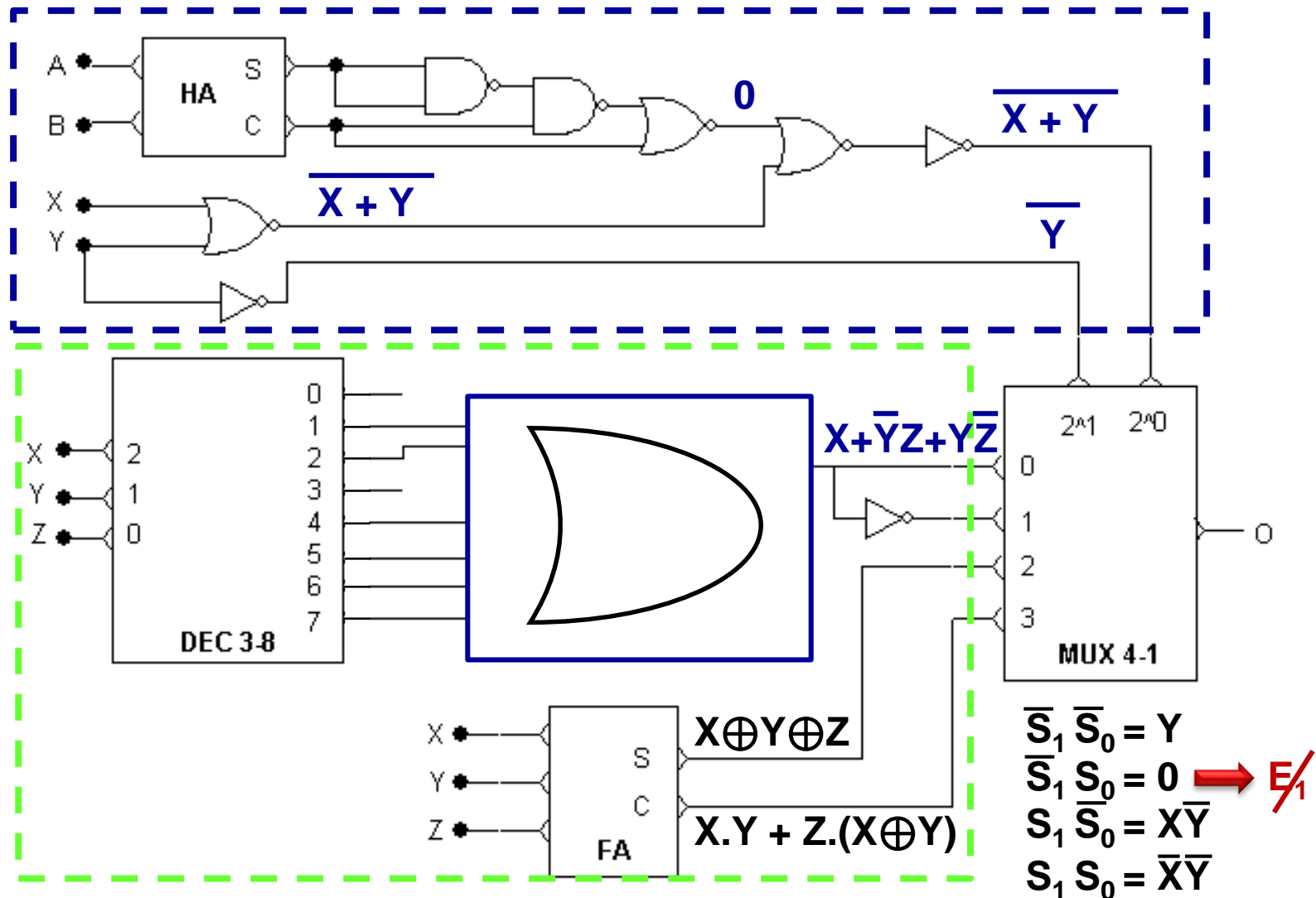




Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.

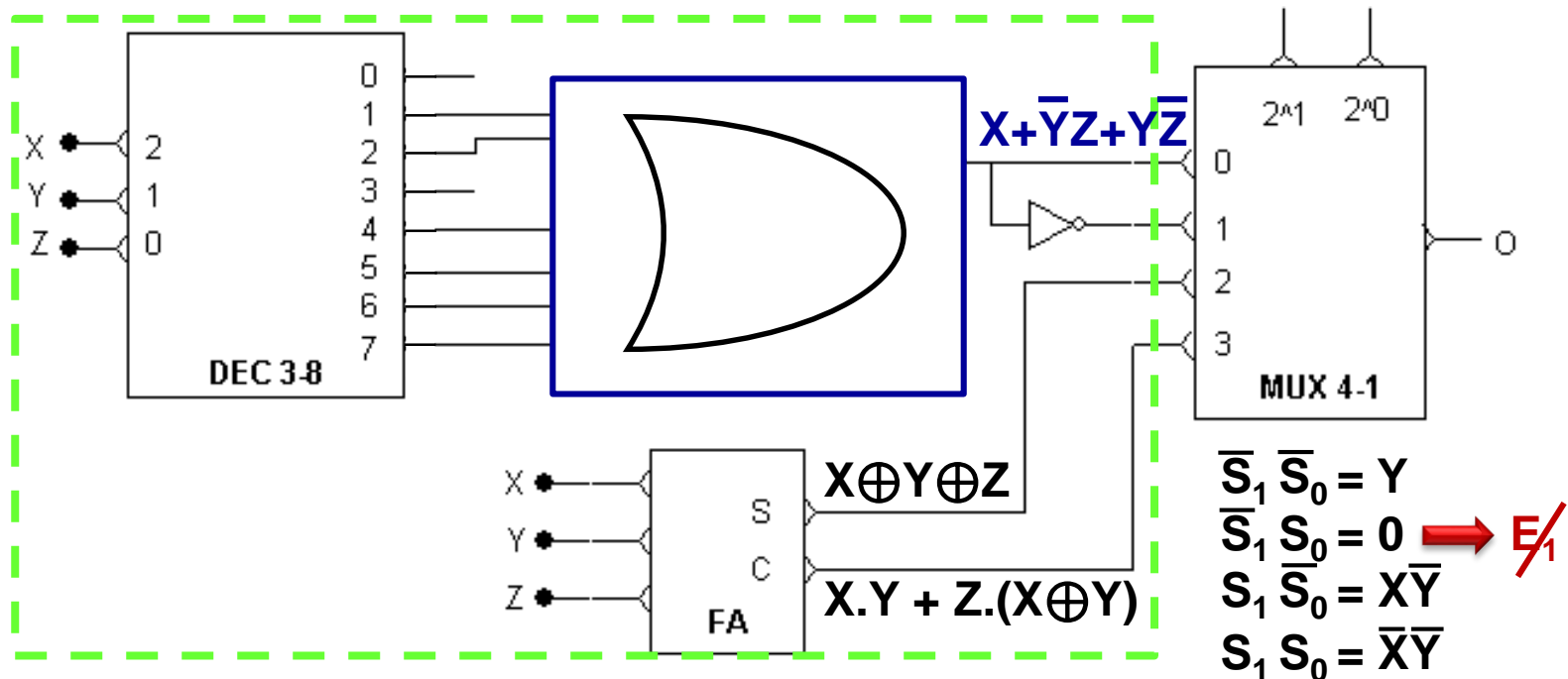


Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.

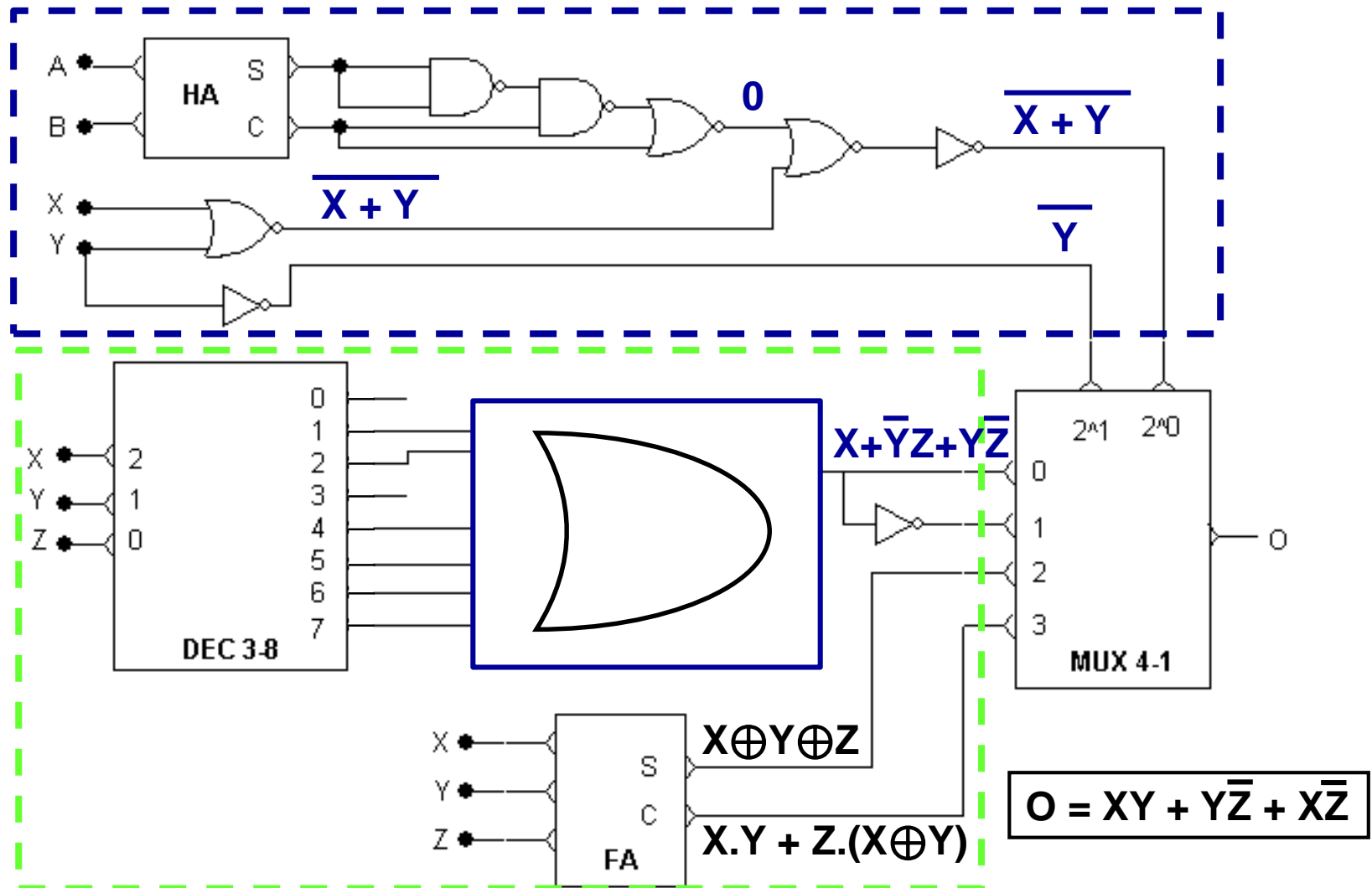
$$\Rightarrow \boxed{O = \bar{S}_1 \bar{S}_0 E_0 + \cancel{\bar{S}_1 S_0 E_1} + S_1 \bar{S}_0 E_2 + S_1 S_0 E_3}$$

$$= Y.(X + \bar{Y}Z + Y\bar{Z}) + X\bar{Y}.(X \oplus Y \oplus Z) + \bar{X}\bar{Y}(XY + Z.(X \oplus Y))$$

$$= XY + Y\bar{Z} + X\bar{Z}$$



Ex.36 - Analyser le circuit suivant. Donner la **table de vérité** (variable dans l'ordre alphabétique SVP) de la fonction de sortie et son expression canonique sous forme d'un **produit de sommes**.



# Table de vérité de O

X	Y	Z	O
0	0	0	0
0	0	1	0
0	1	0	1
0	1	1	0
1	0	0	1
1	0	1	0
1	1	0	1
1	1	1	1

## Expression canonique de O sous forme d'un produit de sommes

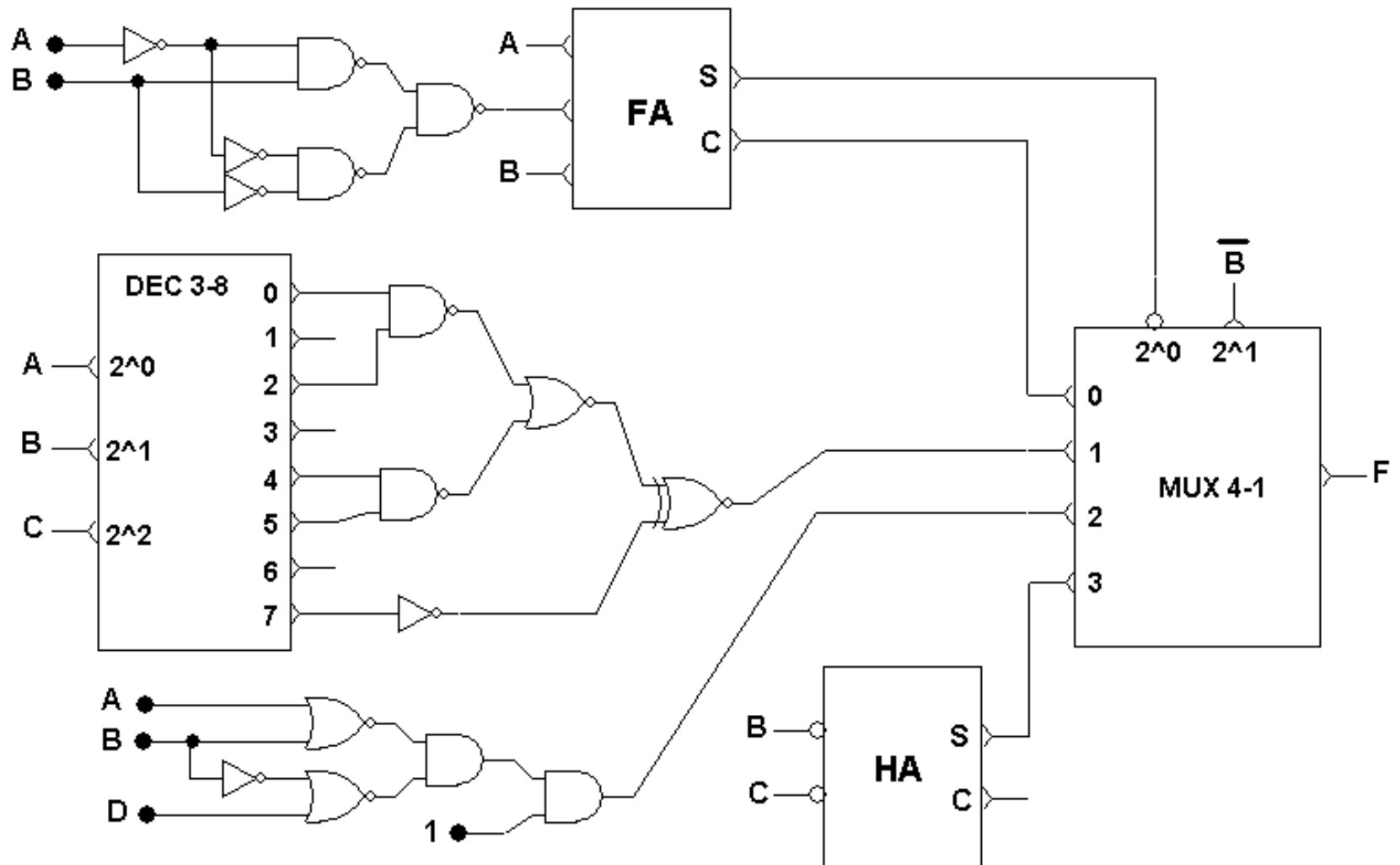
$$\overline{O}(X, Y, Z) = \sum m(0, 1, 3, 5)$$

	Y			
X {	1	1	1	0
	0	1	0	0
	Z			

$$\overline{O} = \overline{X}\overline{Y} + \overline{X}Z + \overline{Y}Z$$

$$\rightarrow O = (X+Y).(X+\overline{Z}).(Y+\overline{Z})$$

Exercice 37 (suppl.) - Analysez le circuit suivant et donnez la table de vérité de la sortie F. Implémentez cette sortie à l'aide d'un nombre minimum de portes NOR (les entrées complémentées sont également disponibles).



Exercice 37 (suppl.) - Analysez le circuit suivant et donnez la table de vérité de la sortie F. Implémentez cette sortie à l'aide d'un nombre minimum de portes NOR (les entrées complémentées sont également disponibles).

**F.A.:** Entrées:  $X_{FA} = A$  ;  $Y_{FA} = \overline{\overline{A}B} \cdot \overline{\overline{A}B} = \overline{A}B + A\overline{B} = A \oplus B$  ;  $Z_{FA} = B$

Sorties:  $S_{FA} = X_{FA} \oplus Y_{FA} \oplus Z_{FA} = A \oplus (A \oplus B) \oplus B = 0$

$$C_{FA} = X_{FA} Y_{FA} + Z_{FA} (X_{FA} \oplus Y_{FA})$$

$$= A.(A \oplus B) + B.((A \oplus B) \oplus A) = A\overline{B} + B = A+B$$

**MUX4-1:**  $S_0 = \overline{S_{FA}} = 1$  ;  $S_1 = \overline{B}$

$\overline{S_0} \overline{S_1} = 0 \rightarrow \mathbf{E_0 \text{ inutile}}$

$S_0 \overline{S_1} = B \rightarrow E_1 = \overline{(\overline{D_0 D_2 + D_4 D_5}) \oplus \overline{D_7}} = \overline{(D_0 D_2 D_4 D_5) \oplus \overline{D_7}} \text{ (*DEC3-8)}$

$\overline{S_0} S_1 = 0 \rightarrow \mathbf{E_2 \text{ inutile}}$

$S_0 S_1 = \overline{B} \rightarrow E_3 = S_{HA} = \overline{B} \oplus \overline{C}$

$$F = \overline{S_0} \overline{S_1} E_0 + S_0 \overline{S_1} E_1 + \overline{S_0} S_1 E_2 + S_0 S_1 E_3$$



Exercice 37 (suppl.) - Analysez le circuit suivant et donnez la table de vérité de la sortie F. Implémentez cette sortie à l'aide d'un nombre minimum de portes NOR (les entrées complémentées sont également disponibles).

DEC3-8:  $D_0 = \bar{A}\bar{B}\bar{C}$   
 $D_1 = \bar{A}\bar{B}C$   
 $D_2 = \bar{A}B\bar{C}$   
 $D_3 = \bar{A}BC$   
 $D_4 = A\bar{B}\bar{C}$   
 $D_5 = A\bar{B}C$   
 $D_6 = AB\bar{C}$   
 $D_7 = ABC$

Diagram showing lines from  $D_0, D_2, D_4, D_5$  converging to an arrow pointing to the equation:

$$D_0 D_2 D_4 D_5 = 0 \quad (\prod m_i = 0)$$

$$E_1 = \overline{(D_0 D_2 D_4 D_5)} \oplus \bar{D}_7 = 0 \oplus \bar{D}_7 = D_7 = ABC \quad (*)$$

$$\boxed{F = \cancel{\bar{S}_0 \bar{S}_1} E_0 + S_0 \bar{S}_1 E_1 + \cancel{\bar{S}_0 S_1} E_2 + S_0 S_1 E_3}$$

$$= B.ABC + \bar{B}.(\bar{B} \oplus \bar{C})$$

$$= ABC + \bar{B}C = \mathbf{C(A+\bar{B})}$$

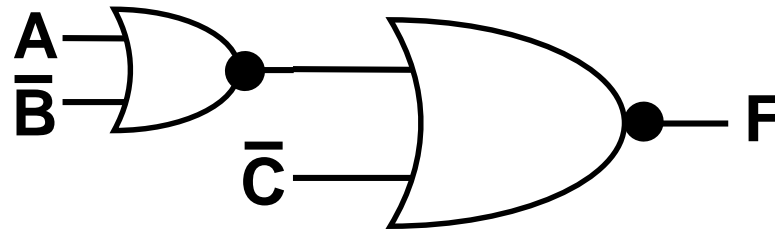
Exercice 37 (suppl.) - Analysez le circuit suivant et donnez la table de vérité de la sortie F. Implémentez cette sortie à l'aide d'un nombre minimum de portes NOR (les entrées complémentées sont également disponibles).

A	B	C	F
0	0	0	0
0	0	1	1
0	1	0	0
0	1	1	0
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

$$= CA + C\bar{B}$$

Exercice 37 (suppl.) - Analysez le circuit suivant et donnez la table de vérité de la sortie F. Implémentez cette sortie à l'aide d'un nombre minimum de portes NOR (les entrées complémentées sont également disponibles).

$$F = C(A + \bar{B}) = \overline{\overline{C(A + \bar{B})}} = \overline{\bar{C} + (\overline{A + \bar{B}})}$$



## Exercice 40

$$F(z, y, x, w) = \sum m(0, 3, 5, 7, 8, 11, 13, 15) + \sum d(2, 10)$$

- 1) Simplifier la fonction  $F$  en utilisant la méthode de Karnaugh.
- 2) Implémenter la fonction  $F$  à l'aide d'un multiplexeur de taille minimale. Chaque entrée du multiplexeur peut comporter **une et une seule des portes logiques suivantes** : AND, OR, XOR, NXOR.

# Simplification par Karnaugh

$$F(z, y, x, w) = \sum m(0, 3, 5, 7, 8, 11, 13, 15) + \sum d(2, 10)$$

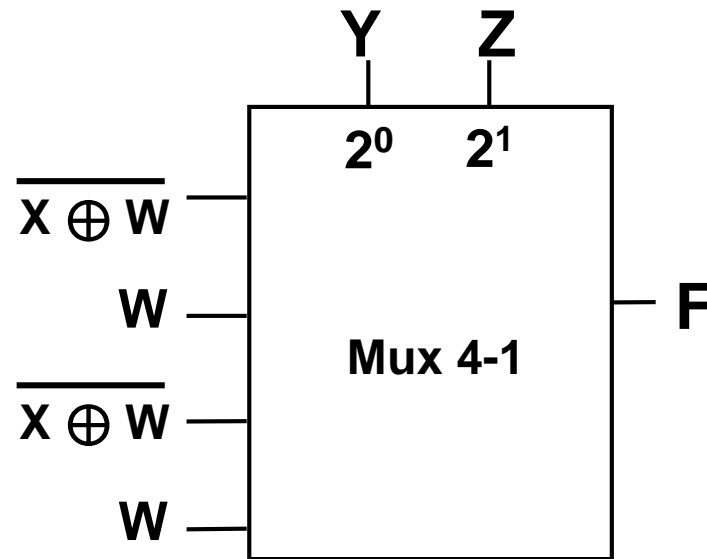
A 4x4 Karnaugh map for the function F(z, y, x, w). The vertical axis is labeled 'z' and the horizontal axis is labeled 'w'. The map is divided into four 2x2 quadrants by a vertical line labeled 'x' and a horizontal line labeled 'y'. The top-left quadrant (x=0, y=0) contains the values 1, 0, 0, 1. The top-right quadrant (x=1, y=0) contains the values 1, 1, 1, 1, which are highlighted with a red border. The bottom-left quadrant (x=0, y=1) contains the values 0, 1, 1, 0. The bottom-right quadrant (x=1, y=1) contains the values X, 0, 0, X. The cells containing 1 are at (z,w) positions (0,0), (0,1), (1,0), (1,1), (2,0), (2,1), (3,0), and (3,1). The cells containing X are at (0,2), (0,3), (2,2), and (2,3).

1	0	1	X
0	1	1	0
0	1	1	0
1	0	1	X

$$F(z, y, x, w) = xw + wy + \overline{w}\overline{y}$$

Z	Y	X	W	M <sub>i</sub>	F	
0	0	0	0	0	1	X NXOR W
0	0	0	1	1	0	
0	0	1	0	2	X	
0	0	1	1	3	1	
0	1	0	0	4	0	W
0	1	0	1	5	1	
0	1	1	0	6	0	
0	1	1	1	7	1	
1	0	0	0	8	1	X NXOR W
1	0	0	1	9	0	
1	0	1	0	10	X	
1	0	1	1	11	1	
1	1	0	0	12	0	W
1	1	0	1	13	1	
1	1	1	0	14	0	
1	1	1	1	15	1	

Implémenter la fonction  $F$  à l'aide d'un MUX de **taille minimale**. Chaque entrée du MUX peut comporter **une et une seule des portes logiques suivantes** : AND, OR, XOR, NXOR



**Minimal ?**

Z	Y	X	W	M <sub>i</sub>	F	
0	0	0	0	0	1	X NXOR W
0	0	0	1	1	0	
0	0	1	0	2	X	
0	0	1	1	3	1	
0	1	0	0	4	0	W
0	1	0	1	5	1	
0	1	1	0	6	0	
0	1	1	1	7	1	
1	0	0	0	8	1	X NXOR W
1	0	0	1	9	0	
1	0	1	0	10	X	
1	0	1	1	11	1	
1	1	0	0	12	0	W
1	1	0	1	13	1	
1	1	1	0	14	0	
1	1	1	1	15	1	



Implémenter la fonction  $F$  à l'aide d'un MUX de **taille minimale**. Chaque entrée du MUX peut comporter **une et une seule des portes logiques suivantes** : AND, OR, XOR, NXOR

