Électronique Numérique

Année académique 2020-2021

Solution

TD N°1 : Logique combinatoire

Pr: J-M. Redouté
Assistants: L. Burger
A. Halin
T. Peers

Question 1 : Analyse combinatoire

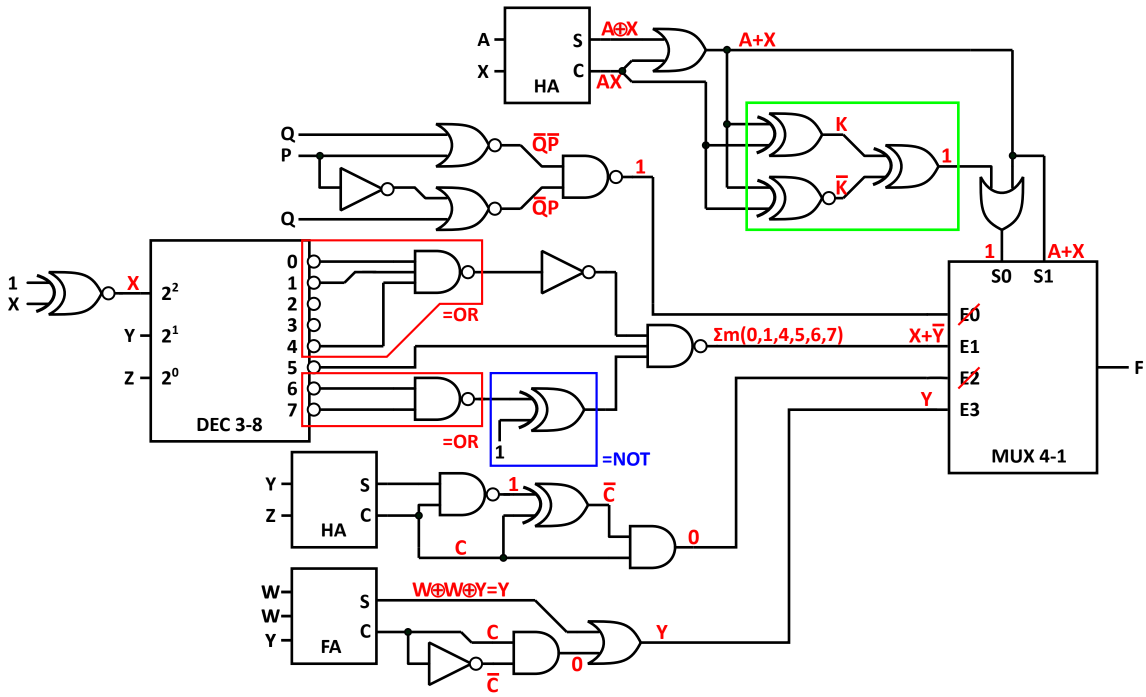

Figure 1 – Annotations de l'analyse du circuit.

La sortie du circuit F correspond à la sortie du `MUX 4-1`. Commençons par calculer les bits de sélection $S0$ et $S1$ de ce multiplexeur. L'analyse du circuit est annotée en rouge sur la figure 1.

Calcul de $S0$ et $S1$

Les sorties du `HA`, S_{HA} et C_{HA}, sont données par

$$\begin{aligned} S_{HA} &= A \oplus X \\ C_{HA} &= AX \end{aligned}$$

Le bit de sélection $S1$ combine les sorties du `HA` via une porte OR

$$\begin{aligned} S1 &= A \oplus X + AX \\ &= \overline{A}X + A\overline{X} + AX \\ &= X + A + AX \\ &= A + X \end{aligned}$$

Afin de trouver $S0$, analysons le mini-circuit à 2 étages (encadré en vert sur la figure) composés de 2 portes XOR et d'une porte NXOR. Les portes XOR et NXOR du 1er étage ont les mêmes entrées[1] et renvoient donc en sortie[2] respectivement K et $\overline{K}$. La porte XOR du 2ème

1. C_{HA} et $S1$
2. Pour info, $K = A \oplus X$

étage possède K et $\overline{K}$ en entrée et renvoie donc toujours "1" en sortie.

Le bit de sélection $S0$ est la sortie d'une porte OR

$$\begin{aligned} S0 &= 1 + S1 \\ &= 1 \end{aligned}$$

Testons les différentes combinaisons des bits de sélection $S0 = 1$ et $S1 = A + X$

$$\begin{aligned} \overline{S1}.\overline{S0} &= 0 \\ \overline{S1}.S0 &= \overline{A}.\overline{X} \\ S1.\overline{S0} &= 0 \\ S1.S0 &= A + X \end{aligned}$$

Les entrées $E0$ et $E2$ sont inutiles [3] car elles n'interviennent pas dans l'expression de la sortie F. Seuls les calculs de $E1$ et $E3$ sont utiles. En effet, F est donné par

$$\begin{aligned} F &= \overline{S1}.\overline{S0}.E0 + \overline{S1}.S0.E1 + S1.\overline{S0}.E2 + S1.S0.E3 \\ &= 0 + \overline{A}.\overline{X}.E1 + 0 + (A + X).E3 \end{aligned}$$

Calcul de $E1$

Les entrées du `DEC 3-8` sont X (car $\overline{1 \oplus X} = \overline{\overline{X}} = X$), Y et Z, où X est le bit de poids fort et Z le bit de poids faible. Pour rappel, un décodeur est un générateur de mintermes. Ici, les sorties sont complémentées !

Le bit d'entrée $E1$ peut être exprimé comme une somme de mintermes

$$E1 = \sum m(0, 1, 4, 5, 6, 7)$$

En effet, plusieurs transformations du circuit permettent d'obtenir une porte OR à 6 entrées (= les 6 sorties/mintermes du `DEC 3-8`) :

- la porte XOR peut être remplacée par une porte NOT car $1 \oplus X = \overline{X}$
- une porte NAND dont les entrées sont complémentées est équivalent à une porte OR car $\overline{\overline{A}.\overline{B}} = A + B$

Ainsi, les 3 portes NAND (avec leurs entrées complémentées) peuvent être remplacées [4] par 3 portes OR. Le schéma simplifié du circuit est visible à la figure 2. Finalement, les 3 portes OR peuvent être combinées en une porte OR à 6 entrées.

L'expression booléenne de $E1$ est obtenue via une table de Karnaugh (voir figure 3)

$$E1 = X + \overline{Y}$$

3. Pour info, $E0 = 1$ et $E2 = 0$
4. 2 transformations sur 3 sont encadrées en rouge sur la figure 1

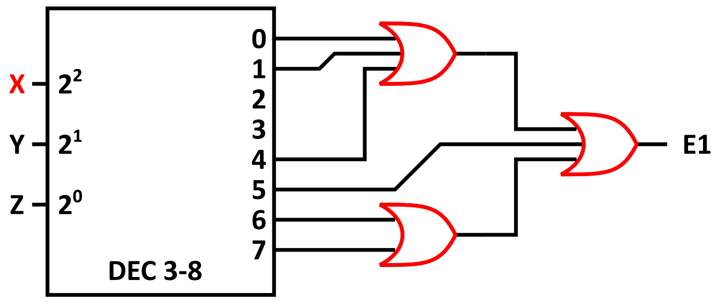

FIGURE 2 – Schéma simplifié du `DEC 3-8`.

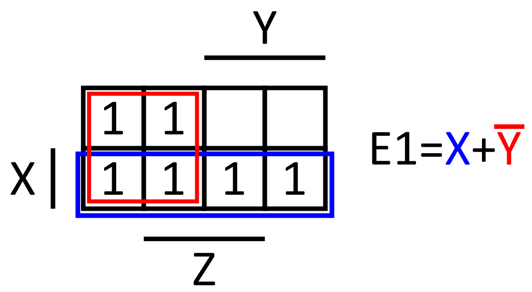

FIGURE 3 – Table de Karnaugh du bit d'entrée $E1$.

Calcul de $E3$

Le bit d'entrée $E3$ est donné par la porte OR

$$\begin{aligned} E3 &= C_{FA}.\overline{C_{FA}} + S_{FA} \\ &= 0 + W \oplus W \oplus Y \\ &= (W \oplus W) \oplus Y \\ &= 0 \oplus Y \\ &= Y \end{aligned}$$

Sortie du circuit F

La sortie du `MUX 4-1`, F, est donné par

$$\begin{aligned} F &= \overline{A}.\overline{X}.E1 + (A + X).E3 \\ &= \overline{A}.\overline{X}.(X + \overline{Y}) + (A + X).Y \\ &= \overline{A}.\overline{X}.X + \overline{A}.\overline{X}.\overline{Y} + A.Y + X.Y \\ &= \overline{A}.\overline{X}.\overline{Y} + A.Y + X.Y \end{aligned}$$

Sa table de vérité est visible à la table 1.

Implémentation de F avec un nombre minimum de portes NOR

Afin d'implémenter F avec un nombre minimum de portes NOR, F doit être exprimé sous la forme d'un produit de somme optimal. A cette fin, nous utilisons la table de Karnaugh sur $\overline{F}$ (pour obtenir $\overline{F}$ = somme de produit optimal) suivi du théorème De Morgan (pour obtenir F = produit de somme optimal).

A	X	Y	F	$\overline{F}$	m_i
0	0	0	1	0	0
0	0	1	0	1	1
0	1	0	0	1	2
0	1	1	1	0	3
1	0	0	0	1	4
1	0	1	1	0	5
1	1	0	0	1	6
1	1	1	1	0	7

Table 1 – Table de vérité de F et $\overline{F}$.

Via la table de Karnaugh (voir figure 4), nous obtenons

$$\overline{F} = A.\overline{Y} + X.\overline{Y} + \overline{A}.\overline{X}.Y$$

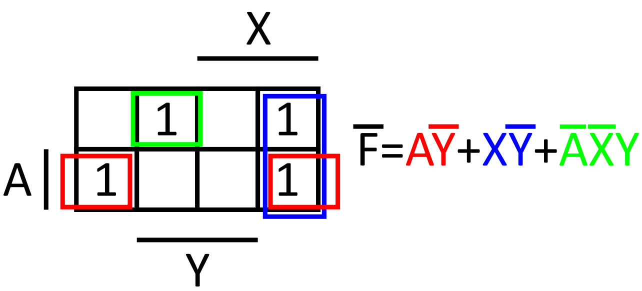

Figure 4 – Table de Karnaugh de $\overline{F}$.

L'application du théorème De Morgan permet d'obtenir l'expression de F sous forme d'une produit de somme

$$F = (\overline{A} + Y).(\overline{X} + Y).(A + X + \overline{Y})$$

Le double complément de F, $\overline{\overline{F}}$, nous donne directement l'implémentation de F avec un nombre minimum de portes NOR (visible figure 5)

$$\begin{aligned} F &= \overline{\overline{F}} \\ &= \overline{\overline{(\overline{A} + Y).(\overline{X} + Y).(A + X + \overline{Y})}} \\ &= \overline{\overline{(\overline{A} + Y)} + \overline{(\overline{X} + Y)} + \overline{(A + X + \overline{Y})}} \end{aligned}$$

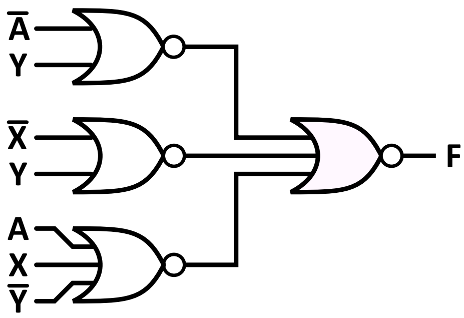

FIGURE 5 – Implémentation de F avec un nombre minimum de portes NOR.

Question 2 : Synthèse combinatoire

La solution présentée n'est pas unique.

1. Déterminez les entrées/sorties du système en veillant à optimiser le nombre de bits utilisés.

Entrées

(4 bits)

$$\boldsymbol{C_c} = \begin{cases} 1 & \text{si le bouton "café court" est pressé} \\ 0 & \text{sinon} \end{cases}$$

$$\boldsymbol{C_l} = \begin{cases} 1 & \text{si le bouton "café long" est pressé} \\ 0 & \text{sinon} \end{cases}$$

$$\boldsymbol{L} = \begin{cases} 1 & \text{si le bouton "lait" est pressé} \\ 0 & \text{sinon} \end{cases}$$

$$\boldsymbol{N_L} = \begin{cases} 1 & \text{si le capteur indique que le "niveau de lait" est insuffisant} \\ 0 & \text{sinon} \end{cases}$$

Remarque : Le sucre n'a aucune influence puisqu'il n'impacte ni le prix (identique avec ou sans sucre) ni l'affichage en tant que tel (cf : énoncé "*[Le client n'a pas] la possibilité de demander du sucre seul, bien que cette action n'ait aucun effet sur l'affichage.*")

Sorties

(2 bits)

$$\boldsymbol{S_1\ S_0} = \begin{array}{ll} 0\ 0 & \text{si l'écran affiche "Faites votre sélection"} \\ 0\ 1 & \text{si l'écran affiche "0,50 €"} \\ 1\ 0 & \text{si l'écran affiche "1,00 €"} \\ 1\ 1 & \text{si l'écran affiche "1,50 €"} \end{array}$$

2. Établissez la table de vérité ainsi que l'(les) équation(s) simplifiée(s) de la (des) sortie(s).

Lois de fonctionnement

1. cf : énoncé "*Si aucune sélection n'est effectuée, le distributeur affiche le message : "Faites votre sélection".*" (et ce quel que soit le niveau de lait)

   $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = 0\ 0\ 0\ \mathrm{X} \longrightarrow \boldsymbol{S_1\ S_0} = 0\ 0$

2. cf : énoncé "*Le client n'a pas la possibilité de sélectionner un café à la fois court et long. On ne peut alors pas prévoir l'affichage du distributeur dans le cas où les deux boutons seraient pressés simultanément.*"

   $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = 1\ 1\ \mathrm{X}\ \mathrm{X} \longrightarrow \boldsymbol{S_1\ S_0} = \mathrm{X}\ \mathrm{X}$

3. cf : énoncé "*Si le réservoir de lait est vide (ou presque) et qu'une sélection valide comprenant du lait a été effectuée, l'écran continue à afficher "Faites votre sélection" au lieu du prix de la sélection, pour indiquer qu'il est à court de lait.*"

   $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = \mathrm{X}\ \mathrm{X}\ 1\ 1$ sauf 1 1 1 1 (non valide) $\longrightarrow \boldsymbol{S_1\ S_0} = 0\ 0$

4. dans tous les autres cas, l'écran affiche le prix de la sélection :

   - café court (sucré ou non) au prix de 0,50€

     $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = 1\ 0\ 0\ \mathrm{X} \longrightarrow \boldsymbol{S_1\ S_0} = 0\ 1$

   - café court (sucré ou non) avec du lait au prix de 1,00€

     $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = 1\ 0\ 1\ 0 \longrightarrow \boldsymbol{S_1\ S_0} = 1\ 0$

   - café long (sucré ou non) au prix de 1,00€

     $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = 0\ 1\ 0\ \mathrm{X} \longrightarrow \boldsymbol{S_1\ S_0} = 1\ 0$

   - café long (sucré ou non) avec du lait au prix de 1,50€

     $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = 0\ 1\ 1\ 0 \longrightarrow \boldsymbol{S_1\ S_0} = 1\ 1$

   - lait (sucré ou non) au prix de 0,50€

     $\Rightarrow$ Si $\boldsymbol{C_c\ C_l\ L\ N_L} = 0\ 0\ 1\ 0 \longrightarrow \boldsymbol{S_1\ S_0} = 0\ 1$

Cette analyse (facultative) permet d'écrire la table de vérité du système, reprise à la table 2. Les deux dernières colonnes de la table représentent les entrées d'information d'un multiplexeur implémentant respectivement la sortie $\boldsymbol{S_1}$ et $\boldsymbol{S_0}$ du système, pour des entrées de sélections $\boldsymbol{C_c}$ et $\boldsymbol{C_l}$.

Table de vérité

C_c	C_l	L	N_L	S_1	S_0	m_i	$E_i(S_1)$	$E_i(S_0)$
0	0	0	0	0	0	0		
0	0	0	1	0	0	1		
0	0	1	0	0	1	2	0	$L\bar{N}_L$
0	0	1	1	0	0	3		
0	1	0	0	1	0	4		
0	1	0	1	1	0	5		
0	1	1	0	1	1	6	$(\overline{L\bar{N}_L})$	$L\bar{N}_L$
0	1	1	1	0	0	7		
1	0	0	0	0	1	8		
1	0	0	1	0	1	9		
1	0	1	0	1	0	10	$L\bar{N}_L$	$\bar{L}$
1	0	1	1	0	0	11		
1	1	0	0	X	X	12		
1	1	0	1	X	X	13	X	X
1	1	1	0	X	X	14		(e.g. $\bar{L}$)
1	1	1	1	X	X	15		

TABLE 2 – Table de vérité relative à la question de synthèse

Equations simplifiées des sorties

Par Karnaugh (voir figure 6), on obtient :

$$S_1 = C_l.\bar{L} + C_l.\bar{N}_L + C_c.L.\bar{N}_L$$
$$S_0 = C_c.\bar{L} + \bar{C}_c.L.\bar{N}_L$$

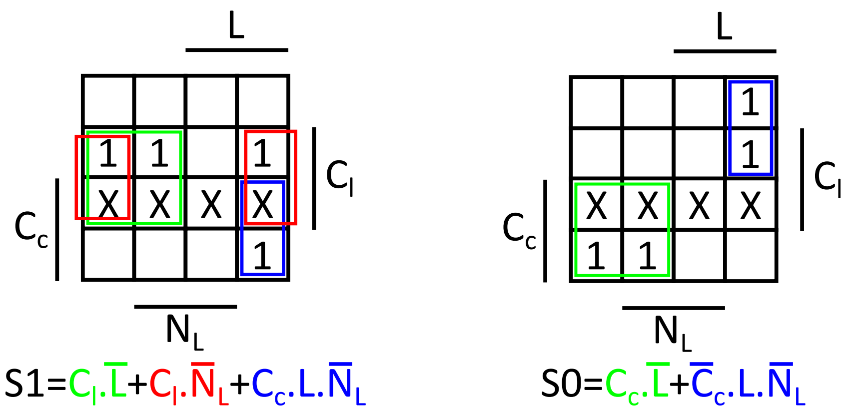

FIGURE 6 – Tables de Karnaugh pour les sorties du système

3. Exprimez la (une des) sortie(s) à l'aide d'un multiplexeur.

Implémentation de S_0 à l'aide d'un multiplexeur

Vu la dernière colonne de la table de vérité, on peut implémenter la sortie $\boldsymbol{S_0}$ à l'aide d'un multiplexeur 2-1 en identifiant la portion de $\boldsymbol{S_0}$ valant *Don't Care* à $\boldsymbol{\bar{L}}$, ce qui élimine l'entrée $\boldsymbol{C_l}$ des entrées de sélection. Ce résultat est illustré à la figure 7.

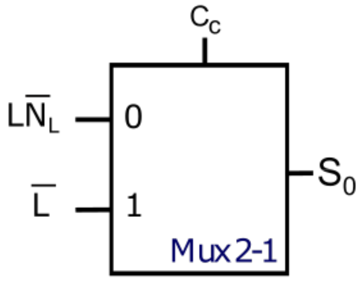

Figure 7 – Implémentation de la sortie $\boldsymbol{S_0}$ à l'aide d'un multiplexeur