



# ISEL

Departamento de Engenharia  
Eletrónica e Telecomunicações  
e de Computadores

Licenciatura em Engenharia Informática e de Computadores  
e  
Licenciatura em Engenharia Informática, Redes e Telecomunicações

## Circuitos Combinatórios em *VHDL* – *Verificação de Paridade e Zero* (1º Trabalho de Laboratório)

Lógica e Sistemas Digitais  
2024 / 2025 inverno

7 de outubro de 2024

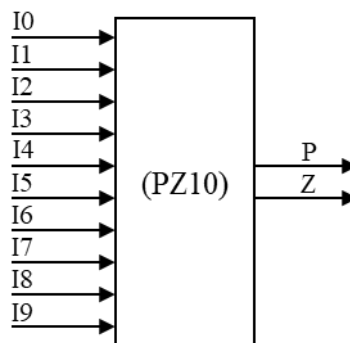
## 1 Objetivo

O objetivo deste trabalho é descrever um circuito combinatório com VHDL estrutural, simular e implementar o circuito com a placa de desenvolvimento *DE10-Lite* da *Intel*. Este trabalho é contabilizado para a classificação prática.

## 2 Descrição do circuito a desenvolver

Pretende-se implementar um circuito que verifique se o número de entradas ativas é Ímpar e se todas as entradas estão inativas (Zero).

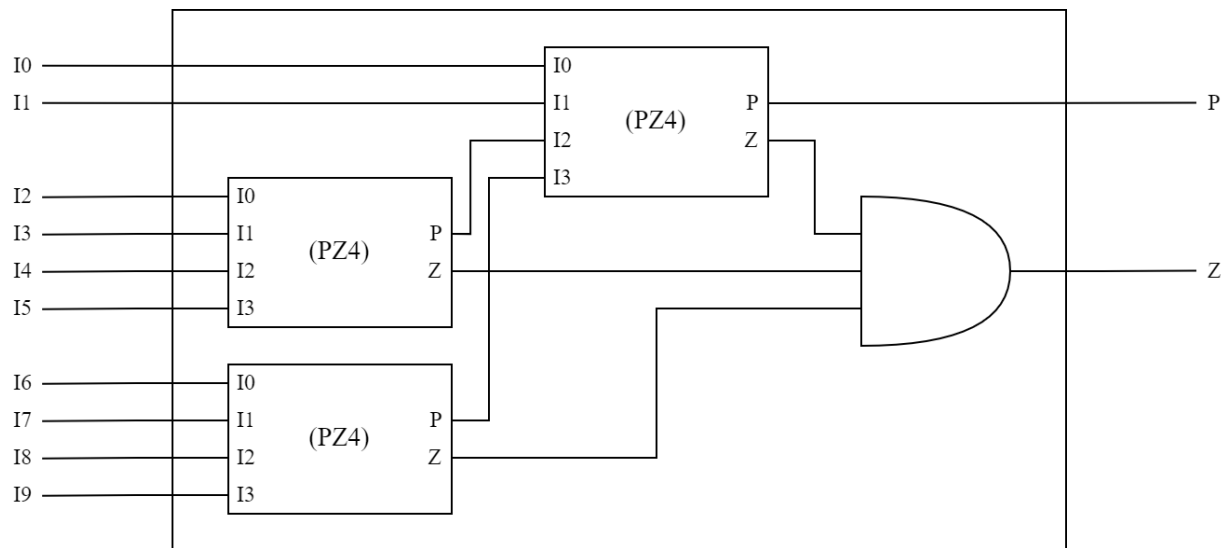
O diagrama do circuito (PZ10) é apresentado na Figura 1, sendo utilizadas 10 entradas, correspondentes a 10 botões da placa *DE10-Lite* e 2 saídas, 2 LEDs para indicação dos sinais de Paridade e Zero. Este circuito deve ser construído à custa de blocos funcionais que implementam um verificador de paridade e zero com 4 entradas cada, tal como apresentado na Figura 2.



Quando o número de entradas I (I0, I1, I2, I3, I4, I5, I6, I7, I8 e I9) ativas for ímpar, a saída P deve ficar ativa, do mesmo modo, quando o número de entradas for par, a saída deve ficar inativa. Relativamente à deteção de zero, a saída Z deve ficar ativa quando nenhuma das entradas estiver ativa e deve ficar inativa sempre que exista qualquer entrada ativa.

## 3 Projeto do Circuito

O problema deve ser resolvido com recurso à utilização de múltiplos blocos lógicos, mais simples, que implementam a função de verificação de paridade e zero com 4 entradas (PZ4). O diagrama de blocos do sistema a implementar é representado na Figura 2.



Para o projeto do circuito deverá seguir os seguintes passos:

1. Determine as expressões lógicas das funções P (I0, I1, I2, I3) e Z (I0, I1, I2, I3) para o módulo PZ4;
2. Desenhe o esquema lógico dos blocos PZ4;
3. Descreva o circuito do PZ10 em VHDL, respeitando a hierarquia apresentada no diagrama de blocos (Figura 2);
4. Simule o circuito (considere o ficheiro de exemplo de teste anexo ao trabalho);
5. Implemente o circuito na placa DE10-Lite;
6. Valide o funcionamento do circuito.

## 4 Relatório

Deverá apresentar um relatório do trabalho de acordo com o template LaTeX fornecido. O relatório deve ter a seguinte estrutura:

1. Capa com a indicação do curso, unidade curricular, elementos do grupo (número e nome), nome do trabalho;
2. Objetivo: breve descrição do trabalho a desenvolver e quais os objetivos;
3. Descrição do Circuito a Projetar: Descrever o problema (similar ao enunciado);
4. Desenvolvimento do projeto: descrição de todas as funções lógicas e diagramas lógicos;
5. Resultados e discussão: Resultados experimentais e confirmação dos resultados teóricos;
6. Conclusão: comentário sobre o trabalho desenvolvido e sobre os resultados obtidos;
7. Anexo: Código VHDL.