



ISEL

Departamento de Engenharia
Eletrónica e Telecomunicações
e de Computadores

Licenciatura em Engenharia Informática e de Computadores
e
Licenciatura em Engenharia Informática, Redes e Telecomunicações

Circuitos Sequenciais - Contador (*LABd*)

Lógica e Sistemas Digitais
2024 / 2025 inverno

10 de novembro de 2024

1 Objetivo

O objetivo deste trabalho é projetar um contador e descrevê-lo em *VHDL*. O contador será simulado e implementado com a placa de desenvolvimento *DE10-Lite* da *Intel*. Este trabalho não é contabilizado para a classificação prática.

2 Descrição do Sistema de Contagem

Pretende-se desenvolver um sistema de contagem decrescente, com valor máximo de contagem igual a 15 e com possibilidade de carregamento paralelo. A contagem deverá ser apresentada num *display* de 7-segmentos da placa *DE10-Lite*. O circuito completo deverá ser desenvolvido de acordo com o diagrama de blocos da Figura 1.

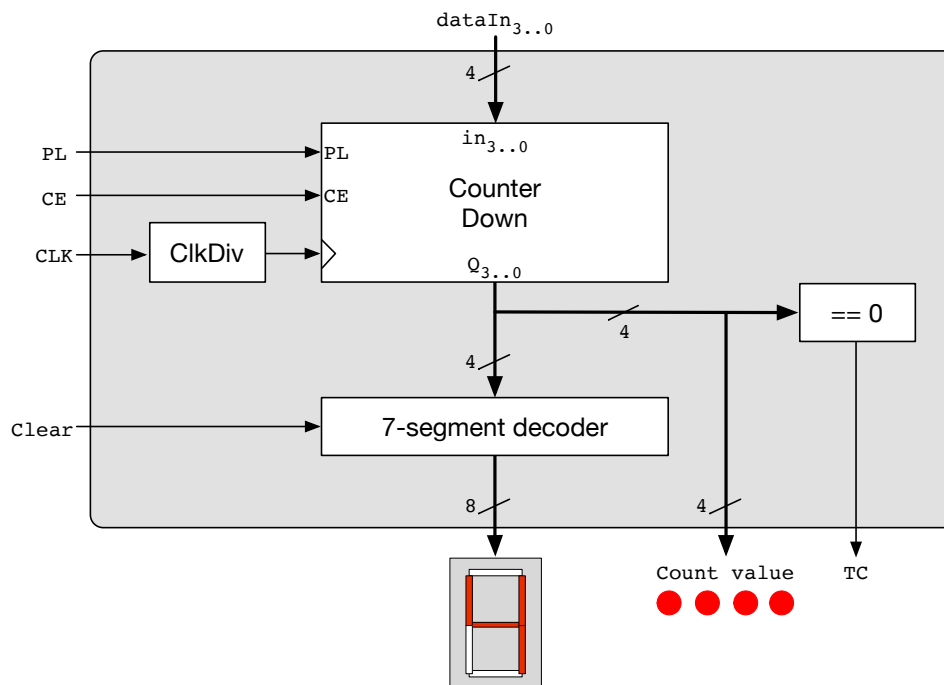


Figura 1 – Diagrama de blocos do sistema de contagem

O sistema tem as seguintes entradas e saídas:

- dataIn*: Entrada de dados para carregamento paralelo;
- Parallel Load* (PL): entrada síncrona de controlo do carregamento paralelo. Quando a '1', o valor *dataIn* é armazenado no contador;
- Count Enable* (CE): entrada síncrona de controlo da contagem. Quando a '1', o contador conta em modo decrescente;
- Clear*: Entrada de controlo do display de 7-segmentos. Quando ativa o *display* de 7-segmentos fica apagado;
- Terminal Count* (TC): Indica o fim de contagem. Quando a '1' indica que a contagem chegou ao valor 0.

O sistema é constituído pelos seguintes módulos:

- a) Contador decrescente: realiza a contagem decrescente, com possibilidade de carregamento paralelo;
- b) *CLKDIV*: divisor de relógio. Permite gerar um sinal de relógio (CLK) de 1 Hz a partir de um sinal de relógio de 50 MHz;
- c) Descodificador 7-Segmentos: descodifica um número entre 0 e 15 para código de 7-segmentos.

3 Projeto do Circuito

Considere os seguintes passos de desenvolvimento do sistema de contagem:

1. Desenvolva o contador decrescente com carregamento paralelo;
2. Descreva o circuito em *VHDL*;
3. Simule o contador
4. Adicione o módulo *CLKDIV* e o decodificador de 7-segmentos;
5. Faça a atribuição de pinos;
6. Compile o circuito;
7. Valide o sistema desenvolvido na *FPGA*.