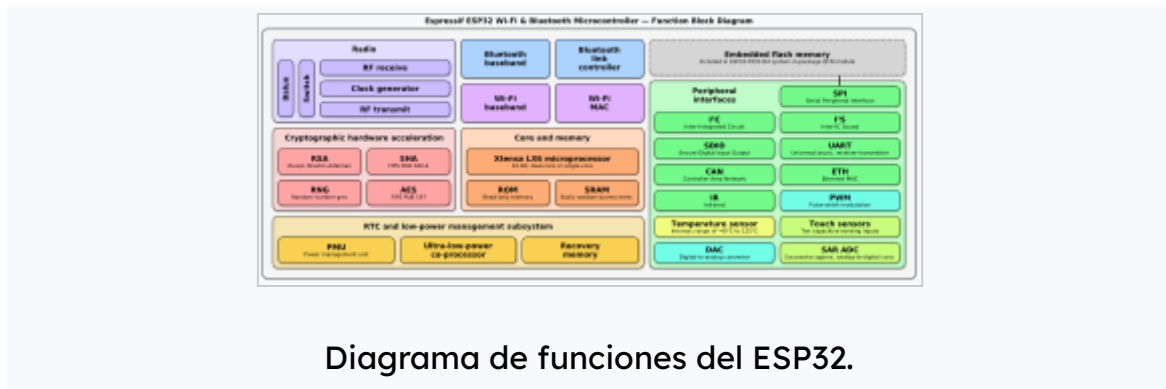


ESP32 es la denominación de una familia de chips SoC de bajo coste y consumo de energía, con tecnología Wi-Fi y Bluetooth de modo dual integrada. El ESP32 emplea un microprocesador Tensilica Xtensa LX6 en sus variantes de simple y doble núcleo e incluye interruptores de antena, balun de radiofrecuencia, amplificador de potencia, amplificador receptor de bajo ruido, filtros, y módulos de administración de energía. El ESP32 fue creado y desarrollado por Espressif Systems y es fabricado por TSMC utilizando su proceso de 40 nm. Es un sucesor de otro SoC, el ESP8266.

Características



Las características del ESP32 incluyen:

- Procesador:
 - CPU: microprocesador de 32-bit Xtensa LX6 de doble núcleo (o de un solo núcleo), operando a 160 o 240 MHz y rindiendo hasta 600 DMIPS. El procesador Xtensa LX7 se puede utilizar para una amplia gama de aplicaciones configurándose en un pequeño controlador, un motor DSP de alto rendimiento o cualquier cosa intermedia.
 - Co-procesador de ultra baja energía (ULP)
- Memoria: 520 KiB SRAM.
- Conectividad inalámbrica:
 - Wi-Fi: 802.11 b/g/n. El **estándar 802.11** es una familia de normas inalámbricas creada por el *Institute of Electrical and Electronics Engineers* (IEEE). 802.11n es la forma más apropiada de llamar a la tecnología Wi-Fi, lanzada en 2009. Mejoró con respecto a versiones anteriores de Wi-Fi

con múltiples radios, técnicas avanzadas de transmisión y recepción, y la opción de usar el espectro de 5 GHz. Todo esto implica una velocidad de datos de hasta 600 Mbps.

- Bluetooth: v4.2 BR/EDR y BLE
- Interfaces periféricas:
 - 12-bit SAR ADC de hasta 18 canales.
 - 2 × 8-bit DACs. Un conversor de señal digital a analógica o conversor digital analógico, CDA o DAC (del inglés, digital to analogue converter) es un dispositivo para convertir señales digitales con datos binarios en señales de corriente o de tensión analógica. Hay distintos componentes que pueden intervenir en este proceso, como interruptores simples, red de resistores, fuentes actuales o condensadores. Un convertidor de analógico a digital (ADC) realiza la operación inversa.

Las señales en la naturaleza tienen las características de ser continuas en su magnitud y en el diagrama temporal. La digitalización es necesaria para el procesamiento, almacenamiento y filtrado de señales analógicas con los beneficios que las señales digitales conllevan, como mayor inmunidad al ruido, circuitos electrónicos más simples para el procesamiento y almacenamiento. Representación unívoca de los elementos, cuya cantidad de símbolos es proporcional a 2^n siendo n la cantidad de bits.

- 10 × sensores de tacto (sensores capacitivos GPIOs)
- 4 × SPI. El **Bus SPI** (del inglés *Serial Peripheral Interface*) es un estándar de comunicaciones, usado principalmente para la transferencia de información entre circuitos integrados en equipos electrónicos. El bus de interfaz de periféricos serie o bus SPI es un estándar para controlar casi cualquier dispositivo electrónico digital que acepte un flujo de bits serie regulado por un reloj (comunicación sincrónica).

Incluye una línea de reloj, dato entrante, dato saliente y un pin de *chip select*, que conecta o desconecta la operación del dispositivo con el que uno desea comunicarse. De esta forma, este estándar permite multiplexar las líneas de reloj.

Muchos sistemas digitales necesitan una conexión rápida con sus periféricos. La ventaja de un bus serie es que minimiza el número de conductores, pines y el tamaño del circuito integrado. Esto reduce el coste de fabricar, montar y probar la electrónica. Un bus de periféricos serie es la opción más flexible cuando se tiene tipos diferentes de periféricos serie. El hardware consiste en señales de reloj, data in, data out y chip select para cada circuito integrado que tiene que ser controlado. Casi cualquier dispositivo digital puede ser controlado con esta combinación de señales. Los dispositivos se diferencian en un número predecible de formas. Unos leen el dato cuando el reloj sube, otros cuando el reloj baja. Algunos lo leen en el flanco de subida del reloj y otros en el flanco de bajada. Escribir es casi siempre en la dirección opuesta de la dirección de movimiento del reloj. Algunos dispositivos tienen dos relojes. Uno para capturar o mostrar los datos y el otro para el dispositivo interno.

- 2 × interfaces I²S. El bus I²S consiste de un reloj de bit, una línea de selección de palabras y la línea de datos. El protocolo I²S especifica un tipo de comunicación digital tipo PCM con parámetros bien definidos.

El reloj de bit pulsa por cada bit discreto presente en la línea de datos. El reloj de bit opera a una frecuencia que es un múltiplo de la razón de muestreo. Este multiplicador dependerá del número de bits por canal, y del número de canales. Por ejemplo, audio de calidad CD con una razón de muestreo de 44.1 kHz, con 16 bits de precisión y 2 canales estéreo tendrá una frecuencia de reloj de bit de 1.4112 MHz ($44.1 \text{ kHz} * 16 * 2$). El reloj de palabra permite al circuito receptor conocer si los datos que están siendo enviados pertenecen al canal 1 o al 2 ya que dos canales pueden ser enviados por la misma línea de datos. Para datos estéreo, la especificación I²S establece que la izquierda se transmite en la parte baja del ciclo del reloj de palabra, y la derecha en la parte alta. El reloj de palabra tiene un ciclo de reloj de 50%, y tiene la misma frecuencia que la razón de muestreo.

El primer bit transmitido después de una transición del reloj de palabra es el bit menos significativo de la palabra anterior.

En equipo de audio, el estándar I²S se usa a veces como en lazo externo entre el transporte de CD y un DAC externo, al contrario de los reproductores normales en donde el estándar es usado internamente. Algunos melómanos consideran este lazo externo como de mayor calidad que los estándares normales, AES/EBU o Toslink o S/PDIF.

El estándar I²S no considera la capa física, y como tal no establece un cable estándar. Algunos fabricantes proveen tres conectores BNC, un conector RJ-45, o un conector DE-9. Otros, como Audio Alchemy proveían un conector DIN.

- 2 × interfaces I²C. Circuito inter-integrado (I²C, del inglés *Inter-Integrated Circuit*) es un bus serie de datos desarrollado en 1982 por Philips Semiconductors (hoy NXP Semiconductors, parte de Qualcomm). Se utiliza principalmente internamente para la comunicación entre diferentes partes de un circuito, por ejemplo, entre un controlador y circuitos periféricos integrados.

El sistema original fue desarrollado por Philips a principios de 1980 con el fin de controlar varios chips en televisores de manera sencilla. Desde mediados de 1990 el I²C también es utilizado por algunos competidores para designar los sistemas compatibles I²C Philips, incluyendo Siemens AG (posteriormente Infineon Technologies AG), NEC, STMicroelectronics, Motorola (Freescale más adelante), Intersil, etc. Hay un total de mil circuitos integrados diferentes de más de 50 fabricantes (según datos de 2014).

Atmel introdujo por motivos de licencia la designación TWI (interfaz de dos hilos) actualmente utilizada por algunos otros fabricantes. Desde el punto de vista técnico, TWI e I²C son idénticos. Sin embargo, el 1 de octubre de 2006, la patente original caducó, así que ya no hay derechos de autor para el uso del término I²C. I²C no es tampoco una marca comercial registrada de NXP

Semiconductors, la protección de marca es solo para el logotipo.

- 3 × UART. **UART** son las siglas en inglés de *Universal Asynchronous Receiver-Transmitter* (en español: **Transmisor-Receptor Asíncrono Universal**), el dispositivo que controla los puertos y dispositivos serie. Se encuentra integrado en la placa base o en la tarjeta adaptadora del dispositivo.

Un UART dual, o DUART, combina dos UART en un solo chip. Existe un dispositivo electrónico encargado de generar la UART en cada puerto serie. La mayoría de las computadoras modernas utilizan el chip UART 16550, que soporta velocidades de transmisión de hasta 921,6 Kbps (Kilobits por segundo). Las funciones principales de chip UART son: manejar las interrupciones de los dispositivos conectados al puerto serie y convertir los datos en formato paralelo, transmitidos al bus de sistema, a datos en formato serie, para que puedan ser transmitidos a través de los puertos y viceversa.

- Controlador host SD/SDIO/CE-ATA/MMC/eMMC
- Controlador esclavo SDIO/SPI
- Interfaz Ethernet MAC con DMA dedicado y soporte para el protocolo IEEE 1588 Precision Time Protocol
- Bus CAN 2.0
- Controlador remoto infrarrojo (TX/RX, hasta 8 canales)
- Motor PWM
- LED PWM (hasta 16 canales)
- Sensor de efecto Hall
- Pre-amplificador analógico de ultra baja potencia
- Seguridad:
 - Soporta todas las características de seguridad estándar de IEEE 802.11, incluyendo WFA, WPA/WPA2 y WAPI
 - Arranque seguro
 - Cifrado flash
 - 1024-bit OTP, hasta 768-bit para clientes
 - Criptografía acelerada por hardware: AES, SHA-2, RSA, criptografía de curva elíptica (ECC), generador de números aleatorios (RNG).
- Administración de energía:

- Regulador interno de baja caída.
- Dominio de poder individual para RTC.
- Corriente de 5 μ A en modo de suspensión profundo
- Despierta por interrupción de GPIO, temporizador, medidas de ADC, interrupción por sensor de tacto capacitivo.