

TP#3 CLC

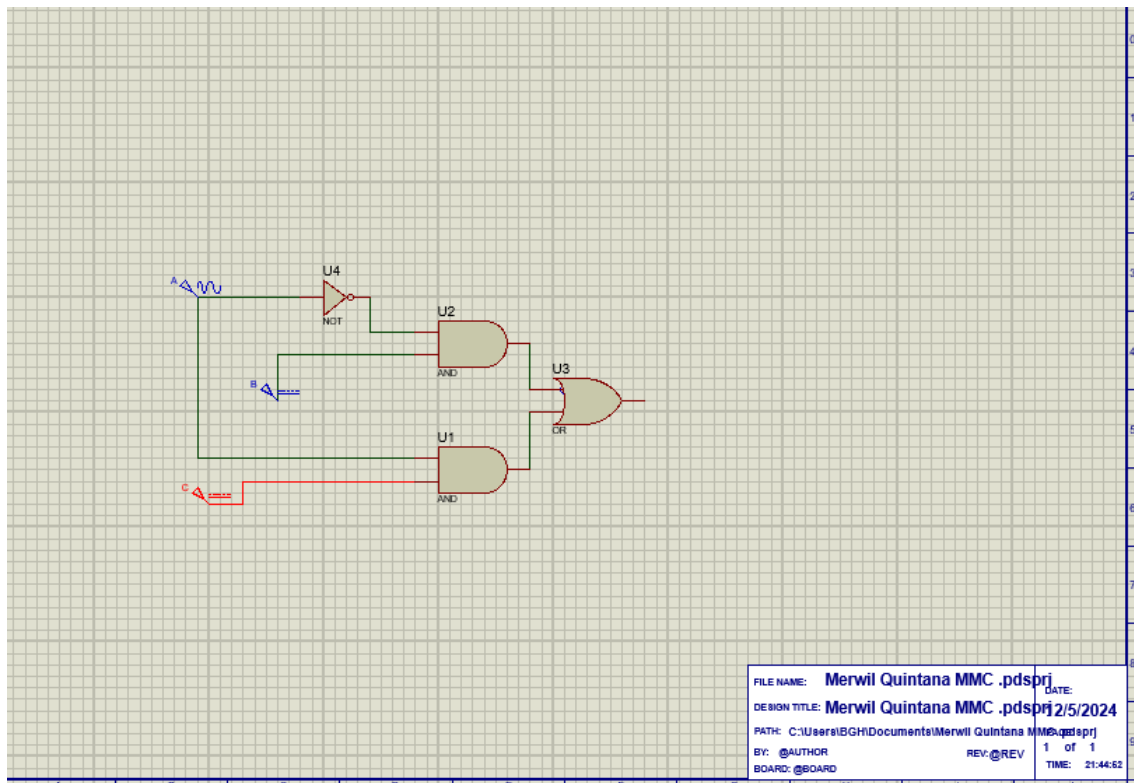
Nombres : Merwil Gustavo

Apellidos : Quintana Becerra

Desarrollo del Trabajo Práctico

EJERCICIO N1

1. Implementación de una función lógica: Diseñar un circuito combinacional que implemente la función lógica $F(A, B, C) = A'B + AC$.



EJERCICIO N2

$$F(A,B,C)=A'B+AC$$

Negación de A (A'): La función lógica tiene un término A'. Esto significa que necesitamos la negación de A. Para obtener A', utilizamos una compuerta NOT en la entrada A. La compuerta NOT invierte el valor de A. Si A es 1, A' será 0 y viceversa.

Cálculo de A'B: Una vez que tenemos A', necesitamos calcular A'B. Para esto, utilizamos una compuerta AND con las entradas A' y B. La compuerta AND da una salida de 1 si y solo si todas sus entradas son 1. Por lo tanto, A'B será 1 si y solo si A' es 1 y B es 1.

Cálculo de AC: De manera similar, necesitamos calcular AC. Para esto, utilizamos otra compuerta AND con las entradas A y C. Al igual que antes, AC será 1 si y solo si A es 1 y C es 1.

Cálculo de la salida F: Finalmente, necesitamos calcular la salida F. Para esto, utilizamos una compuerta OR con las entradas A'B y AC. La compuerta OR da una salida de 1 si al menos una de sus entradas es 1. Por lo tanto, F será 1 si A'B es 1 o AC es 1.

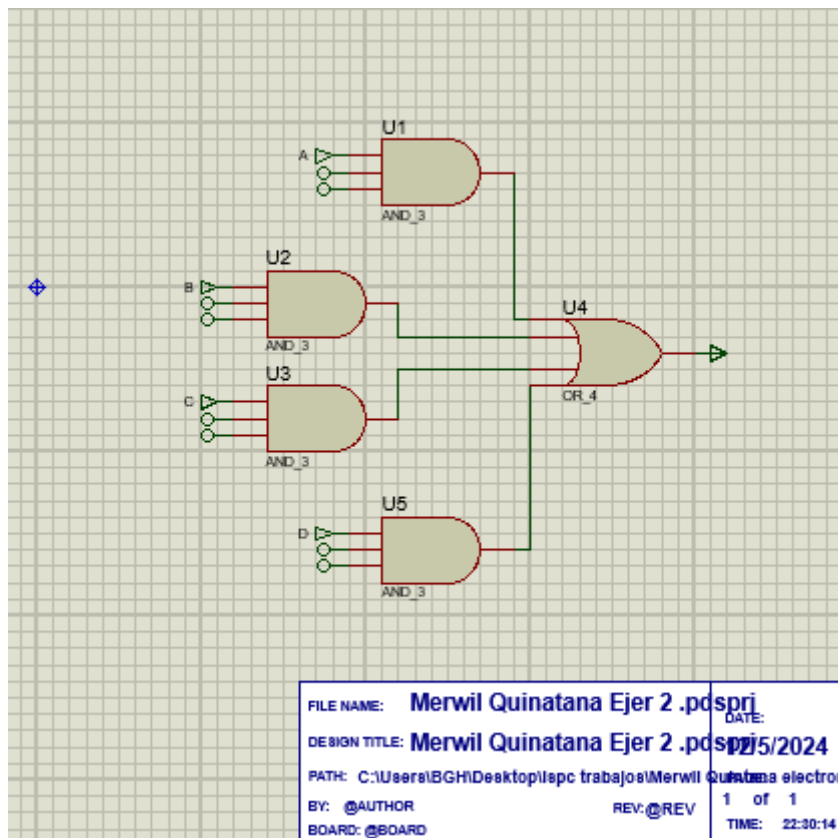
<u>A</u>	<u>B</u>	<u>C</u>	<u>D</u>	<u>F</u>
0	0	0	0	0
0	0	0	1	0
0	0	1	0	1
0	0	1	1	0
0	1	0	0	0
0	1	0	1	1
0	1	1	0	1
0	1	1	1	0
1	0	0	0	0
1	0	0	1	1
1	0	1	0	1
1	0	1	1	0
1	1	0	0	1
1	1	0	1	1
1	1	1	0	1
1	1	1	1	0

Mapa k

A B C D	00	01	11	10
00	0	0	0	1
01	0	1	0	1
11	1	1	0	1
10	0	1	0	1

EJERCICIO N3

2. Simplificación de una expresión lógica: Simplificar la expresión lógica $F(A, B, C, D) = ABC + AB'D + ACD'$ utilizando álgebra de Boole y mapas de Karnaugh.



3. Multiplexor: Diseñar un circuito combinacional que implemente un multiplexor 4:1 utilizando compuertas lógicas.

4. Comparador de números de 2 bits: Diseñar un circuito combinacional que compare dos números de 2 bits A y B, y produzca una salida de 1 si $A > B$, 0 si $A = B$, y -1 si $A < B$.

5. Codificador: Diseñar un circuito combinacional que implemente un codificador 4:2 utilizando compuertas lógicas.