

REVISÃO EDITORIAL DO LIVRO “SABER COM LÓGICA”

Eugénio Tchipako,

Relatório de Actividades

Resumo—O presente relatório tem como finalidade descrever as atividades por mim realizadas durante a revisão editorial do Livro “Saber com Lógica”, mais especificamente o seu Capítulo 9 – Memória Principal, da autoria do Eng.º João Silva, contante das Atividades Institucionais da cadeira de Portfólio III, com o código número O1415T1M01, do Instituto Superior Técnico de Lisboa. A referida revisão editorial foi feita para as duas versões: Português e Inglês.

Palavras Chave—Memória Principal, Memória Dinâmica, CPU-Central Processing Unit, Latência.

1 INTRODUÇÃO

ESTE relatório comporta todas as informações sobre os motivos e razões que me levaram a proceder a revisão editorial do Livro “Saber com Lógica” da autoria do Eng.º João Silva. Sou Angolano e estou em Lisboa para fazer o curso de Mestrado em Engenharia Informática e de Computadores no Instituto Superior Técnico da Universidade de Lisboa, na qualidade de bolseiro da Universidade Técnica de Angola – UTANGA, à luz de um convénio assinado entre as duas Instituições.

2 INÍCIO DA ACTIVIDADE

As aulas do presente ano académico tiveram início a 15 de Setembro de 2014 e eu estava atrasado mais de dois (2) meses. Este atraso deveu-se a questões burocráticas em Angola, relativas a obtenção do Visto de estudante junto da Embaixada de Portugal em Luanda. Por isso, pareceu-me ser uma certa imprudência se optasse por me inscrever em todas as cadeiras do 1º semestre.

Depois de fazer uma auto-avaliação das minhas capacidades académicas em termos En-

- Eugénio Tchipako, nr. 82662,
E-mail: eugenio.tchipako@tecnico.ulisboa.pt,
Instituto Superior Técnico, Universidade de Lisboa.

16 de Janeiro de 2015.

genharia de Software, que é a minha especialidade de Mestrado, decidi concentrar o meu esforço em apenas algumas cadeiras, aquelas que se me afiguraram com algumas possibilidades de superação. Os meus colegas encontrados deram um contributo valioso nesse sentido.

No dia 20 de Novembro tive o primeiro contacto com as instalações do IST e seu processo de ensino, bem como o contacto com o docente da cadeira de Portfólio, Dr. Rui Santos Cruz que apesar do meu atraso de mais de 2 meses devido a questões já referenciadas acima, anuiu a minha inscrição tardia na cadeira e mostrou-me todos os passos necessários para a obtenção de bons resultados. De facto foi bastante compreensivo e recetivo.

De um leque de Atividades Institucionais apresentados na página do Fénix do IST, escolhi a revisão editorial do livro “ Saber com Lógica”, como aliás também recomendou o Professor da Cadeira, tendo em conta o meu atraso e o horizonte temporal de entrega.

2.1 Descrição da Atividade

Tal como a própria expressão diz, “revisão editorial”, nesta atividade procedi à uma revisão, ortográfica, sintática e de certo modo técnica, em Português e em Inglês, do Capítulo 9 do livro “Saber com Lógica”, cujas sugestões apresentei ao seu autor. Nos anexos deste trabalho estão a referidas sugestões.

[illegible]

2.2 Plano de Execução de Tarefa

Para o sucesso de qualquer processo é imperioso a elaboração e cumprimento de um plano de realização de tarefas. Assim, para que esta atividade fosse realizada, elaborei um plano que procurei cumprir na íntegra:

14/12/2014 – Contatar o autor do livro, Eng.º João Silva, no seu escritório, sito no Oriente para receber os suportes físico e lógico do capítulo 9 do Livro em revisão;

De 15 a 24/12/2014 – Ler minuciosamente as 48 páginas, que comportam o capítulo 9, sendo 24 em Português e 24 em Inglês e fazer as devidas anotações das sugestões de correção;

27/12/2014 – Contactar o “coach team” da cadeira;

De 28/12/2014 a 05/01/2015 – Elaborar os quadros das sugestões;

06/01/2015 – Enviar as sugestões ao autor;

De 7 a 10/01/2015 – Elaborar o Relatório de atividades;

De 12 a 15/01/2015 – Elaborar o Relatório de aprendizagens;

16/01/2015 - Transformar os relatórios em Latex e gerar as respectivas pastas zipadas;

17/01/2015 – Submeter os relatórios ao Professor da cadeira via Fénix.

2.3 Carga Horária

Tendo em contas as exigências de outras cadeiras do curso, diariamente reservei quatro horas, intercaladas, para a execução das tarefas.

2.4 Resultados/Dificuldades

Não se podemos rever o que não lemos e quem lê e revê, aprende. O capítulo 9 do Livro “Saber com Lógica”, é muito rico para os estudantes e investigadores das Tecnologias de Informação, mas também muito complexo, por abordar uma questão também complexa – a Memória Principal. Entretanto, tal como o autor diz, “uma complexidade é o somatório de muitas simplicidades”, fazendo a revisão editorial desse capítulo ajudou-me a compreender a estrutura física e lógica da Memória Principal de um computador e o seu funcionamento.

Dificuldades não faltaram, sobretudo as conexões das células e o funcionamento dos comandos dos diagramas que, mesmo depois de

leituras repetidas, ainda preciso de esclarecimentos adicionais.

2.5 Abreviaturas e Acrónimos

IST- Instituto Superior Técnico.

UTANGA – Universidade Técnica de Angola.

CPU – Central Processing Unit.

MM – Main Memory.

3 CONCLUSÃO

Em termos de conclusão devo dizer que foi uma grata experiência porque foi uma oportunidade para mergulhar neste complexo mundo da Memória Principal de um computador.

AGRADECIMENTOS

Gostaria de agradecer em primeiro lugar o Dr. Rui Santos Cruz, docente da cadeira, que apesar da minha chegada tardia ao IST, aceitou-me e orientou-me como devia levar acabo as atividades. Em segundo lugar agradeço o Senhor Engenheiro João Silva, autor do Livro ao qual fiz a revisão editorial, por todo o apoio e disponibilidade pessoal e do material necessário para levar acabo o processo de Revisão Editorial.

*Neste tipo de documento (Técnico)
a Conclusão deve começar com
um resumo do assunto abordado
e depois deve realçar o resultado*

APÊNDICE

Português

■ Sugestão

■ Correção

Página	Grafia atual	Sugestão/Correção
5	CPU	CPU (Central Processing Unit)...sendo a primeira sigla do capítulo devia ser decifrada.
5	...que com a sua inteligência e capacidade de integração dos raciocínios lógicos fazem.....	...que, com a sua inteligência e capacidade de integração dos raciocínios lógicos, fazem... (vírgula)
5	...Esses quartos estão organizadas...	...Esses quartos estão organizados...
6	O controlador desdobra esse endereço em duas partes iguais e envia-os...	O controlador desdobra esse endereço em duas partes iguais e envia-as...
8	Mas admitamos agora que a memória que se pretendia analisar tinha 4 KBytes	Mas admitamos agora que a memória que se pretendia analisar tenha 4 KBytes
9	256Mb	256 Mb (espaço)
11	...estão ambos em alta pois estamos...	...estão ambos em alta pois, estamos... (vírgula)
11	...CS está em baixo pois o DIE...	...CS está em baixo pois, o DIE... (vírgula)
15	...se trate de uma escrita ou uma leitura.	...se trate de uma escrita ou de uma leitura.

15	...liga também, junto com o seletor de coluna a outra porta...	...liga também, junto com o seletor de coluna, a outra porta...(vírgula)
15	A estas portas OR liga também o sinal...	À estas portas OR liga também o sinal... (acento grave)
15	Pertencer à coluna selecionada Estarmos num ciclo de escrita ou de leitura, alternando duas portas conforme a situação.	Pertencer à coluna selecionada; Estarmos num ciclo de escrita ou de leitura, alternando duas portas conforme a situação; (ponto e vírgula)
16	...mas simplesmente como é selecionada uma linha, uma coluna e uma operação.	...mas simplesmente como é selecionada uma linha, uma coluna ou uma operação.
16	Entretanto fecha os dois transístores...	Entretanto, fecha os dois transístores... (vírgula)
16	...fechado o transistor T5 pois a <i>Precarga</i>	...fechado o transistor T5 pois, a <i>Precarga</i> ... (vírgula)
17	Para não alongar muito a descrição diremos que...	Para não alongar muito a descrição, diremos que... (vírgula)
18	...deixando a BL ligada a terra...	...deixando a BL ligada à terra...(vírgula)
19	...o esquema do DIMM correspondente a este módulo...	...o esquema do DIMM correspondente à este módulo... (acento grave)
19	Rom	ROM
19	Se o endereço enviado disser respeito a uma linha AP tem o significado do bit desse endereço. Se o endereço enviado disser respeito a uma coluna então:	Se o endereço enviado disser respeito à uma linha AP tem o significado do bit desse endereço. Se o endereço enviado disser respeito à uma coluna então:

19	...o pre carregamento...	...o pré-carregamento... (composta por justaposição)
19	<i>Modo de escrita ou leitura</i> , que como o nome diz é o modo em que se encontra quando se fazem acessos de escrita ou leitura à matriz de dados.	<i>Modo de escrita ou leitura</i> – que, como o nome diz, é o modo em que se encontra quando se fazem acessos de escrita ou leitura à matriz de dados.
20	Por isso passa a assumir...	Por isso, passa a assumir... (vírgula)
21	Em nanossegundos, desde as primeiras SDRAM até agora às mais modernas DDR3 SDRAM, as melhoras que....	Em nanossegundos, desde as primeiras SDRAM até agora às mais modernas DDR3 SDRAM, as melhorias que....
21	...detetar a carga na célula de memória, restaurá-la e aguardar a estabilização dos sinais.	...detetar a carga na célula de memória, restaurá-la e aguardar pela estabilização dos sinais.

Inglês

■ Suggestion

■ Correction

Page	Current Spelling	Suggestion/Correction
5	CPU	CPU (Central Processing Unit)...being the first acronym I suggest to show its meaning.
5	Hence the importance.....	Hence, the importance.....(comma)
5	Hence the existence of several Hence, the existence of several.... (comma)
5	It's the intelligence ...	It is the intelligence.... (being an academic and consultation book contractions should be avoided)
5	The primary memory...	The Primary Memory ... (capital letters).
5	If we need the information contained by a particular messenger,	If we need the information from a particular messenger....
5	George.	Joseph (version in Portuguese “José”)
5	It's where the information that the CPU...	It is where the information that the CPU... (contractions should be avoided)
5	...let's say a few thousand...	... let us say a few thousand(contractions should be avoided)
5	...the adress where...	...the address where....
6	Is the MC that translates the CPU instructions for the PM.	Is the MC that translates the CPU instructions to the PM.

6	...two parts, instead of sending it completely leaving to the PMtwo parts, instead of sending it completely, leaving to the PM ... (comma)
6	(Synchronous Dinamic Random Access Memory)	(Synchronous Dynamic Random Access Memory)
6	...cause in the end of this Chapter because in the end of this Chapter... (contractions should be avoided)
6	... the bits needed for the address is reduced of 3...	... the bits needed for the address are reduced of 3...
7	... of almost every computer sold today.	... of almost every computer sold nowadays .
7	...word CPU already have a 64 bits data bus.word CPU already had a 64 bits data bus.
7	...the same can not be saidthe same cannot be said ... (one word)
8	modus operandi	“modus operandi” (Latin expression - inverted commas)
8	... where is our evolution in this moment.	... where our evolution is in this moment. (move the verb)
9	...means Synchronisedmeans Synchron ized ...
10	Therefore, to activate a Tristate gate (0) is four conditions will be....	Therefore, to activate a Tristate gate (0) is four conditions will be....(this verb is not needed there)
16	We will start in the situation ...	We will start with the situation ...
16	... as both BLs are loosing their chargeas both BLs are losing their charge.
16	... connecting the BLs to ground.	... connecting the BLs to the ground.

17	...it's very important know...	... it is very important to know...
20	...we'll have 8,192...	...we'll have 8,192...(contractions should be avoided)
21	... in the <i>DQs</i> , mas that as nothing...	... in the <i>DQs</i> , but that as nothing...
23	...to the the rising edge...	...to the the rising edge... (remove on the)
24	...we can get more effective understanding of the diagram...	...we can get more effective the understanding of the diagram...