

1 Especificação Módulo decSeq01

O módulo `decSeq01` é responsável por decodificar um endereço de 4 bits (`address`) em um valor de saída de 4 bits (`output`) com base em uma tabela de mapeamento predefinida. Este módulo realiza uma seleção condicional para determinar o valor da saída correspondente a cada valor do endereço.

1.1 Interfaces

- **INPUT**

- `address (wire [3:0])`: Representa o endereço de 4 bits que será decodificado.

- **OUTPUT**

- `output (wire [3:0])`: Representa o valor decodificado de 4 bits correspondente ao endereço de entrada (aqui será necessário modificar o nome - `output` é uma primitiva do verilog - atenção que esse sinal propaga para outros módulos).

1.2 Funcionamento

O módulo decodifica o valor do `address` de entrada de acordo com a seguinte tabela de mapeamento:

- `address = 4'b0000: output = 4'b0001`
- `address = 4'b0001: output = 4'b0100`
- `address = 4'b0010: output = 4'b0001`
- `address = 4'b0011: output = 4'b1000`
- `address = 4'b0100: output = 4'b0010`
- `address = 4'b0101: output = 4'b0001`
- `address = 4'b0110: output = 4'b1000`
- `address = 4'b0111: output = 4'b0100`
- `address = 4'b1000: output = 4'b0001`
- `address = 4'b1001: output = 4'b0010`
- `address = 4'b1010: output = 4'b0001`
- `address = 4'b1011: output = 4'b1000`
- `address = 4'b1100: output = 4'b0100`

- address = 4'b1101: output = 4'b0010
- address = 4'b1110: output = 4'b1000
- address = 4'b1111: output = 4'b0001