

# Especificação Módulo Counter\_FPGA

May 24, 2024

## 1 Descrição Geral

O módulo `Counter_FPGA` é responsável por incrementar o endereço que será inserido na ROM para construir a sequência correta na rodada.

## 2 Interfaces

### • INPUT

- `clk`: Sinal de clock (`wire`)
- `R`: Sinal de reset (`wire`)
- `E`: Sinal de habilitação (`wire`)
- `data`: `wire` ([3:0]), define o limite de contagem (ROUND no datapath)

### • OUTPUT

- `tc`: Sinal de carry terminal (`reg`), que é '1' quando a sequência atinge seu limite de contagem
- `SEQFPGA`: Vetor de lógica(`reg` [3:0]), será o endereço inserido na ROM

## 3 Descrição das Portas

- `clk`: Porta de entrada de clock, usada para sincronizar a contagem.
- `R`: Porta de entrada de reset, usada para resetar o contador.
- `E`: Porta de entrada de habilitação, usada para habilitar o incremento do contador.
- `data`: Porta de entrada que define o limite máximo da contagem.
- `tc`: Porta de saída que indica quando o contador atinge o limite definido em `data`.
- `SEQFPGA`: Porta de saída que fornece o valor atual do contador, usado como endereço na ROM.

## 4 Descrição do Funcionamento Interno

O componente é implementado utilizando um processo sensível aos sinais `clk`, `R`, `E`, `total` e `data`. A contagem é realizada da seguinte forma:

- `R` assíncrono (deve ir na lista de sensibilidade);
- Quando o sinal de reset (`R`) é '1', o contador (`total`) é resetado para "0000" e o sinal `tc` é setado para '0'.
- Se `clk` tem uma transição de borda de subida (`posedge clk`), o contador é incrementado caso o sinal de habilitação (`E`) seja '1'.
- Após o incremento, se o valor do contador (`total`) for igual ao valor de `data`, o sinal `tc` é setado para '1', indicando que o limite foi atingido. Caso contrário, `tc` é setado para '0'.

O valor atual do contador (`total`) é atribuído à porta de saída `SEQFPGA`, fornecendo o endereço a ser inserido na ROM.