

## Ejercicio 3

Se desean realizar dos módulos en Verilog, un Decoder de dos entradas y un Mux de cuatro entradas. Además de esos dos módulos se implementó un Encoder.

El programa que se realizó en Verilog, fue hecho con if statements, esto quiere decir que este, es ajeno a las compuertas lógicas y a su distribución necesarias para poner en funcionamiento el circuito. A continuación, se insertarán figuras de estos tres circuitos, para poder entender el funcionamiento de estos.

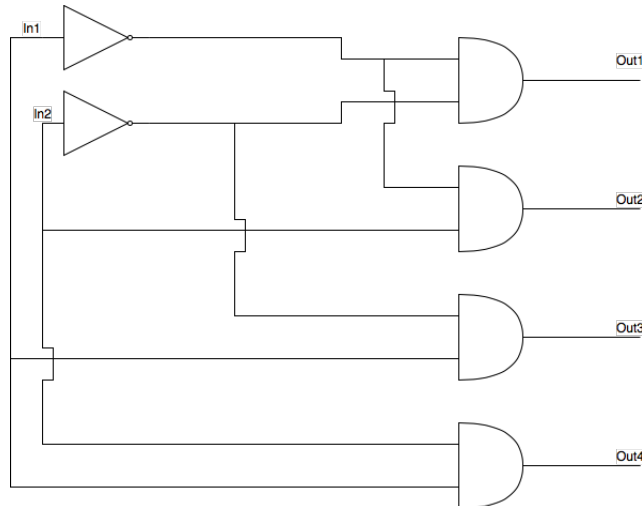


Figure 1: Decoder de dos entradas

Este es un decoder como el que se realizó en el programa, tiene dos entradas y cuatro salidas y su tabla de verdad es:

Input 1	Input 2	Output 1	Output 2	Output 3	Output 4
0	0	<b>1</b>	<b>0</b>	<b>0</b>	<b>0</b>
0	1	<b>0</b>	<b>1</b>	<b>0</b>	<b>0</b>
1	0	<b>0</b>	<b>0</b>	<b>1</b>	<b>0</b>
1	1	<b>0</b>	<b>0</b>	<b>0</b>	<b>1</b>

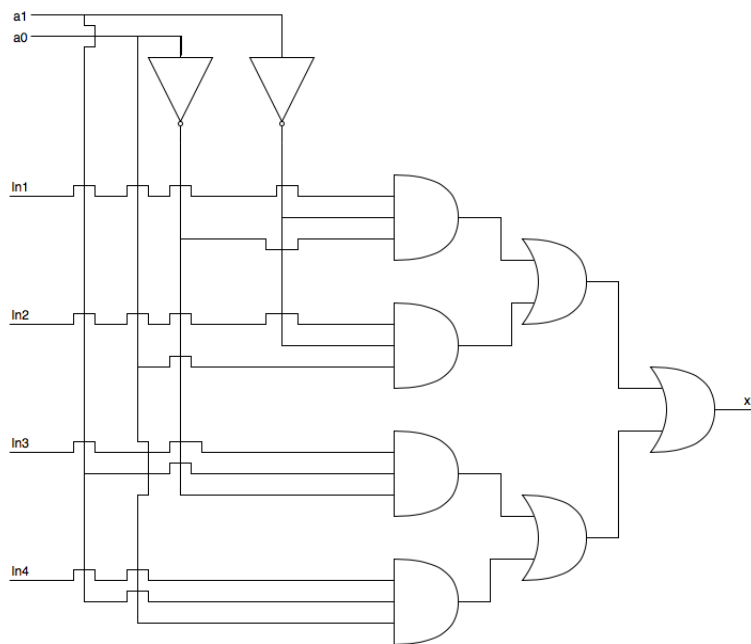


Figure 2: Mux de 4 entradas

Este es un Mux como el que se realizo en el progama, tiene cuatro entradas, una salida y dos select lines. La tabla de verdad es:

a1	a0	<i>x</i>
0	0	<b>In1</b>
0	1	<b>In2</b>
1	0	<b>In3</b>
1	1	<b>In4</b>

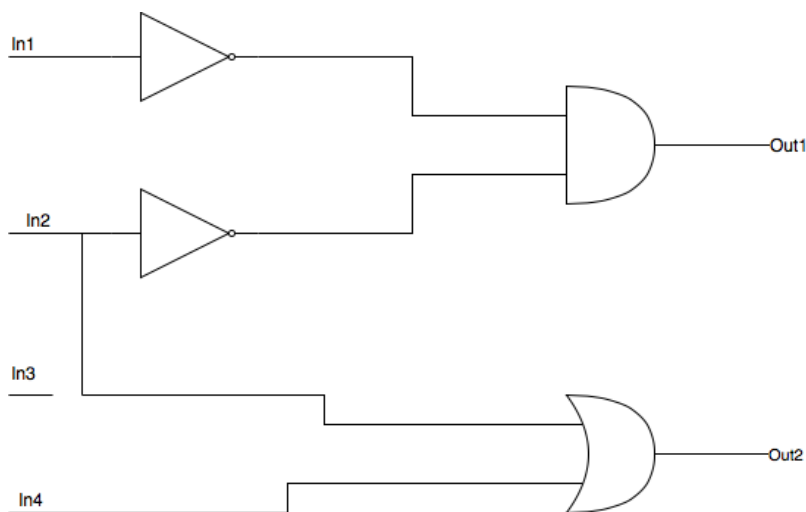


Figure 3: Encoder de 4 entradas

Este es un encoder como el que se realizo en Verilog, es de 4 entradas y dos salidas. La tabla de verdad es:

In1	In2	In3	In4	Out1	Out2
1	0	0	0	<b>0</b>	<b>0</b>
0	1	0	0	<b>0</b>	<b>1</b>
0	0	1	0	<b>1</b>	<b>0</b>
0	0	0	1	<b>1</b>	<b>1</b>

Como se puede ver en la figura 3, una de las entradas no esta conectada al circuito, pero esto no modifica la salida, ya que puede ser 1 en un solo caso, en el cual todas las demas entradas son 0, en el resto de los casos, In3 es siempre 0.