

1 Ejercicio 4

En primer lugar a continuacion se presenta la tabla de verdad para la salida, la cual se presenta de la forma Y3, Y2, Y1, Y0 (bit mas significativo al menos significativo y analogamente para la entrada).

Entradas				Salidas			
A3	A2	A1	A0	Y3	Y2	Y1	Y0
0	0	0	0	0	0	0	0
0	0	0	1	1	1	1	1
0	0	1	0	1	1	1	0
0	0	1	1	1	1	0	1
0	1	0	0	1	1	0	0
0	1	0	1	1	0	1	1
0	1	1	0	1	0	1	0
0	1	1	1	1	0	0	1
1	0	0	0	1	0	0	0
1	0	0	1	0	1	1	1
1	0	1	0	0	1	1	0
1	0	1	1	0	1	0	1
1	1	0	0	0	1	0	0
1	1	0	1	0	0	1	1
1	1	1	0	0	0	1	0
1	1	1	1	0	0	0	1

Lo siguiente que se realizo fueron los mapas de Karnaugh para cada bit de la salida, para Y0 arriba a la izquierda, para Y1 arriba a la derecha, para Y2 abajo a la izquierda y para Y3 abajo a la derecha:

A3A2	00	01	11	10	A3A2	00	01	11	10
A1A0					A1A0				
00	0	0	0	0	00	0	0	0	0
01	1	1	1	1	01	1	1	1	1
11	1	1	1	1	11	0	0	0	0
10	0	0	0	0	10	1	1	1	1

A3A2	00	01	11	10	A3A2	00	01	11	10
A1A0					A1A0				
00	0	1	1	0	00	0	1	0	1
01	1	0	0	1	01	1	1	0	0
11	1	0	0	1	11	1	1	0	0
10	1	0	0	1	10	1	1	0	0

Con estos mapas de Karnaugh obtenemos para cada salida las siguientes expresiones en funcion de los minterminos:

$$Y0 = m_1.m_3.m_5.m_7.m_{13}.m_{15}.m_9.m_{11}$$

$$Y1 = m_1.m_5.m_{13}.m_9 + m_2.m_6.m_{16}.m_{10}$$

$$Y2 = m_4.m_{12} + m_1.m_3.m_9.m_{11} + m_3.m_2.m_{11}.m_{10}$$

$$Y3 = m_8 + m_4.m_5.m_7.m_6 + m_1.m_3.m_5.m_7 + m_3.m_2.m_7.m_6$$

Y si procedemos a simplificar obtenemos: $Y0 = A0$

$$Y1 = A0.\overline{A1} + \overline{A0}.A1$$

$$Y2 = A0.\overline{A2} + A1.\overline{A2} + \overline{A0}.\overline{A1}.A2$$

$$Y3 = A0.\overline{A3} + A1.\overline{A3} + A2.\overline{A3} + \overline{A0}.\overline{A1}.\overline{A2}.A3$$

Y por ultimo podemos representar las salidas en funcion de las entradas con las compuertas logicas como se puede observar en los graficos que mostramos a continuacion, donde no representamos Y0 ya que es directamente igual a la entrada A0:



