

1. Ejercicio 6

1.1. Latch SR

1.1.1. Introducción teórica

En el presente trabajo practico se implemento un Latch SR con compuertas lógicas NAND como se muestra a continuación:

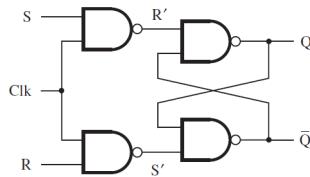


Figura 1: Circuito implementado para la realización del Latch SR

El circuito se comporta de la siguiente manera:

- Cuando $Clk = 0$, el latch permanece en el estado en que está en el instante t , es decir, $Q(t)$, independientemente de los valores de S y R.
- Cuando Clk cambia a 1, las señales S' y R' serán iguales que las señales S y R, respectivamente. En estas condiciones, nuestro circuito cuenta con la capacidad de establecerse en 1 e inicializarse en 0 (S por set y R por reset, establecerse e inicializarse, respectivamente).

A continuación se procederá a mostrar su símbolo gráfico, su tabla característica y un ejemplo para una mayor comprensión del mismo:

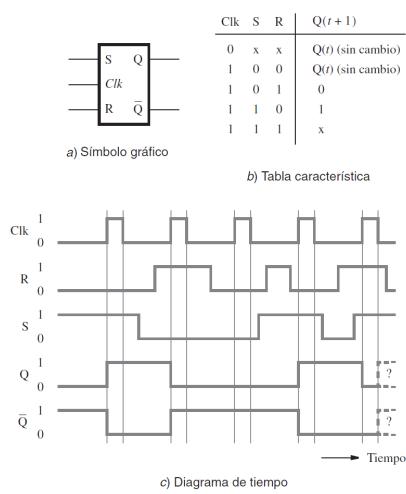


Figura 2: a) Símbolo gráfico ; b) Tabla caracteristica ; c) Ejemplo

En la última fila del ejemplo, donde $S = R = 1$, se muestra que el estado $Q(t + 1)$ no está definido porque no sabemos si será 0 o 1. Por esto, debemos remarcar que para asegurar una operación significativa del Latch SR es esencial evitar la posibilidad de tener las dos entradas S y R iguales a 1 cuando Clk cambia de 1 a 0.

1.1.2. Mediciones realizadas y análisis de resultados

Para realizar las mediciones del Latch SR se implemento en PCB el circuito presentado en la subsección anterior haciendo uso del integrado 74HC00 (datasheet: https://assets.nexperia.com/documents/data-sheet/74HC_HCT00.pdf).

Por otro lado, a partir de la hoja de datos del integrado 74HC749, notamos que algunos de los tiempos que caracterizan al Latch SR son: $t_{establecimiento}$, t_{rise} y t_{fall} . Es por esto, que realizamos la medición de dichos tiempos para luego poder realizar una comparación con los tiempos dados en la hoja de datos del integrado 74HC749.

Los tiempos de rise y fall son sencillos de medir y se midieron del 10 % al 90 % de la subida o bajada de la señal respectivamente. Para el tiempo de establecimiento nos pareció mas claro mostrar imágenes de como fue medido:

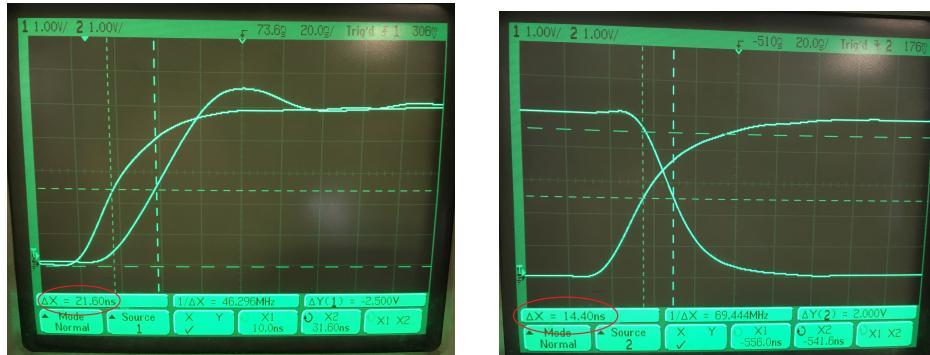


Figura 3: Medición del tiempo de establecimiento

Finalmente, los resultados obtenidos fueron los siguientes:

Clk	R	S	$Q(t) \rightarrow Q(t + 1)$	$t_{establecimiento}(ns)$
f	0	1	$0 \rightarrow 1$	21.6
f	1	0	$1 \rightarrow 0$	14.4

$t_{rise}(ns)$	$t_{fall}(ns)$
37.8	36.2

Cuadro 1: Mediciones realizadas a partir del circuito implementado

Clk	R	S	$Q(t) \rightarrow Q(t + 1)$	$t_{establecimiento}(ns)$
f	0	1	$0 \rightarrow 1$	20
f	1	0	$1 \rightarrow 0$	13

$t_{rise}(ns)$	$t_{fall}(ns)$
<400	<400

Cuadro 2: Datos obtenidos de la datasheet del integrado 74HC749

Comparando los tiempos medidos con los dados en la hoja de datos del fabricante del 74HC749, notamos que los tiempos del fabricante son levemente mejores. Esto puede deberse a una mejora en la cantidad de transistores utilizados por el fabricante dentro del integrado.

1.2. Flip-Flop D disparado por flanco

1.2.1. Introducción teórica

Se implemento un flip-flop D maestro-esclavo que responde al flanco negativo de la señal de reloj. El mismo se compone de dos latches D. El primero, llamado maestro, cambia su estado mientras $Clk = 1$. El segundo,

denominado esclavo, lo hace mientras $Clk = 0$. El funcionamiento del circuito es tal que cuando el reloj está en nivel alto, el latch maestro (o Q_m) sigue el valor de la señal de entrada D y el esclavo (o Q_s) no cambia. Cuando la señal de reloj cambia a 0, la etapa de maestro deja de seguir los cambios en la entrada D. Al mismo tiempo, la etapa de esclavo responde al valor de la señal Q_m y por consiguiente Q_s cambia de estado. Como Q_m no cambia mientras $Clk = 0$, la etapa de esclavo puede sufrir cuando mucho un cambio de estado durante un ciclo del reloj.

A continuación se muestra la implementación del mismo, donde cada latch D esta compuesto por el circuito mostrado a la derecha de la siguiente imagen:

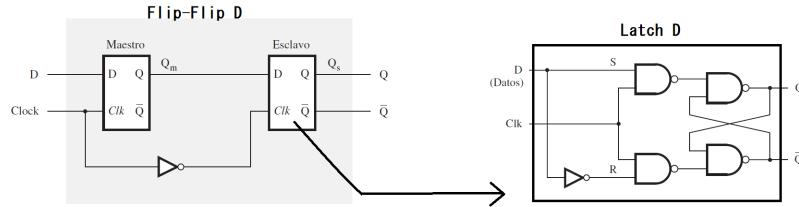


Figura 4: Circuito del Flip-Flop D disparado por flanco negativo

Finalmente, se procederá a mostrar su símbolo gráfico y un ejemplo para una mayor comprensión del mismo:

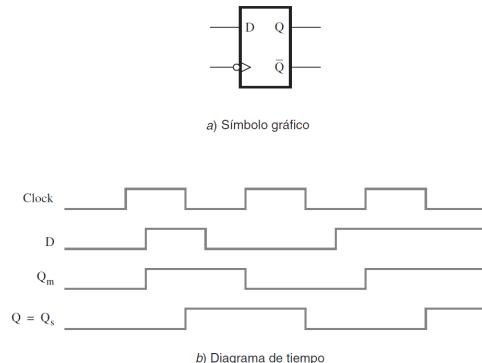


Figura 5: a) Símbolo gráfico ; b) Ejemplo

1.2.2. Mediciones realizadas y análisis de resultados

Para la implementación del Flip-Flop D, se utilizaron dos integrados 74HC00 (utilizado anteriormente) y un 74HC04 (datasheet: https://assets.nexperia.com/documents/data-sheet/74HC_HCT04.pdf). Al igual que para el Latch SR, la implementación fue en PCB y el circuito implementado fue el mismo que el mostrado en la subsubsección anterior donde cada Latch D fue realizado con compuertas NAND.

Los tiempos que se midieron fueron los mismos que en la sección anterior y los resultados fueron los siguientes:

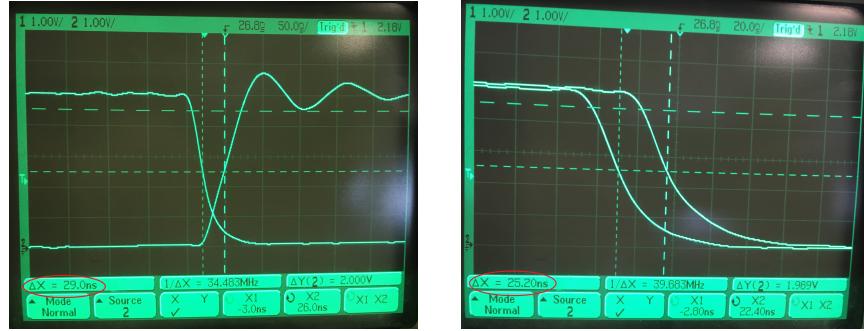


Figura 6: Medición del tiempo de establecimiento

<i>Clk</i>	<i>D</i>	<i>Q(t)→Q(t + 1)</i>	<i>t_{establecimiento}(ns)</i>
ƒ	1	0 → 1	29
ƒ	0	1 → 0	25.2

<i>t_{rise}(ns)</i>	<i>t_{fall}(ns)</i>
46.2	48.9

Cuadro 3: Mediciones realizadas a partir del circuito implementado

<i>Clk</i>	<i>D</i>	<i>Q(t)→Q(t + 1)</i>	<i>t_{establecimiento}(ns)</i>
ƒ	1	0 → 1	18
ƒ	0	1 → 0	13

<i>t_{rise}(ns)</i>	<i>t_{fall}(ns)</i>
<400	<400

Cuadro 4: Datos obtenidos de la datasheet del integrado 74HC74

Si bien el integrado con el cual se comparo (74HC74) es de flanko positivo, la comparación sirve igual. En este caso, la diferencia que existe con los datos medidos son mayores que para el caso del Latch SR. Eso se debe a que la cantidad de compuertas utilizadas es mucho mayor que en el caso del Latch, lo que produce que haya un mayor retraso.

2. Ejercicio 7

2.1. Contador asincronico de tres bits

2.1.1. Introducción teórica

La implementación del mismo es la siguiente:

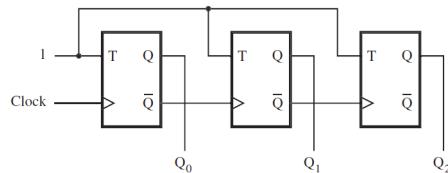


Figura 7: Circuito del contador asincronico de tres bits

El mismo esta compuesto por tres flip-flops T (su nombre proviene de Toggle y su función es: conserva su estado presente si $T=0$ y lo invierte si $T=1$.)

La entrada T de cada flip-flop está conectada a una constante 1, lo que significa que el estado del flip-flop se invertirá en cada flanko positivo de su reloj.

Las entradas del reloj de los tres flip-flops están conectadas en cascada.

Podemos decir que el contador de la figura anterior tiene tres etapas, y cada una consta de un solo flip-flop. Sólo la primera etapa responde directamente a la señal Clk; decimos que esta etapa está sincronizada con el reloj. Las otras dos etapas responden después de un retraso adicional.

2.1.2. Mediciones realizadas y análisis de resultados

Para la implementación del contador asincronico se utilizaron dos integrados 74HC107 (datasheet: https://assets.nexperia.com/datasheet/74HC_HCT107.pdf). Estos integrados contienen flip-flops JK pero los mismos funcionan como flip-flop T si se une la entrada J con la entrada K. Los mismos eran los únicos disponibles en el pañol.

Para armar el circuito se utilizo una protoboard. A la misma le agregamos LEDs para poder visualizar mejor su comportamiento. Contamos con videos del circuito armado en la proto y funcionando correctamente.

Para concluir, mostramos dos de las mediciones que realizamos:

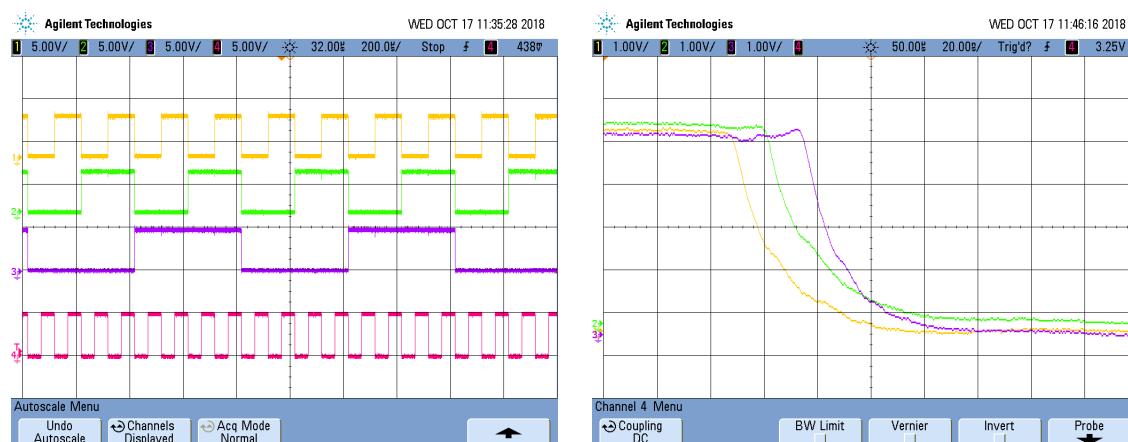


Figura 8: Mediciones realizadas para el contador asincronico

En la primera imagen podemos ver el correcto funcionamiento de nuestro contador. Donde la señal rosa corresponde al Clk, la señal amarilla a Q_0 , la señal verde a Q_1 y la señal violeta a Q_2 .

La segunda imagen hace 'zoom' a las señales cuando el contador pasa de valer 7 (todas las señales en alto) a valer 0 (todas las señales en bajo). A partir de esta imagen notamos como el retardo de la señal Q_0 (amarilla) es menor que la de Q_1 (verde). Cuyo retardo a su vez es menor que el retardo de la señal Q_2 (violeta). Como vimos en la teoría, esta es una de las características de este contador y es por esto que recibe el nombre de contador asincronico.

2.2. Contador sincrónico de tres bits

2.2.1. Introducción teórica

Los contadores asincronicos de la subsección anterior son simples, pero no muy rápidos. Si se construye un contador con un número grande de bits, las demoras causadas por el esquema de sincronización en cascada pueden volverse demasiado grandes para satisfacer los requisitos de desempeño deseados. Podemos construir un contador más rápido si sincronizamos todos los flip-flops al mismo tiempo aplicando el método descrito a continuación:

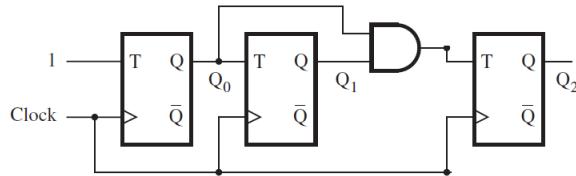


Figura 9: Circuito del contador sincrónico de tres bits

Debido a que todos los cambios ocurren con el mismo retraso después del flanco activo de la señal Clk, el circuito se llama contador sincrónico.

2.2.2. Mediciones realizadas y análisis de datos

Para la implementación del contador sincrónico se utilizaron dos integrados 74HC107 (utilizado anteriormente) y un integrado 74HC08 (datasheet: https://assets.nexperia.com/documents/data-sheet/74HC_HCT08.pdf). Esta implementación, al igual que para el contador asincronico, fue realizada en una protoboard al cual se le agregaron LEDs para verificar su buen comportamiento mas fácilmente.

Las mediciones que se realizaron fueron las mismas que para el caso del contador anterior:

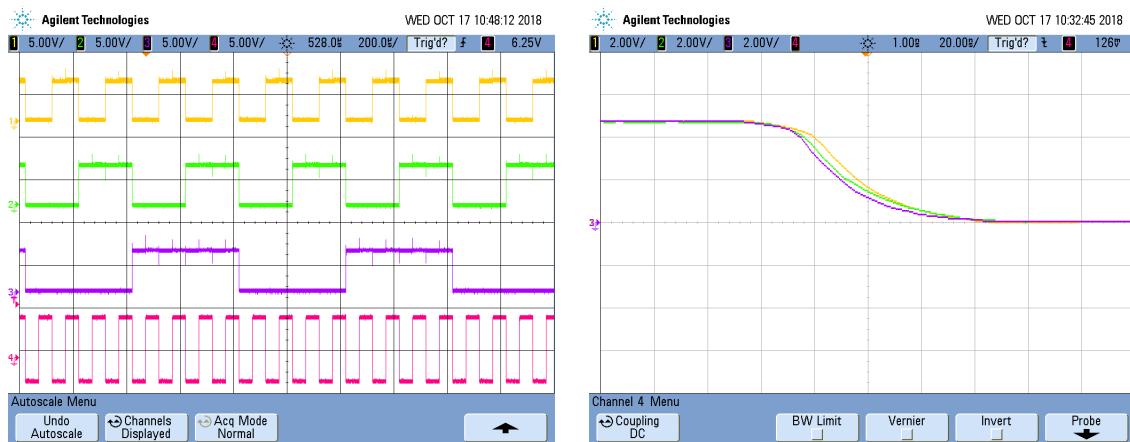


Figura 10: Mediciones realizadas para el contador sincrónico

En la primera imagen vemos el buen comportamiento de nuestro contador (los colores se corresponden con los del contador anterior).

En la segunda imagen podemos notar como los retardos de las tres señales (Q_0 , Q_1 y Q_2) se asemejan muchísimo mas que en el caso del contador asincronico. Según la teoría, esto es lo que tiene que ocurrir, ya que el Clk que controla cada una de las tres etapas del contador sincrónico es el mismo. De esta forma, los retardos de las tres etapas son los mismos.