

1. Ejercicio 2

1.1. Introducción

Las compuertas lógicas discretas, vienen ensambladas en diversos encapsulados. Constructivamente, existen varias tecnologías para realizar dichos componentes. La finalidad de este punto en particular, va a ser comparar las tecnologías TTL y las CMOS.

1.1.1. Tecnología TTL

Transistor-Transistor Logic, por sus siglas en inglés, es una tecnología de construcción de circuitos integrados electrónicos digitales basada en el uso de transistores bipolares, generalmente de uso de transistores multiemisor. TTL sucedió a las tecnologías RTL (lógica resistencia-transistor) y DTL (lógica diodo-transistor).

1.1.2. Tecnología CMOS

Compuertas CMOS o MOS Complementarias. (Complementary Metal-Oxide Semiconductor), similares a la tecnología TTL, solo que se reemplazan los capacitores BJT por los capacitores de tipo P-MOS o N-MOS. Esta diferencia constructiva, va a ocasionar diferencias en su funcionamiento las cuales se compararán a continuación.

1.2. Análisis de las tecnologías

1.2.1. Rango de operación y rangos de Validez.

Procederemos a comparar la tensión a la cual cada integrado es capaz de funcionar:

Tecnologías	TTL	TTL (medido)	CMOS	CMOS medido
Tensión Recomendada	5 V	-	5 V	-
Tensión mínima de funcionamiento	4.75 V	1.6	2V	1.6
Tensión máxima de funcionamiento	5.25 V	5.5	6V	6.5

Cuadro 1: Contrastación de valores de funcionamiento.

Ahora, mediremos los rangos para los cuales el integrado interpreta un 0 lógico y un 1 lógico:

Tecnologías	TTL	TTL medido	CMOS	CMOS medido
1 Lógico (V)	$[2; v_{cc}]$	1.15	$(V_{cc} = 2V) [1, 5; V_{cc}]$	$[1.060 ; V_{cc}]$
			$(V_{cc} = 4, 5V) [3, 15; V_{cc}]$	$[2, 28 ; V_{cc}]$
			$(V_{cc} = 6V) [4, 2; V_{cc}]$	$[2, 86; V_{cc}]$
0 Lógico (V)	$[0; 0, 8]$	1.09	$(V_{cc} = 2V) [0; 0, 5]$	$[0 ; 1, 02]$
			$(V_{cc} = 4, 5V) [0; 1, 35]$	$[0 ; 2, 29]$
			$(V_{cc} = 6V) [0; 1, 8]$	$[0 ; 2, 456]$

Cuadro 2: Comparación de rangos de Validez.

Se midieron los integrados 74HC02, 74HCT02 y 74LS02, obteniéndose los siguientes resultados:

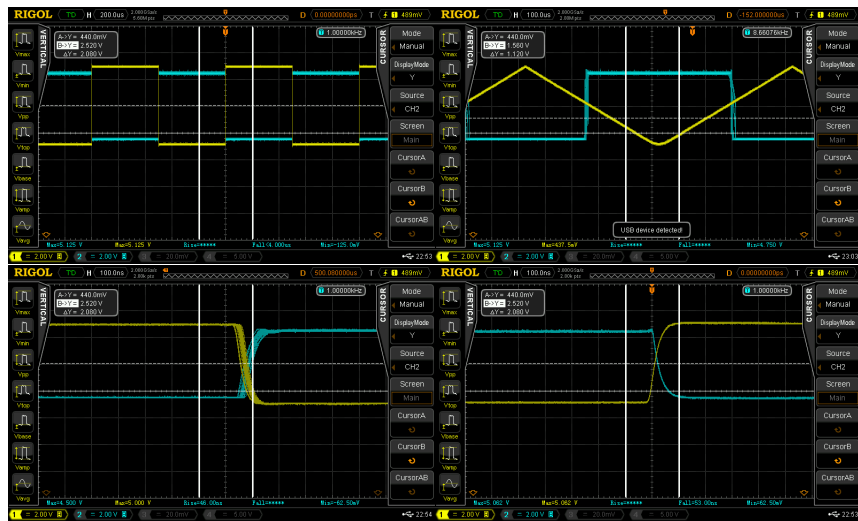


Figura 1: Mediciones del 74HC02.

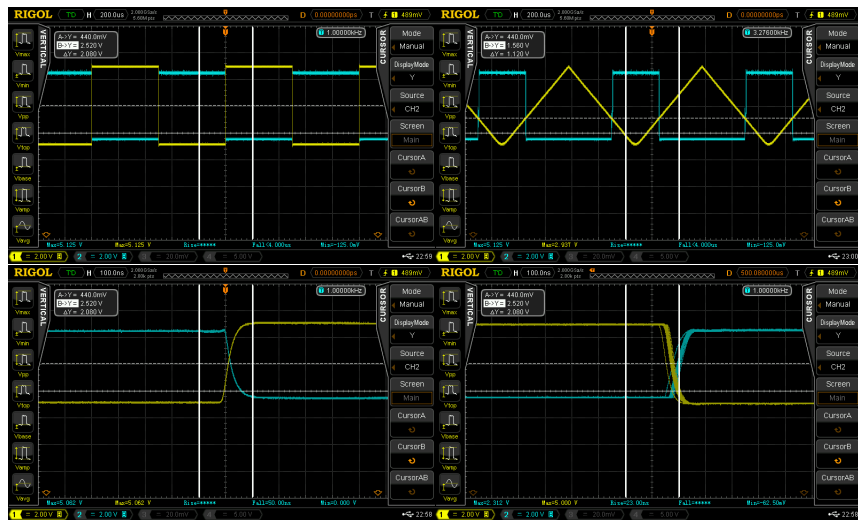


Figura 2: Mediciones del 74HCT02.

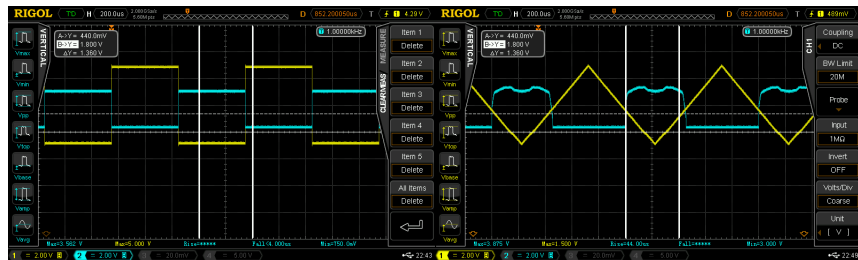


Figura 3: Mediciones del 74LS02.

Como podemos observar, la tecnología TTL tiene distintos niveles de ruido que la CMOS, lo que las hacen

incompatibles a la hora de unir las. Por ello, el integrado HCT, de tecnología CMOS, posee niveles de ruido similar a las TTL, lo que las hace perfectamente compatibles. Un análisis más exhaustivo de esto va a ser realizado en el ejercicio 5.

Pasamos a hacer un análisis del fanout. El fanout es la relación entre la cantidad de entradas que le puedo cargar a una salida de mi integrado. Cuanto más entradas cargo, más tiempo tarda en estabilizarse la señal (tengo un mayor rise time). Es modelable como un capacitor en paralelo a mi circuito. Cuanto más circuitos tengo, más capacitores tengo, ergo mayor tiempo de estabilización. El fanout es proporcional a la capacidad del integrado, por lo que se puede expresar de la siguiente manera:

$C_{total} = \sum C_i$, o lo que equivale que $t_{rise} = n * t_0$. Si se reemplaza t_0 por el valor en la hoja de datos, podemos calcular el fanout para un número n de entradas.

2. Ejercicio 5

2.1. Comparación de las Tecnologías

2.1.1. Tiempo de propagación

Compararemos el tiempo de propagación (tiempo que demora la salida en manifestar su estado), en ambas tecnologías, obteniendo así:

Tecnologías	TTL	TTL medido	CMOS	
Low to High (ns)	[3;11]	1.72	($V_{cc} = 2V$) [25; 90]	90
			($V_{cc} = 4,5V$) [9; 18]	140
			($V_{cc} = 6V$) [7; 15]	112
High to Low (ns)	[3;11]	82.2	($V_{cc} = 2V$) [19; 75]	87
			($V_{cc} = 4,5V$) [7; 15]	86
			($V_{cc} = 6V$) [6; 13]	99

Cuadro 3: Contraste de tiempos de propagación.

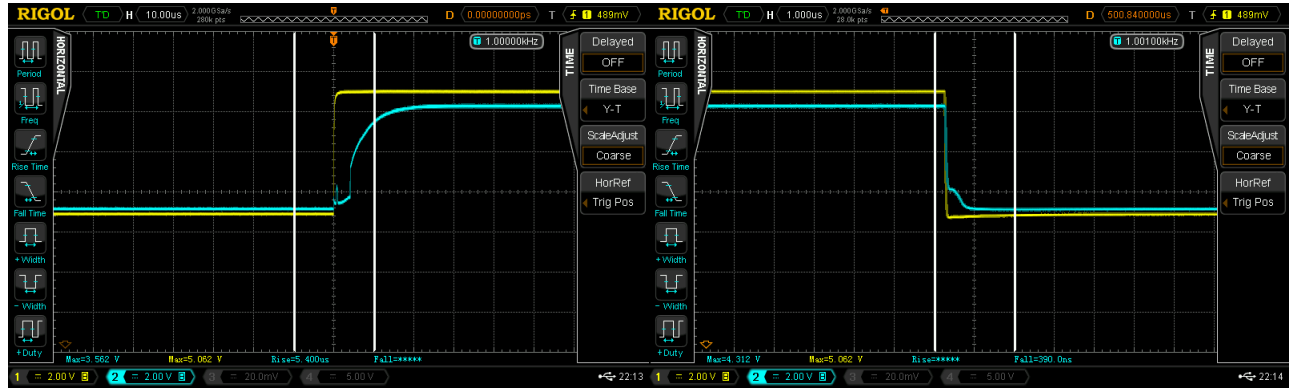


Figura 4: Rise Time y Fall time de la compuerta AND.

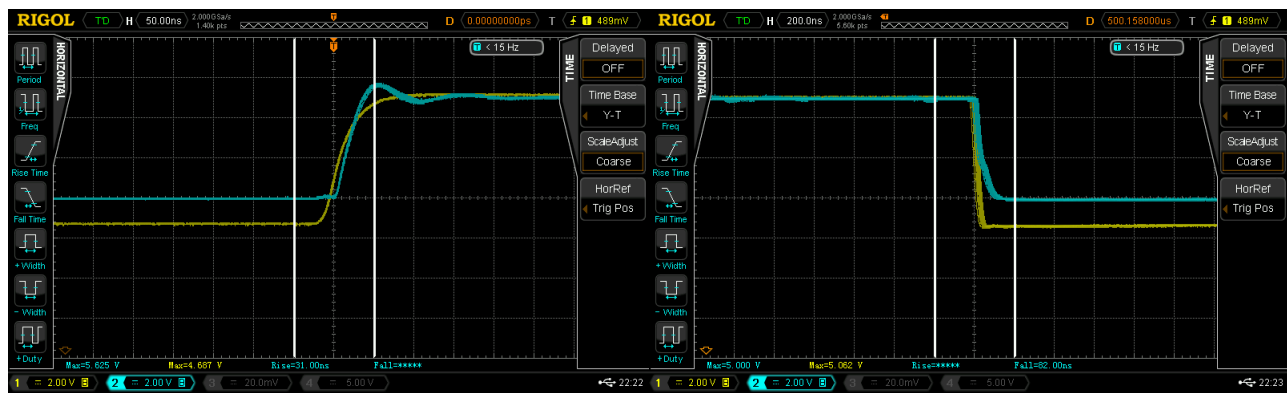


Figura 5: Rise time y Fall time de la compuerta OR.

2.2. Análisis de los circuitos

2.2.1. Influencia del ruido

Para esta parte, vamos a observar cuanto afecta el ruido ambiente a los integrados con los que trabajamos. Para ello, vamos a realizar mediciones según el siguiente esquema:

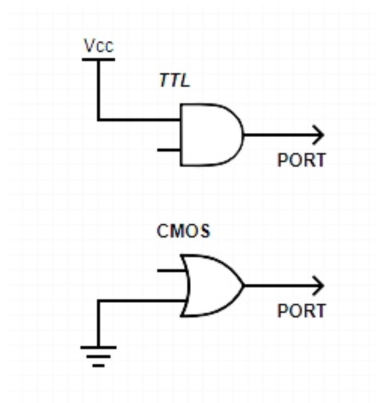


Figura 6: Circuitos para realizar mediciones a los integrados por separado.

Observamos lo siguiente:

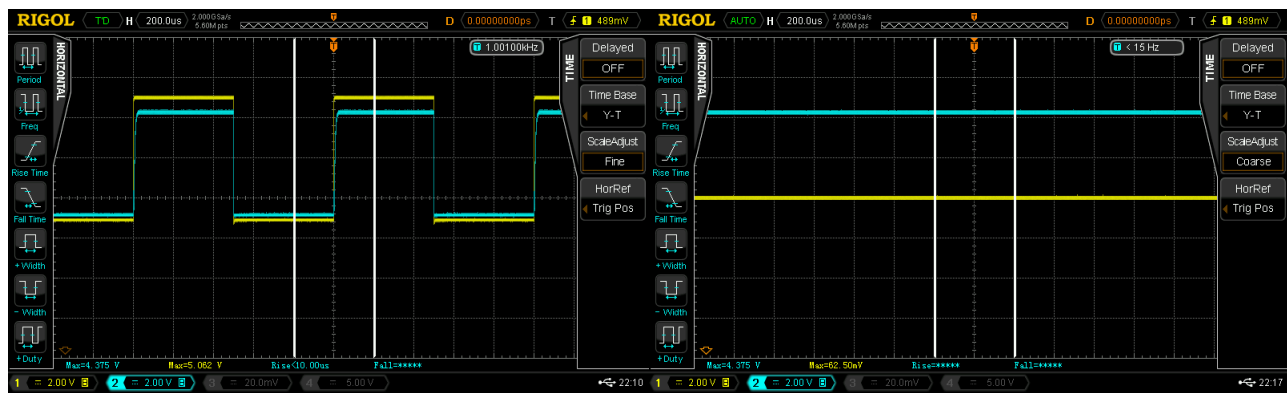


Figura 7: Medición de la compuerta AND.

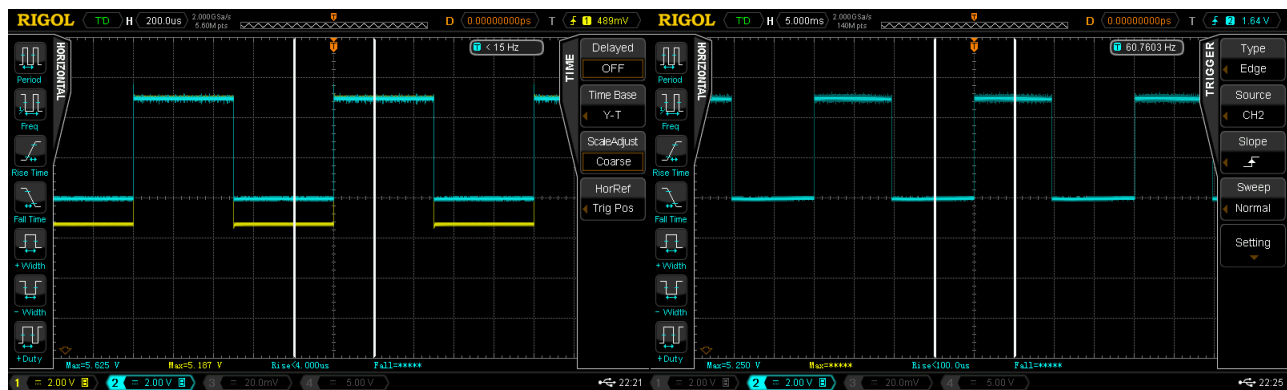


Figura 8: Medición de la compuerta OR.

2.2.2. Combinación de tecnología CMOS

Ahora, vamos a ver qué sucede cuando queremos que las dos tecnologías interactúen entre sí. Para ello, las vamos a conectar de la siguiente manera:

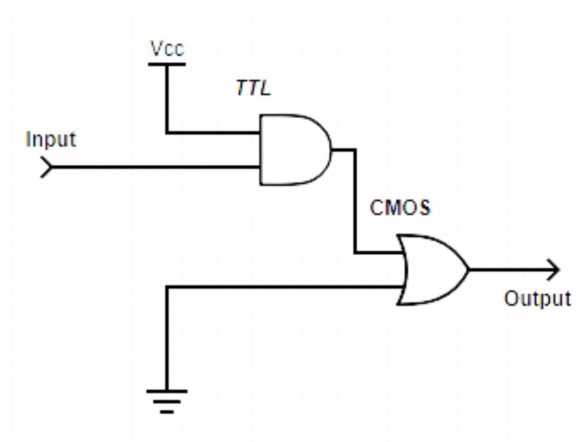


Figura 9: Circuito de combinación de TTL y CMOS.

Observamos las siguientes salidas:

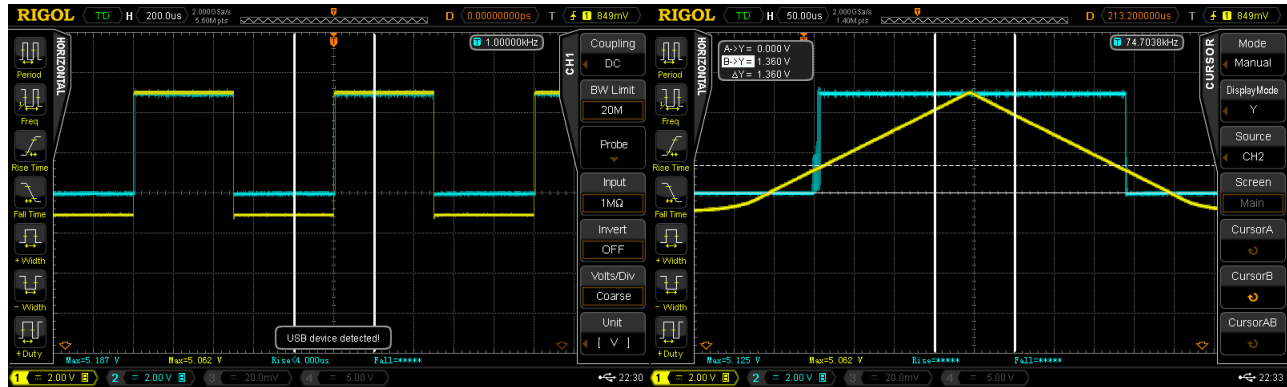


Figura 10: Medición con el osciloscopio.

¿Qué sucede? Si hacemos la tabla de verdad para el circuito, resulta que la salida debe ser exactamente igual a la entrada (es decir si pongo 5V salen 5V y su par para los 0V). Esto es lo que efectivamente se observa en el circuito, sin embargo no es lo que se debe esperar: la tecnología CMOS suelen tener un menor rango de valores para los cuales interpreta como un 1 lógico, lo que implica que cuando el TTL devuelve un 1 lógico puede no caer en la zona equivalente del CMOS y que la salida sea ruido.

Este problema, puede ser solucionado de dos grandes formas: la primera es usando tecnología compatible (HCT); la segunda, es poniendo un level shifter de 3.3V a 5V.

Existen varios levels shifters, desde los más sencillos hasta los más sofisticados. Se ilustran a continuación dos posibles soluciones:

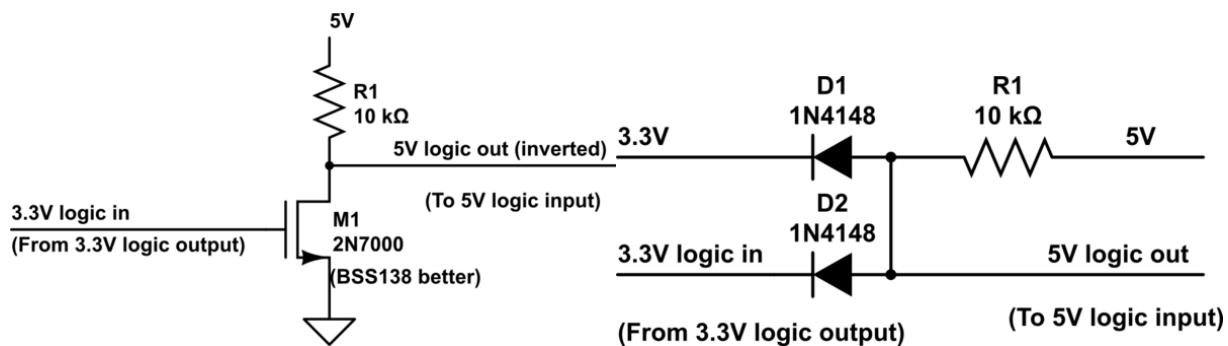


Figura 11: Levels shifters para adaptar TTL a CMOS y viceversa.