

# Ejercicio 1

Cuando se utilizan compuertas lógicas provenientes de distintas familias, es importante tener en cuenta si son compatibles entre ellas. En esta sección, estudiaremos cómo interactúan compuertas *nor* HC (CMOS), HCT (CMOS compatible con TTL) y LS (TTL).

Cargando cada compuerta con cada una de las otras dos sucesivamente (con la otra entrada conectada a *ground*, de forma tal que la salida fuese la entrada negada), se realizaron DC sweeps con tensiones de 0V a 5V (puesto que esta fue la tensión que se utilizó como  $V_{CC}$ ) para observar qué problemáticas podían presentarse. Todas las combinaciones funcionaban de acuerdo a lo esperado para compuertas *nor*, salvo cuando se cargó la compuerta HC con la LS.

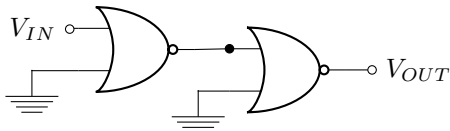


Figura 1.1: Conexión entre las compuertas

En este caso, se observó un valor inesperado de -0.22V en la salida cuando:

- *low to high*: la tensión de entrada se encontraba entre 2.33V y 2.47V
- *high to low*: la tensión de entrada se encontraba entre 2.25V y 2.38V

Este es el rango de tensiones donde, de acuerdo al fabricante <sup>1</sup> se encuentra el low level input voltage, y donde la salida cambiaba de estado cuando la carga de la HC era la HCT (2.4V). Esto sugeriría que al hacer interactuar una compuerta CMOS con una TTL sin una interfaz adecuada, pueden obtenerse a la salida tensiones que no reflejan adecuadamente el circuito lógico que se supone que se está representando.

Efectivamente, esta es una de las aplicaciones de la familia de compuertas HCT <sup>2</sup>. Si bien según la nota consultada, suele haber problemas al cargar una compuerta TTL con una CMOS y no tanto al revés (al contrario de lo que se obtuvo, si bien el glitch hallado se presentaba en un rango

de tensiones acotado), se reconocen las incompatibilidades entre ambas tecnologías.

En particular, se pueden suscitar inconvenientes debido a que la tensión de salida *high* de las compuertas TTL y la de entrada *high* de las CMOS se superponen en un intervalo, pero no en la totalidad de los valores posibles. Por ejemplo, para  $V_{CC} = 4.5V$ , para el integrado 74LS02 el fabricante no garantiza que la tensión de salida alta de las compuertas sea superior a 2.5V, si bien típicamente es de 3.5V<sup>3</sup>. En cuanto a la HC, las tensiones de entrada necesarias para salida alta se encuentran entre 2.4V y 3.15V. Por lo tanto, existe un rango de valores en que no se cumple que el primer parámetro sea mayor que el segundo.

En conclusión, si bien en este caso la tensión de entrada necesaria para obtener una salida alta en HC era de 2.4V con  $V_{CC} = 5V$ , con lo cual la salida alta de la compuerta LS, medida en 3.9V, podía inducir a su vez un cambio en la salida de la HC (en este caso, puesto que las compuertas eran de tipo *nor*, de 1 a 0). Sin embargo, sólo porque en este caso no se presentó este problema no implica que sea una buena práctica realizar conexiones de este tipo. De hecho, se registró otro tipo de problema que no se observó para la *gate* HCT. Por lo tanto, de suscitarse la necesidad de hacer interactuar una compuerta CMOS con una TTL, se debe recordar que hay compuertas CMOS especialmente diseñadas para ser compatibles con las tensiones de salida más bajas de las TTL.

<sup>1</sup>Información obtenida de la [hoja de datos](#) (consultado: 12/10/18).

<sup>2</sup>De acuerdo a la nota de aplicación de *Fairchild Semiconductors: An Introduction to TTL Compatible CMOS Logic* (consultado: 13/10/18).

<sup>3</sup>Según la [hoja de datos](#) proporcionada (consultado: 12/10/18).