

# Ejercicio 1

En esta sección, estudiaremos la variación de los parámetros característicos de una compuerta lógica al cargar su salida, y al introducir capacitores de desacople. A su vez, se observará el comportamiento del circuito a frecuencias altas ( $100kHz$ ), particularmente qué sucede con la tensión de alimentación. La compuerta que utilizaremos es una 74HC02, es decir una *nor* de tecnología CMOS.

Para observar el comportamiento del circuito al conectarle una carga, se armó el siguiente circuito:

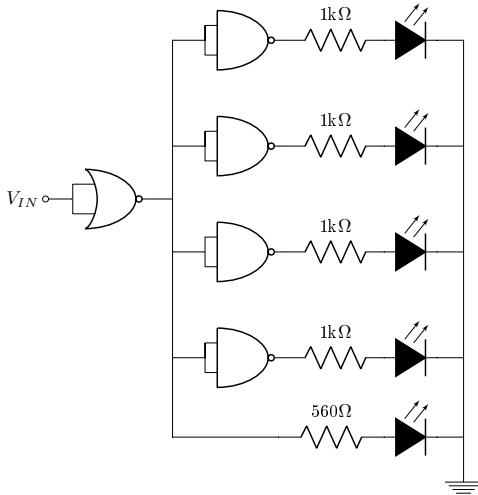


Figura 1.1: Esquema del circuito

Las compuertas *nand* utilizadas provinieron del integrado 74LS00, es decir que son de tecnología TTL. Si bien estas tecnologías no son compatibles entre sí en principio, los rangos de tensiones que representan ceros o unos lógicos coinciden en esta configuración (como se discutió en el ejercicio 2).

Los tiempos característicos resultaron ser los siguientes:

	En vacío	Con carga
Propagación H-L	12	10
Propagación L-H	15	12
Rise time	85	180
Fall time	93	93

Tabla 1.1: Tiempos medidos (en nanosegundos)

Se observa que al estar cargado el circuito, los tiempos de propagación se reducen (aunque muy levemente), mientras que el *rise time* sube y el *fall time* se mantiene igual. Esto puede deberse a que alguna componente capacitiva parásita de la carga no permite que la señal varíe tan rápidamente.

A frecuencias bajas (de  $1Hz$ ), observando los LEDs se determinó que los niveles lógicos a las salidas eran los correctos, puesto que conmutaban aproximadamente dos veces por segundo, con la salida de las *nand* siendo la opuesta de la de las *nor*, y midiendo la tensión de salida de la compuerta *nor* se verificó que la misma era la opuesta de la de la entrada.

Sin embargo, cabe destacar que el LED conectado directamente a la salida del 74HC02 iluminaba menos que los demás, y mucho menos que si el otro integrado no se conectaba. Esto indicaría que se está superando el *fanout* del integrado. Dado que las compuertas del 74LS00 son de tecnología TTL, el *switching* se hace con la corriente de base. Como la impedancia de entrada de un transistor BJT es mucho menor que la de un CMOS, esta corriente será mucho mayor que la tensión de *gate* de este último. Como las compuertas HC no están diseñadas para ser compatibles con compuertas TTL, esto puede estar generando problemas al trabajar en estas condiciones.

Al aumentar la frecuencia a  $100kHz$ , se observó que el 74HC02 levantaba temperatura, si bien no llegó a quemar al tacto incluso después de pasado más de un minuto. Midiendo la tensión de alimentación, se determinó que la misma seguía conservando su valor de 5V proporcionados por la fuente.

Al agregar un capacitor entre  $V_{CC}$  y tierra, se logró que el *ripple* de la fuente se reduzca: la tensión pico a pico de la alimentación descendió de 132mV a 80mV, es decir de un 2.64% a un 1.6% del valor de  $V_{CC}$ . Sin embargo, la temperatura del integrado no se vio afectada de manera apreciable.

El capacitor de desacople utilizado fue de 100nF, de acuerdo a lo recomendado por la *data sheet* del integrado de Texas Instruments<sup>1</sup>. El mismo se colocó lo más cerca posible del *pin* correspondiente a  $V_{CC}$  del integrado, con el objetivo de contrarrestar los efectos inductivos que puedan

<sup>1</sup>Fuente: <http://www.ti.com/lit/ds/symlink/sn74hc02.pdf> (consultado: 16/10/18)

tener los cables, de forma tal que si el integrado pide un pico de corriente el mismo sea otorgado por el capacitor sin inducir una tensión en las bobinas parásitas.