

Ejercicio 1

En esta sección, estudiaremos la variación de los parámetros característicos de una compuerta lógica al cargar su salida, y al introducir capacitores de desacople. La compuerta que utilizaremos es una 74HC02, es decir una *nor* de tecnología CMOS.

Para observar el comportamiento del circuito al conectarle una carga, se armó el siguiente circuito:

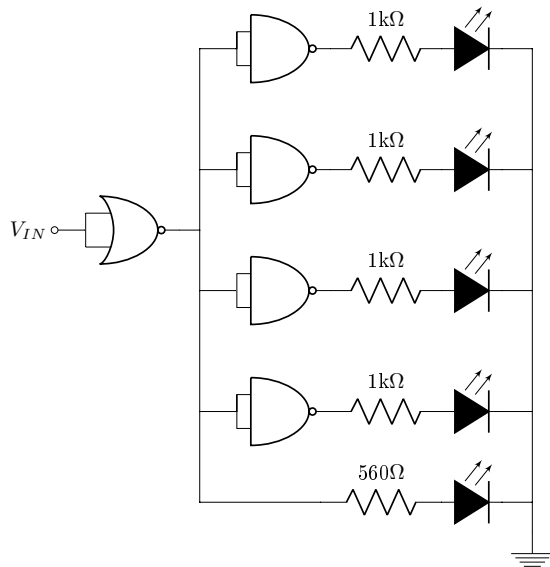


Figura 1.1: Esquema del circuito

Las compuertas *nand* utilizadas provinieron del integrado 74LS00, es decir que son de tecnología TTL. Si bien estas tecnologías no son compatibles entre sí en principio, los rangos de tensiones que representan ceros o unos lógicos coinciden en esta configuración (como se discutió en el ejercicio 2).

	Vacío	Con carga	Con desacople
Propagación H-L			
Propagación L-H			
Rise time			
Fall time			

Tabla 1.1: Tiempos medidos (en microsegundos)