

Ejercicio 1

Ejercicio 6

Se implementó un latch S R y un flip flop D a partir de compuertas lógicas discretas. Se midieron parámetros característicos y se compararon con equivalentes comerciales.

1.1 Flip flop d

1.1.1 Funcionamiento

El flip flop tipo d transfiere la entrada a la salida en cada ciclo de clock. Por ende se lo puede utilizar como unidad básica de memoria.

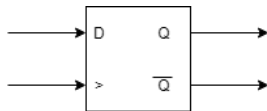


Figura 1.1: Representacion del flip flop

clk	D	Q
↑	X	X
↓	X	Q_{n-1}

Tabla 1.1: Tabla de verdad flip flop d

1.1.2 Circuito lógico

Una posible implementación del flip flop d es la siguiente:

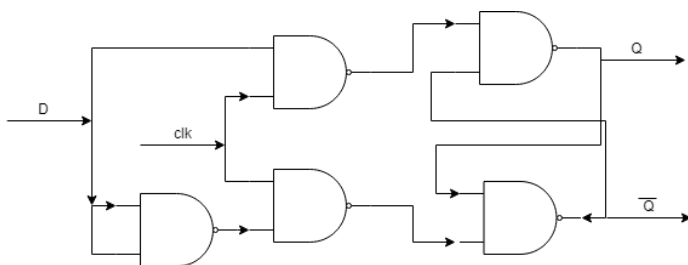


Figura 1.2: Circuito digital del flip flop d

1.1.3 Implementación

Se implementó el circuito indicado en la sección anterior con compuertas lógicas NAND. Para ellos se utilizó el encapsulado 74HC00.

Medición

Del circuito previamente mencionado, se midió el tiempo de establecimiento, el rise time y el fall time.

clk	D	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	25.2ns
↑	1	0	1	29ns

Tabla 1.2: Resultados, tiempo de establecimiento.

Rise time	Fall time
45ns	49.6ns

Tabla 1.3: Resultados, rise time y fall time.

Para realizar la comparación se eligió el integrado comercial 74hc74 de la hoja de datos ¹ Obtuvimos los siguientes tiempos:

clk	D	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	13ns
↑	1	0	1	18ns

Tabla 1.4: Datasheet, tiempo de establecimiento.

Rise time	Fall time
< 400ns	< 400ns

Tabla 1.5: Datasheet, rise time y fall time.

Como se puede observar los tiempos de propagación del flip flop comercial son menores al que se implementó, Esto

¹Mouser.com. (2018). [online] Available at: <http://www.mouser.com/ds/2/308/74HC74-108792.pdf> [Accessed 14 Oct. 2018].

se puede suponer a que el comercial hace un uso eficiente de los transistores.

1.2 Latch SR

1.2.1 Funcionamiento

El latch SR, posee tres entradas. Una de clock, para poder sincronizar, otra de set (pone la salida a HIGH) y de reset (salida en LOW).

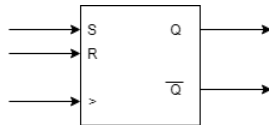


Figura 1.3: Representación del latch

clk	S	R	Q
↑	0	0	Q_{n-1}
↑	0	1	0
↑	1	0	1
↑	1	1	Indeterminado

Tabla 1.6: Tabla de verdad latch SR

1.2.2 Circuito lógico

Una posible implementación del latch SR es la siguiente:

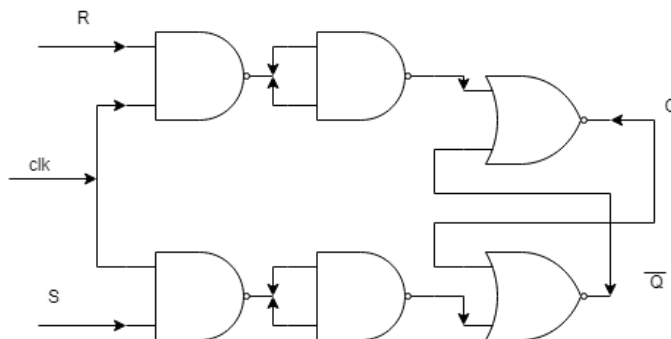


Figura 1.4: Circuito digital del flip flop d

1.2.3 Implementación

Se implementó el circuito indicado en la sección anterior con compuertas lógicas NAND, las compuertas NOR también se implementaron con NANDS. Para ellos se utilizó el encapsulado 74HC00.

Medición

Del circuito previamente mencionado, se midió el tiempo de establecimiento, el rise time y el fall time.

clk	R	S	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	1	21.6ns
↑	1	0	1	0	14ns

Tabla 1.7: Resultados, tiempo de establecimiento.

Rise time	Fall time
21.6ns	14ns

Tabla 1.8: Resultados, rise time y fall time.

Para realizar la comparación se eligió el integrado comercial 74hc279 de la hoja de datos ² Obtuvimos los siguientes tiempos:

clk	D	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	20ns
↑	1	0	1	13ns

Tabla 1.9: Datasheet, tiempo de establecimiento.

Rise time	Fall time
< 400ns	< 400ns

Tabla 1.10: Datasheet, rise time y fall time.

²Noel.feld.cvut.cz. (2018). [online] Available at: <http://noel.feld.cvut.cz/hw/st/1937.pdf> [Accessed 14 Oct. 2018].