

INSTITUTO TECNOLÓGICO DE BUENOS AIRES

22.13 ELECTRÓNICA III

Trabajo práctico 2

Grupo 3

STEWART HARRIS, María Luz	57676
PARRA, Rocío	57669
PIERDOMINICI, Matías Nicolás	57498
GONZÁLEZ ORLANDO, Tomás Agustín	57090

Profesores

DEWALD, Kevin
WUNDES, Pablo Enrique

Presentado: 18/10/2018

Índice

1		2
1.1	Análisis de resultados	2
2		4
3		5
4	Ejercicio 4	6
5		7
5.1	Compuerta <i>and</i> TTL	7
5.2	Compuerta <i>or</i> CMOS	7
5.3	Compuerta CMOS cargando a la compuerta TTL	8
5.4	Conclusiones	8
6	Ejercicio 6	9
7	Ejercicio 7	10
8	Ejercicio 8	11
8.1	Sensor HC-SR04	11
8.2	Circuito Implementado	12
8.2.1	Generador de pulso	12
8.2.2	Contador de tiempo	12
8.2.3	OK meas	13
8.2.4	Prototipo	13
8.2.5	Circuito	13

Ejercicio 1

En esta sección se implementaron compuertas *not* a partir de transistores BJT (de sus siglas en inglés, *bipolar junction transistor*). Particularmente, se decidió utilizar BJTs de tipo NPN, formando circuitos de dos familias distintas:

- RTL (*resistor-transistor logic*): utiliza resistencias en la malla de entrada y transistores como *switch*.
- TTL (*transistor-transistor logic*): utiliza transistores tanto para el *switching* como para la amplificación.

De estas definiciones surge que en TTL se requiere mayor cantidad de transistores por compuerta, pero se disipará menos potencia en resistencias pues las corrientes serán menores. Para comparar otros factores de su funcionamiento, se armaron los siguientes circuitos:

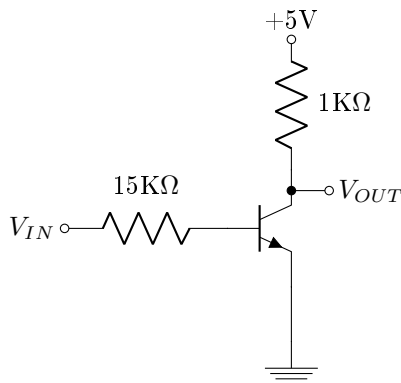


Figura 1.1: Compuerta *not* RTL

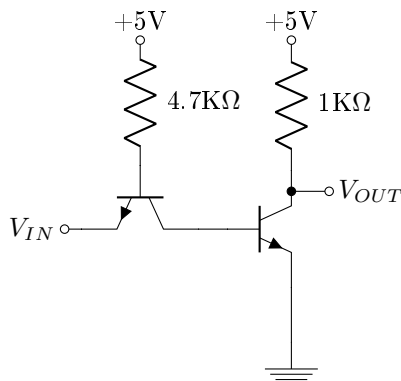


Figura 1.2: Compuerta *not* TTL

Se utilizaron transistores BC547 y resistencias de metal-film, y los circuitos se armaron en una *printed circuit board*.

1.1 Análisis de resultados

Las mediciones se realizaron el circuito con ondas cuadradas de 5V de amplitud, con el nivel bajo en 0V. Las tensiones necesarias para calcular el margen de ruido se midieron utilizando el modo XY del osciloscopio, mientras que para los tiempos el modo *single*. Todas las mediciones se realizaron en dos condiciones para cada compuerta: en vacío, y con un capacitor de 1nF como carga. Al cargar la compuerta, se pudo hacer además una medición adicional: la

Los resultados de las mediciones se encuentran en las tablas 1.1 y 1.2. Las magnitudes medidas fueron:

- HLIV (*high-level input voltage*): máxima tensión de entrada con la cual la pendiente de $V_{IN}(V_{OUT}) = -1$, es decir, la mínima con la que se interpreta un 1 en la entrada.
- LLIV (*low-level input voltage*): mínima tensión de entrada con la cual la pendiente de $V_{IN}(V_{OUT}) = -1$, es decir, la máxima con la que se interpreta un 0 en la entrada.
- HLOV (*high-level output voltage*): tensión de salida cuando $V_{IN} = HLIV$, es decir, la mínima con la cual puede considerarse que hay un 1 en la salida.
- LLIV (*low-level output voltage*): tensión de salida cuando $V_{IN} = LLIV$, es decir, la mínima con la cual puede considerarse que hay un 1 en la salida.
- Noise margin: diferencia entre el *high/low level input y output voltage*, es decir rango de tensiones que pueden hallarse a la entrada pero no a la salida (pero que tienen comportamiento definido para la salida) para cada nivel lógico.
- PD (*propagation delay*): tiempo que transcurre entre que la tensión de entrada está al 50% entre su valor bajo y alto, y que esto mismo ocurre en la salida.
- TT (*transition time*): tiempo que tarda la salida en transicionar de un 10% a un 90% de la tensión alta.

- Max. out. curr (*maximum output current*): corriente de salida máxima, que por ser la carga puramente capacitiva, se calculó como $i_c = C \cdot \frac{dV_C}{dt}$, obteniendo esta derivada a través de las funciones matemáticas del osciloscopio.

Cabe destacar que el transition time medido en el caso de la compuerta TTL con carga, resultante en 10ns, no puede ser tomado como tal: debe considerarse que esto era respuesta a una señal generada por un dispositivo que no asegura poder generar señales con un rise time menor a 13ns, con lo cual este es el límite inferior de lo que se puede medir en lo que a esta magnitud respecta.

RTL	En vacío	Con carga
HLIV (V)		
LLIV (V)		
HLOV (V)		
LLOV (V)		
Noise margin H (V)		
Noise margin L (V)		
PD (H-L) (μs)	0.05	0.07
PD (L-H) (μs)	3.66	3.54
TT (H-L) (μs)	0.08	0.20
TT (L-H) (μs)	0.56	3.14
Max. out. curr. (mA)	-	51

Tabla 1.1: Mediciones para la compuerta RTL

TTL	En vacío	Con carga
HLIV (V)		
LLIV (V)		
HLOV (V)		
LLOV (V)		
Noise margin H (V)		
Noise margin L (V)		
PD (H-L) (μs)	0.05	0.07
PD (L-H) (μs)	3.66	3.54
TT (H-L) (μs)	0.08	0.20
TT (L-H) (μs)	0.56	3.14
Max. out. curr. (mA)	-	51

Tabla 1.2: Mediciones para la compuerta TTL

Ejercicio 2

Cuando se utilizan compuertas lógicas provenientes de distintas familias, es importante tener en cuenta si son compatibles entre ellas. En esta sección, estudiaremos cómo interactúan compuertas *nor* HC (CMOS), HCT (CMOS compatible con TTL) y LS (TTL).

Cargando cada compuerta con cada una de las otras dos sucesivamente (con la otra entrada conectada a *ground*, de forma tal que la salida fuese la entrada negada), se realizaron DC sweeps con tensiones de 0V a 5V (puesto que esta fue la tensión que se utilizó como V_{CC}) para observar qué problemáticas podían presentarse. Todas las combinaciones funcionaban de acuerdo a lo esperado para compuertas *nor*, salvo cuando se cargó la compuerta HC con la LS.

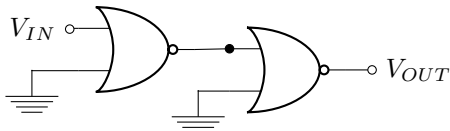


Figura 2.1: Conexión entre las compuertas

En este caso, se observó un valor inesperado de -0.22V en la salida cuando:

- *low to high*: la tensión de entrada se encontraba entre 2.33V y 2.47V
- *high to low*: la tensión de entrada se encontraba entre 2.25V y 2.38V

Este es el rango de tensiones donde, de acuerdo al fabricante ¹ se encuentra el low level input voltage, y donde la salida cambiaba de estado cuando la carga de la HC era la HCT (2.4V). Esto sugeriría que al hacer interactuar una compuerta CMOS con una TTL sin una interfaz adecuada, pueden obtenerse a la salida tensiones que no reflejan adecuadamente el circuito lógico que se supone que se está representando.

Efectivamente, esta es una de las aplicaciones de la familia de compuertas HCT ². Si bien según la nota consultada, suele haber problemas al cargar una compuerta TTL con una CMOS y no tanto al revés (al contrario de lo que se obtuvo, si bien el glitch hallado se presentaba en un rango

de tensiones acotado), se reconocen las incompatibilidades entre ambas tecnologías.

En particular, se pueden suscitar inconvenientes debido a que la tensión de salida *high* de las compuertas TTL y la de entrada *high* de las CMOS se superponen en un intervalo, pero no en la totalidad de los valores posibles. Por ejemplo, para $V_{CC} = 4.5V$, para el integrado 74LS02 el fabricante no garantiza que la tensión de salida alta de las compuertas sea superior a 2.5V, si bien típicamente es de 3.5V³. En cuanto a la HC, las tensiones de entrada necesarias para salida alta se encuentran entre 2.4V y 3.15V. Por lo tanto, existe un rango de valores en que no se cumple que el primer parámetro sea mayor que el segundo.

En conclusión, si bien en este caso la tensión de entrada necesaria para obtener una salida alta en HC era de 2.4V con $V_{CC} = 5V$, con lo cual la salida alta de la compuerta LS, medida en 3.9V, podía inducir a su vez un cambio en la salida de la HC (en este caso, puesto que las compuertas eran de tipo *nor*, de 1 a 0). Sin embargo, sólo porque en este caso no se presentó este problema no implica que sea una buena práctica realizar conexiones de este tipo. De hecho, se registró otro tipo de problema que no se observó para la *gate* HCT. Por lo tanto, de suscitarse la necesidad de hacer interactuar una compuerta CMOS con una TTL, se debe recordar que hay compuertas CMOS especialmente diseñadas para ser compatibles con las tensiones de salida más bajas de las TTL.

¹Información obtenida de la [hoja de datos](#) (consultado: 12/10/18).

²De acuerdo a la nota de aplicación de *Fairchild Semiconductors: An Introduction to TTL Compatible CMOS Logic* (consultado: 13/10/18).

³Según la [hoja de datos](#) proporcionada (consultado: 12/10/18).

Ejercicio 3

Se denomina *hazard* a los *glitches* causados por la estructura del circuitos y los delays de propagación de las compuertas. Estos ocurren cuando la salida toma momentáneamente un valor que no se corresponde con lo establecido por la tabla de verdad del circuito. Existen dos tipos de *hazards*: dinámicos y estáticos.

- Dinámico: cuando la salida cambia, oscila entre 0 y 1 momentáneamente antes de establecerse. Sucede cuando existen multiples caminos para que una señal se propague.
- Estático: la salida cambia cuando debería mantenerse. Al usar el método de mapas de Karnaugh con suma de productos para obtener la función lógica de mínimo costo de una tabla de verdad, usualmente quedan 1 adyacentes que no comparten grupo. Las transiciones entre estos estados tienen un riesgo de *hazards* estáticos.

Se pueden observar ejemplos de ambos tipos en la figura 3.1.

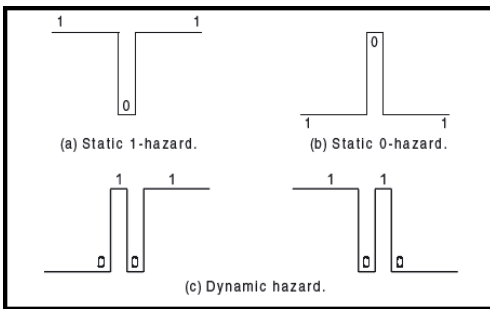


Figura 3.1: *Glitches* estáticos y dinámicos ¹

Para evitar los *hazards* estáticos, se usan funciones lógicas resultantes de agregar grupos extras al mapa de Karnaugh de manera tal que todos los 1 adyacentes compartan grupo. Estos grupos extra son redundantes, por lo que van a aumentar el costo de la función.

¹Imagen extraída de: <http://www.electronicengineering.nbcafe.in/hazards-in-digital-circuit/> (13/10/18)

A	B/C			
	00	01	11	10
0	0	1	1	1
1	0	1	0	0

Figura 3.2: Mapa de Karnaugh utilizado. Resolución de menor costo por suma de productos. Si se quisiera reducir el riesgo de *hazards*, se debería agregar otro grupo que contenga a 001 y 011.

Del mapa de Karnaugh de la figura 3.2 se obtiene la función lógica de menor costo de la salida:

$$Y = A' \cdot B + B' \cdot C$$

Se implementó esta función y se pudieron observar *hazards*, como muestras las figuras 3.3 y 3.4 ².

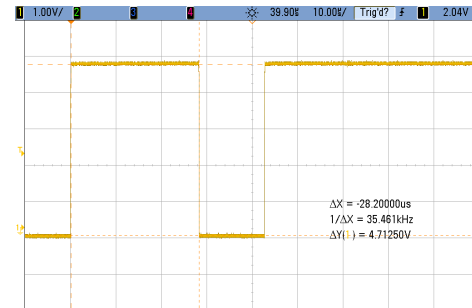


Figura 3.3: *Hazard* dinámico medido en la transición 000 → 001, donde la salida cambia de 0 a 1.

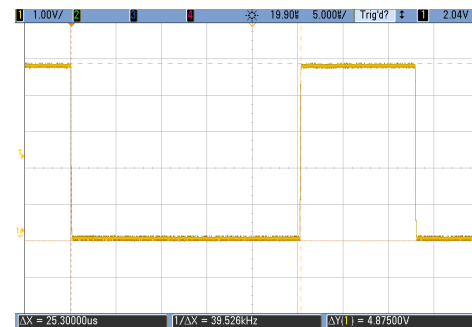


Figura 3.4: *Hazard* dinámico medido en la transición 011 → 111, donde la salida cambia de 1 a 0.

²Los *hazards* no se observaron todas las veces que se realizaron estas transiciones, sino esporádicamente.

Ejercicio 4

Ejercicio 4

Ejercicio 5

En esta sección, el objetivo es estudiar el comportamiento de una compuerta *or* CMOS, de una *and* TTL, y de la interacción entre ambas. En particular haremos énfasis en qué ocurre cuando una de las entradas está flotante.

5.1 Compuerta *and* TTL

Se utilizó una de las 4 compuertas *and* presentes en el integrado 74LS08, alimentándolo con $V_{CC} = 5V$. Para que esta alimentación fuese más estable que la que proporcionan las fuentes del laboratorio de la universidad, se incluyó un capacitor de desacople de $100nF$, conectado entre V_{CC} y tierra, y posicionado lo más cercano al integrado posible. Otra consideración que se tuvo para reducir el ruido fue conectar las entradas de las *gates* no utilizadas a V_{CC} a través de una resistencia de $1k\Omega$, a fin de evitar que la salida de las mismas oscile.¹

La compuerta de interés se conectó con una entrada al nivel alto, es decir a V_{CC} , también pasando por una resistencia de $1k\Omega$.

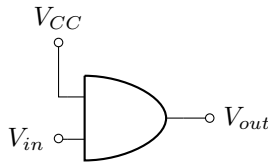


Figura 5.1: Conexión de la compuerta TTL

De acuerdo a las propiedades del álgebra de Boole, $x \cdot 1 = x$, y por lo tanto la salida debería estar en el mismo nivel lógico que la entrada (lo cual se verificó experimentalmente). Se observó que al dejar la entrada flotante, la salida se fijaba en el valor alto, midiéndose a la salida aproximadamente $4.4V$. Realizando un DC *sweep*, se determinó que esto implica que la tensión flotante fue consistentemente mayor a $1.3V$, puesto que para tensiones menores la salida sería 0.

¹Esta práctica se recomienda en la nota de aplicación *Designing with TTL* de Fairchild Semiconductors (consultado: 05/10/18).

5.2 Compuerta *or* CMOS

El integrado utilizado fue el 74HC32. Al igual que para el LS, se alimentó con $V_{CC} = 5V$, utilizando un capacitor de desacople de $100nF$. Las entradas de las compuertas no utilizadas, en cambio, se conectaron a tierra.

En este caso, se conectó una entrada a tierra y la otra se dejó flotante. Análogamente al caso anterior, como $x + 0 = x$, la salida debería ser igual a la entrada. Esto se pudo verificar cuando la entrada estaba fija en un valor, pero no así para el caso que se quiere estudiar.

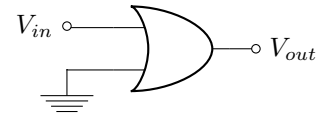


Figura 5.2: Conexión de la compuerta CMOS

Cuando la entrada no se fijaba en ningún valor, lo observado era lo siguiente:

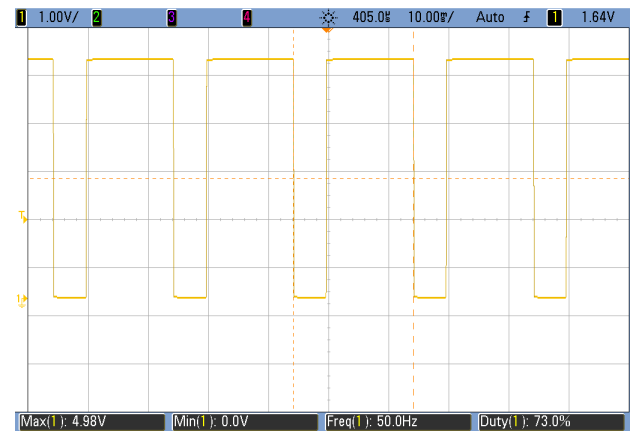


Figura 5.3: Salida del *or* CMOS con una entrada flotante

Esta señal cuadrada se debe a que la alta impedancia de la compuerta provoca que sea muy susceptible al ruido, y por lo tanto oscila con los $50Hz$ de la línea. Cabe aclarar que esta oscilación no se observaba siempre: moviendo los cables y tocando las conexiones se podían obtener tanto ceros como unos lógicos.

En cuanto al DC *sweep*, en este caso indicó que la tensión de entrada estaba oscilando entre tensiones menores y mayores a $2.2V$, puesto que a partir de la misma la salida resultaba ser 1 y viceversa.

5.3 Compuerta CMOS cargando a la compuerta TTL

Habiendo estudiado el comportamiento de cada compuerta por separado, se procedió a observar la interacción entre ambas, conectando la salida del *and* a la entrada del *or*.

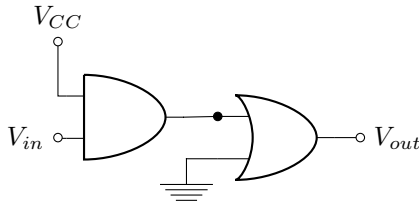


Figura 5.4: Conexión entre las compuertas TTL y CMOS

Por lo discutido anteriormente, idealmente la salida de este circuito tiene el mismo valor lógico que la entrada. Esto se verificó al fijar la tensión de entrada en un valor determinado, consistentemente observando el mismo valor a la salida. Al dejar la entrada flotante, a la salida se observaba un 1 lógico. Esto es consistente con lo obtenido para la TTL aislada, puesto que si su salida cuando la entrada es flotante es 1, también lo será la salida de todo el circuito.

El DC *sweep* de esta configuración está también en línea con lo analizado hasta el momento. Si bien el valor de V_{in} para el cual la salida transiciona de 0 a 1 no es exactamente igual a los $1.3V$ que se obtuvieron para la TTL, si no que fue de $1.4V$, la diferencia entre ambos es de un 7%, lo cual está dentro de un rango razonable.

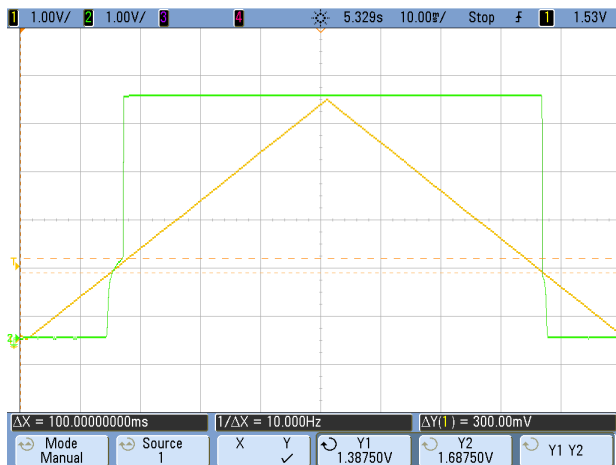


Figura 5.5: DC *sweep* del circuito TTL-CMOS

5.4 Conclusiones

De acuerdo a los resultados obtenidos, las compuertas CMOS son más susceptibles al ruido que las TTL si se las deja flotantes. De no fijar la entrada de una CMOS, es probable que se induzca ruido proveniente de la línea. Si bien esto no se observó en la TTL, es una buena práctica fijar entradas no utilizadas a un valor lógico determinado, de acuerdo a la bibliografía consultada.

Ejercicio 6

Ejercicio 6

Ejercicio 7

Ejercicio 7

Ejercicio 8

Ejercicio 8

Se propuso el diseño de un circuito que permita medir distancias utilizando un sensor ultrasónico de distancia (hc-sr04).

El circuito debe cumplir con los siguientes requerimientos:

- trigger, pin de entrada que dispara la medición en el flanco positivo.
- trigger enable, pin de entrada que habilita la señal de disparo.
- meas, 8 bits de salida que indican el tiempo medido en unidades de 100 μ s.
- meas ready, pin de salida que indica que la medición ha finalizado.

8.1 Sensor HC-SR04

El sensor de distancia hc-sr04 ¹ es un sensor de distancia ultrasónico. Posee cuatro terminales, dos de alimentación (V_{cc} y gnd), trigger y echo.

El terminal de trigger, acciona la medición, para ello se debe cambiar el estado del terminal a high por más de 10 μ s, de esta manera el sensor comienza a medir. Luego por el pin de echo se devuelve un pulso de ancho T μ s. El pulso devuelto es proporcional a la distancia medida, Distancia = $\frac{\mu s}{58} [cm]$.

El rango de medición del sensor es de 2cm a 4 metros. Por ende el ancho del pulso devuelto por echo es de entre 116 μ s y 23200 μ s.



Figura 8.1: Sensor de distancia

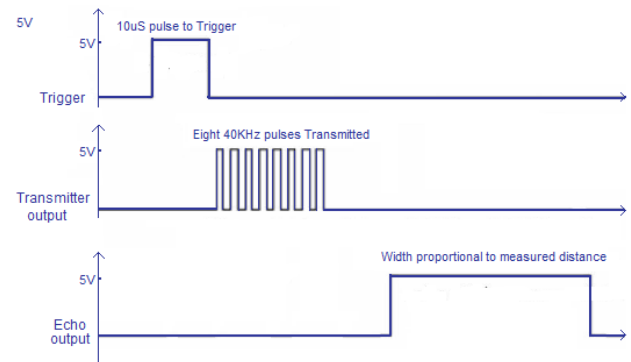


Figura 8.2: Diagrama temporal

8.2 Circuito Implementado

Se modularizó el circuito de la siguiente manera:

¹Datasheet del sensor, Mouser.com. (2018). [online] Available at: <https://www.mouser.com/ds/2/813/HCSR04-1022824.pdf> [Accessed 13 Oct. 2018].

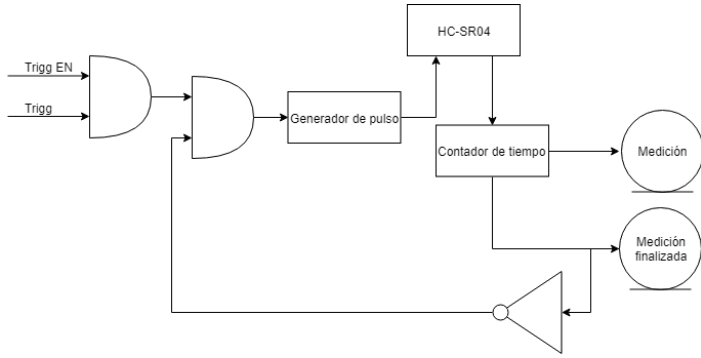


Figura 8.3: Diagrama de bloques

Los dos módulos principales, tal como se muestra en la imagen 8.3, son el generador de pulso y el contador de tiempo.

El generador de pulso, cuando recibe un flanco positivo, genera un pulso mayor a $10\text{ }\mu\text{s}$ para que el sensor comience a medir.

El contador de tiempo, mide el ancho del pulso devuelto por echo, y lo devuelve en 8 bits, también se encarga de indicar que la medición finalizo.

8.2.1 Generador de pulso

El generador de pulso se implementó con un LM555. EL circuito utilizado fue el de la figura 8.4, dicho circuito genera un pulso de ancho $= R_a C 1.1\text{ s}$, para generar el disparo se debe generar un pulso menor que el configurado.

Como el sensor requiere un ancho de pulso mayor de $10\mu\text{s}$, se eligieron los componentes para un pulso de $50\mu\text{s}$, por ende el capacitor $C = 10\text{ nF}$ y $R_a = 5\text{ k}\Omega$

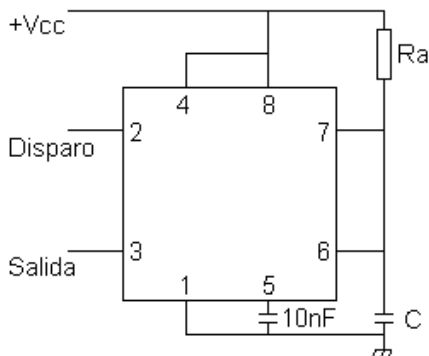


Figura 8.4: Circuito del generador de pulsos

Para evitar que al generador de pulso, le ingrese una señal mayor a $50\mu\text{s}$ se le colocó a la entrada (disparo) un RC con tiempo característico de $10\mu\text{s}$.

8.2.2 Contador de tiempo

Para medir cuanto tiempo el pulso de echo estuvo en high, se utilizó un contador de 8 bits y una señal cuadrada de 50 % duty cycle como clock.

El contador utilizado, cuenta flancos positivos de clock. Por ende para contar cuanto tiempo la señal de echo estuvo en high, se conectó la entrada de clock del contador, a la salida de una AND. Las entradas de la AND son la señal de echo y una señal cuadrada de 10KHz. De esta manera, cada vez que ocurre un flanco de clock y la señal echo esta en high el contador incrementa en una unidad. Debido a que la frecuencia de la señal cuadrada es de 10Khz, cada unidad en el contador representa $100\text{ }\mu\text{s}$.

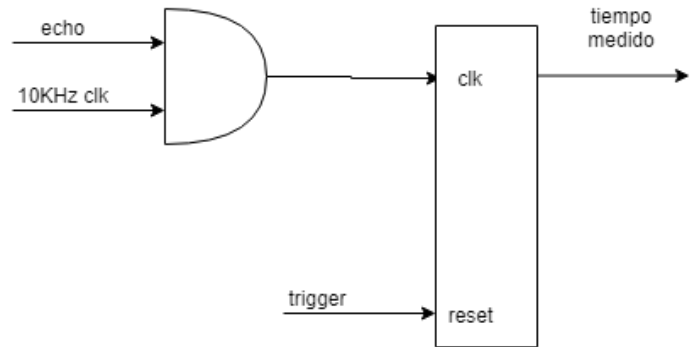


Figura 8.5: Contador de tiempo

En cuanto al reset del contador se lo conecto al trigger del sensor, de esta manera, cada vez que se dispara una medición el contador vuelve a cero.

8.2.3 OK meas

En cuanto a la salida de ok meas, vasto con negar la señal de echo. Debido a que mientras no haya medición, la señal de echo se mantiene en low y por ende ok meas se mantiene en high. Cuando echo está en high, quiere decir que se está midiendo, y ok meas se encuentra en low.

8.2.4 Prototipo

Previo al diseño final del circuito, se decidió construir un prototipo del mismo en protoboard, para así probar el correcto funcionamiento de cada etapa y del conjunto.

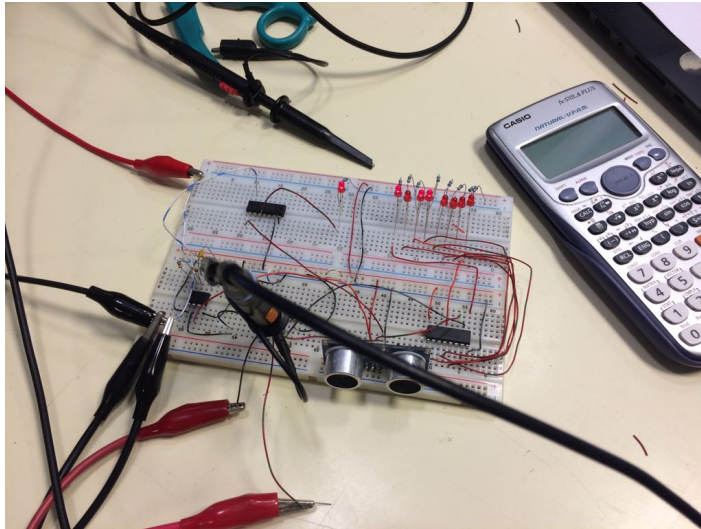


Figura 8.6: Prototipo del circuito

Como el prototipo funciona correctamente, tal como se muestra en el siguiente link (<https://youtu.be/xzRgiA1r85w>). Se procedió al armado de la placa.

8.2.5 Circuito

El circuito final construido posee las siguientes características: Entrada de trigger, trigger enable y clock. El clock al que se lo debe conectar es de 10Khz (señal cuadrada, 5v de amplitud y 50 % de duty cycle). Salida 8 bits que indican el tiempo medido, y 1 bit que indica que la medición finalizó.

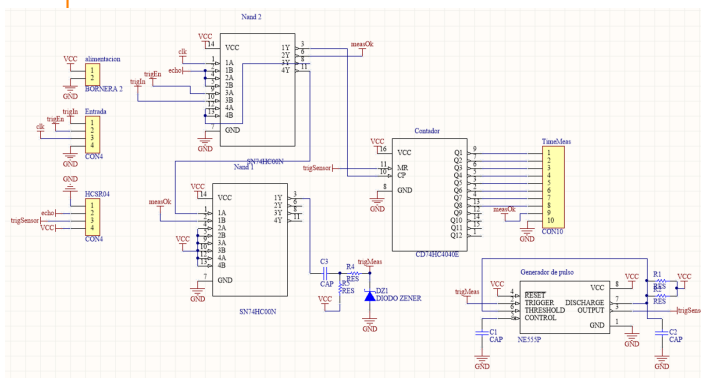


Figura 8.7: Esquemático