

1 Ejercicio 6

Se implementaron un latch SR y un flip flop D a partir de compuertas lógicas discretas. En ambos casos, se midieron sus parámetros característicos, y se compararon los resultados obtenidos con de sus equivalentes comerciales.

1.1 Flip flop D

1.1.1 Funcionamiento

El flip flop tipo D transfiere la entrada a la salida en cada ciclo de *clock*. Por ende, se lo puede utilizar como unidad básica de memoria.

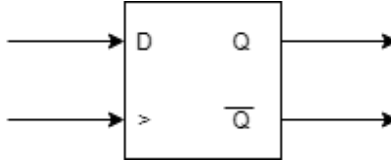


Figura 1: Representación del flip flop

clk	D	Q
↑	X	X
↓	X	Q_{n-1}

Tabla 1: Tabla de verdad del flip flop D

1.1.2 Circuito lógico

Una posible implementación del flip flop D es la siguiente:

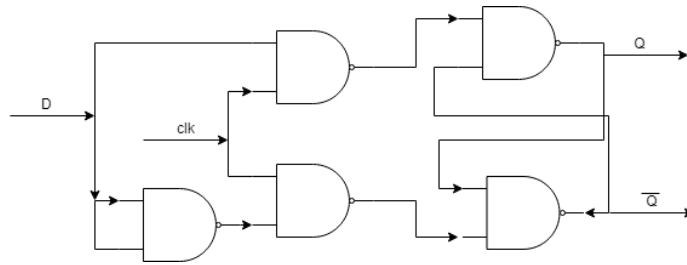


Figura 2: Circuito digital del flip flop D

1.1.3 Implementación y medición

Se implementó el circuito indicado en la sección anterior con compuertas lógicas *nand*. Para ello, se utilizó el integrado 74HC00.

Del circuito previamente mencionado, se midió el tiempo de establecimiento, el *rise time* y el *fall time*.

clk	D	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	25.2ns
↑	1	0	1	29ns

Tabla 2: Tiempo de establecimiento del flip flop D medido

Rise time	Fall time
45ns	49.6ns

Tabla 3: Rise time y fall time medidos para el flip flop D.

Para realizar la comparación se eligió el integrado comercial 74HC74. De su hoja de datos¹, se obtuvieron los siguientes tiempos:

clk	D	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	13ns
↑	1	0	1	18ns

Tabla 4: Tiempo de establecimiento del 74HC74 según su *data sheet*

Rise time	Fall time
< 400ns	< 400ns

Tabla 5: Rise time y fall time del 74HC74 según su *data sheet*

Como se puede observar, los tiempos de propagación del flip flop comercial son menores a los del que se implementó. Esto se puede deber a que el comercial hace un uso más eficiente de los transistores.

1.2 Latch SR

1.2.1 Funcionamiento

El latch SR posee tres entradas: una de *clock*, para poder sincronizar, otra de set (pone la salida a *high*) y de reset (salida en *low*).

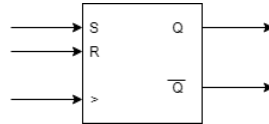


Figura 3: Representación de un latch

clk	S	R	Q
↑	0	0	Q_{n-1}
↑	0	1	0
↑	1	0	1
↑	1	1	Indeterminado

Tabla 6: Tabla de verdad latch SR

1.2.2 Circuito lógico

Una posible implementación del latch SR es la siguiente:

¹Disponible en: <http://www.mouser.com/ds/2/308/74HC74-108792.pdf> (consultado: 14/10/2018).

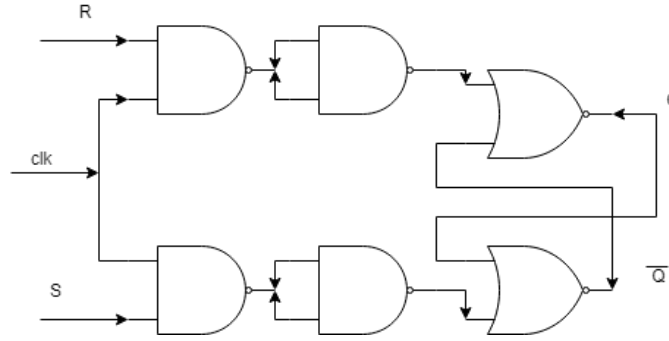


Figura 4: Circuito digital del latch SR

1.2.3 Implementación y medición

Se implementó el circuito indicado en la sección anterior exclusivamente con compuertas lógicas *nand*, reemplazando las *nor* por un equivalente lógico con este tipo de compuerta. Se volvió a hacer uso, entonces, del integrado 74HC00.

Nuevamente, se midieron el tiempo de establecimiento, el rise time y el fall time.

clk	R	S	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	1	21.6ns
↑	1	0	1	0	14ns

Tabla 7: Tiempo de establecimiento medido del latch SR

Rise time	Fall time
21.6ns	14ns

Tabla 8: Rise time y fall time medidos del latch SR

Para realizar la comparación se eligió el integrado comercial 74HC279 de la hoja de datos². Se obtuvieron los siguientes tiempos:

clk	D	Q_{n-1}	Q_n	Tiempo de establecimiento
↑	0	1	0	20ns
↑	1	0	1	13ns

Tabla 9: Tiempo de establecimiento del 74HC279 según su *data sheet*

Rise time	Fall time
< 400ns	< 400ns

Tabla 10: Rise time y fall time del 74HC279 según su *data sheet*

²Disponible en: <http://noel.feld.cvut.cz/hw/st/1937.pdf> (consultado: 14/10/2018).