

Ejercicio 1

Ejercicio 7

Se implementó un contador síncronico y otro asíncronico con compuertas lógicas. Se comparó su funcionamiento y se halló la máxima velocidad de operación de cada uno.

1.1 Contador sincronico

Los contadores síncronicos son aquellos que todos sus flip flop cambian de estado al mismo tiempo. Esto se debe a que cada flip flop comparte el mismo clock.

1.1.1 Funcionamiento

Tal como se mencionó anteriormente un contador asíncronico, basa su funcionamiento en flip flops, específicamente en flip flops tipo T.

El circuito lógico correspondiente al contador síncronico de 3 bits, es el siguiente:

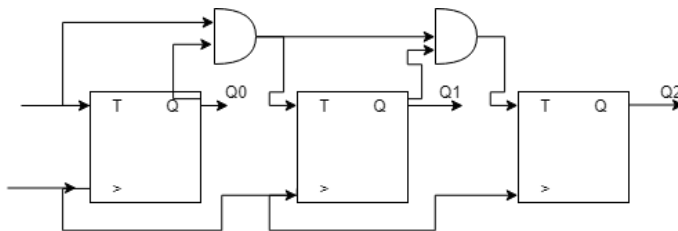


Figura 1.1: Circuito digital contador sincronico

El circuito de la figura 1.1, corresponde a un contador síncronico de tres bits ascendente (desde cero), donde Q0 a Q2 son las salidas del contador. La entrada del circuito es un pin de enable y otro de clock.

1.1.2 Implementación

Se implementó el circuito previamente mencionado, con compuertas AND(74HC00) y con flip flop SR (CD4027), juntando los terminales SR se obtuvo el flip flop T.

1.1.3 Máxima velocidad de conteo

La máxima velocidad a la que puede contar el circuito propuesto, depende de tres factores. El tiempo de establecimiento del flip flop, el tiempo de establecimiento de la and y el tiempo de set up, tiempo que se requiere para que el sistema se estabilice.

De esta manera queda definido la máxima frecuencia del clock:

$$f_{c_{max}} = \frac{1}{TeAND + TeFlipflop + TSetup}$$

1.2 Contador asincronico

Los contadores asíncronicos son aquellos que la señal de clock ingresa por uno de los flip flops y se propaga por el resto.

1.2.1 Funcionamiento

El contador asíncronico basa su funcionamiento en flip flop T, a diferencia del contador síncronico, los flip flops no comparten clock, sino que se conectan en cascada.

El circuito lógico correspondiente es el siguiente:

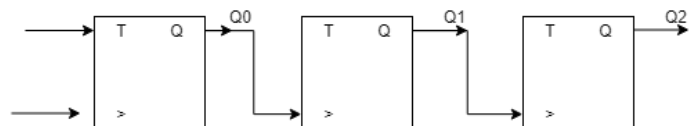


Figura 1.2: Circuito digital contador asincronico

El circuito de la figura ??, corresponde a un contador síncronico de tres bits ascendente (desde cero), donde Q0 a Q2 son las salidas del contador. La entrada del circuito es un pin de enable y otro de clock.

1.2.2 Implementación

Se implementó el circuito anteriormente indicado, con flip flop SR (CD4027), juntando los terminales SR se obtuvo un flip flop T.

1.2.3 Máxima velocidad de conteo

A diferencia del contador sincrónico, el asincrónico la velocidad máxima de operación depende del tiempo de establecimiento de cada flip flop, por ende la máxima frecuencia de clock soportada es la siguiente:

$$f_{c_{max}} = \frac{1}{N \cdot TeFlipflop}$$