
Trabajo Práctico de Laboratorio Nr. 2

5 de octubre de 2018

Alumnos:

- Milton Delgado, legajo 56451
- Paulo Navarro, legajo 57775
- Lisandro Álvarez, legajo 57771
- Matías Fogg, legajo 56252

Profesor:

- Kevin Dewald

Índice

Ejercicio 1	3
Ejercicio 2	4
Ejercicio 3	5
Ejercicio 4	6
Ejercicio 5	7
Ejercicio 6	8
Ejercicio 7	9
Ejercicio 8	10

EJERCICIO 1

EJERCICIO 2

Se tomaron los datos de máximos y mínimos de las entradas y salidas para los distintos estados de las hojas de datos de los circuitos en cuestión, y se exhiben en el cuadro 0.1.

	Vcc	Voltage (25 C)	Vcc	Voltage (25 C)	Vcc	Voltage (25 C)
	74HC02		74HCT02		74LS02	
Minimum HIGH Level Input Voltage	2.0V 4.5V 6.0V	1.5V 3.15V 4.2V	4.5V a 5.5V	2V	4.75V	2V
Maximum LOW Level Input Voltage	2.0V 4.5V 6.0V	0.5V 1.35V 1.8V	4.5V a 5.5V	0.8V	4.75V	0.8V
Minimum HIGH Level Output Voltage	2.0V 4.5V 6.0V	1.9V 4.4V 5.9V	4.5V a 5.5V	4.4V	4.75V	2.7V
Maximum LOW Level Output Voltage	2.0V 4.5V 6.0V	0.1V 0.1V 0.1V	4.5V a 5.5V	0.1V	4.75V	0.5V

Cuadro 0.1: Tabla de información obtenida de las hojas de datos

Como se ilustra en las figuras para los cuatro casos planteados, sólo habría problemas si se intenta conectar un transistor HC a la salida de un LS: la salida alta del LS puede caer en la región indeterminada de la entrada del HC, y sin que falle ningún componente fallaría el circuito.

En todos los demás casos se genera un margen de error para las entradas de los transistores.

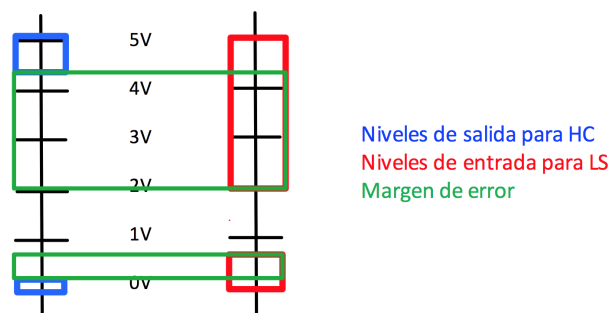


Figura 0.1: Niveles de tensión para caso HC->LS.

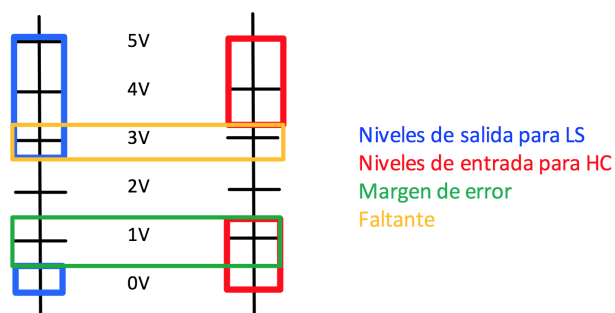


Figura 0.2: Niveles de tensión para caso LS->HC.

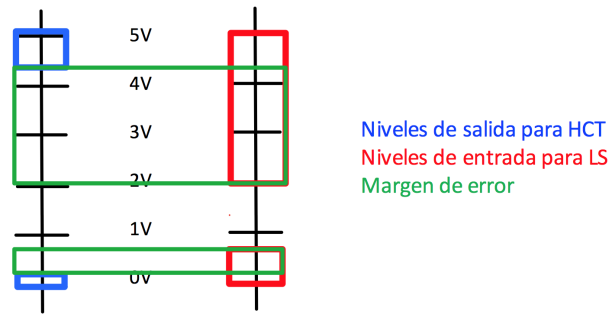


Figura 0.3: Niveles de tensión para caso HCT->LS.

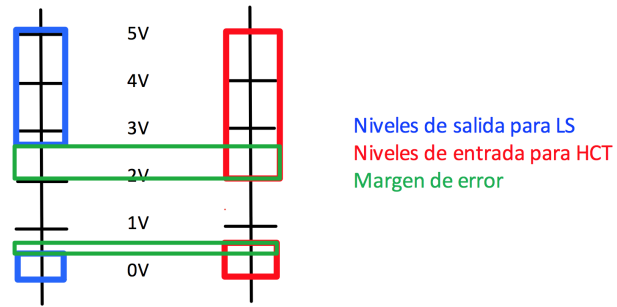


Figura 0.4: Niveles de tensión para caso LS->HCT.

EJERCICIO 3

EJERCICIO 4

EJERCICIO 5

EJERCICIO 6

EJERCICIO 7

EJERCICIO 8