
Trabajo Práctico de Laboratorio Nr. 2

17 de octubre de 2018

Alumnos:

- Milton Delgado, legajo 56451
- Paulo Navarro, legajo 57775
- Lisandro Álvarez, legajo 57771
- Matías Fogg, legajo 56252

Profesor:

- Kevin Dewald

Índice

Ejercicio 1	3
Mediciones en osciloscopio	3
Ejercicio 2	7
Ejercicio 3	8
Ejercicio 4	9
Ejercicio 5	10
Ejercicio 6	11
Ejercicio 7	12
Ejercicio 8	13

EJERCICIO 1

Se implementaron dos compuertas NOT con tecnologíaJT: una variante con un transistor NPN () y otra con un transistor PNP (). Sus disee pueden observar en la siguiente figura.

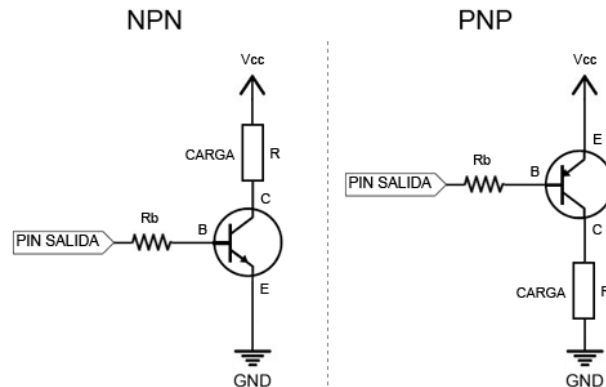


Figura 0.1: Circuitos inversores para transistores NPN y PNP.

Midiendo con un osciloscopio la entrada y la salida del circuito y haciendo uso del modo XY, se obtuvo la curva característica de tensión de cada compuerta.

A partir de estas curvas, se obtuvieron los niveles de voltaje de input y output para los niveles altos y bajos de ambas compuertas, así como los márgenes de ruido. Estos figuran en la siguiente tabla.

	NPN	PNP
High Level Input Voltage	1.18V	4.28V
Low Level Input Voltage	518mV	3.08V
High Level Output Voltage	4.88V	4.53V
Low Level Output Voltage	462mV	12.5mV
High Noise Margin	3.7V	0.25V
Low Noise Margin	56mV	3.067V

Posteriormente, midiendo las curvas de entrada y salida en simultáneo, se obtuvieron los tiempos de transición y las demoras de propagación para ambas compuertas. Luego, se cargaron las compuertas con un capacitor de 10nF, y obteniendo la derivada de la tensi salida, utilizando la ley de Ohm para capacitores pudo determinarse la corriente máxima a través de la compuerta. Estos datos figuran en la siguiente tabla.

	NPN	PNP
Propagation Delay High to Low	270 ns	860 ns
Propagation Delay Low to High	3.22 s	101 ns
Transition Time High to Low	230 ns	538 ns
Transition Time Low to High	840 ns	159 ns
Max Output Current	14.68mA	9.25mA

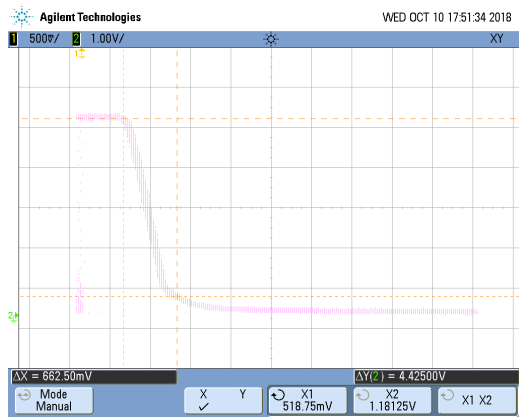


Figura 0.2: Curva característica NPN: datos de input.

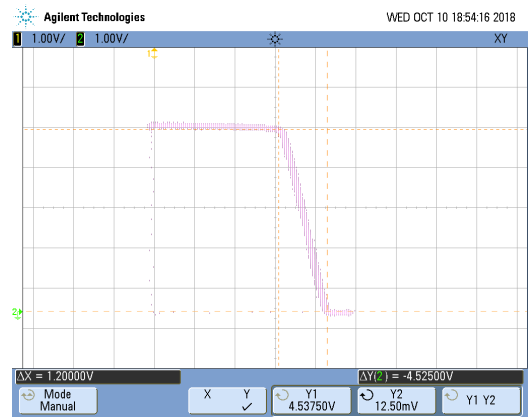


Figura 0.5: Curva característica PNP: datos de output.

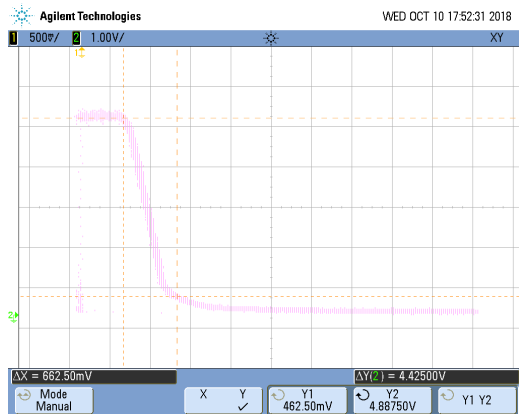


Figura 0.3: Curva característica NPN: datos de output.

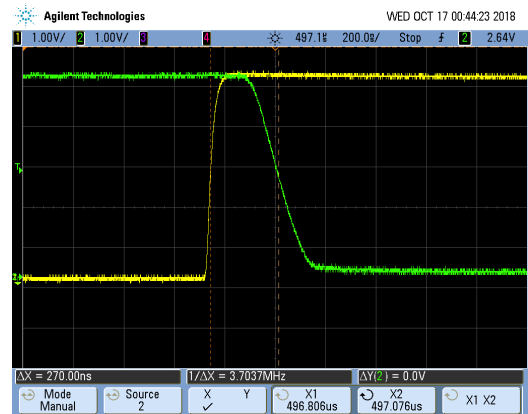


Figura 0.6: Medición Propagation Delay NPN: High to Low

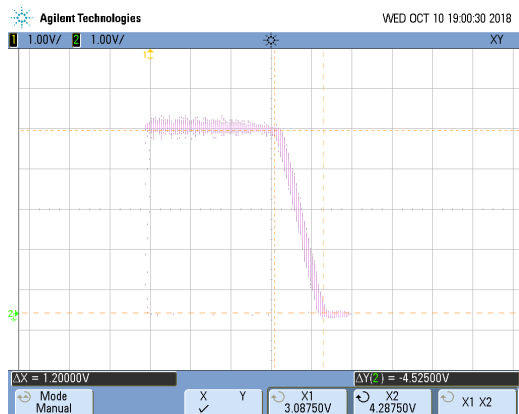


Figura 0.4: Curva característica PNP: datos de input.

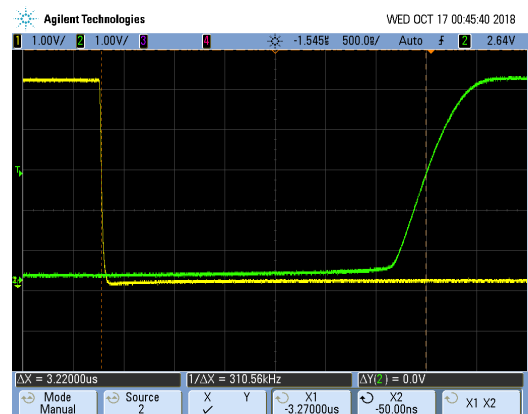


Figura 0.7: Medición Propagation Delay NPN: Low to High

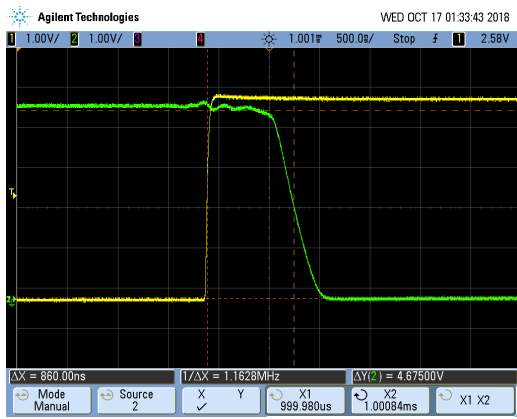


Figura 0.8: Medición Propagation Delay PNP: High to Low

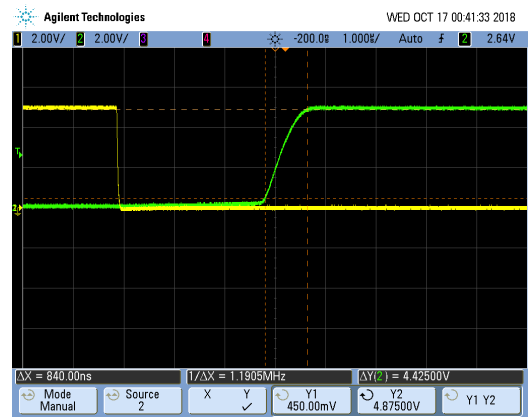


Figura 0.11: Medición Transition Time NPN: Low to High

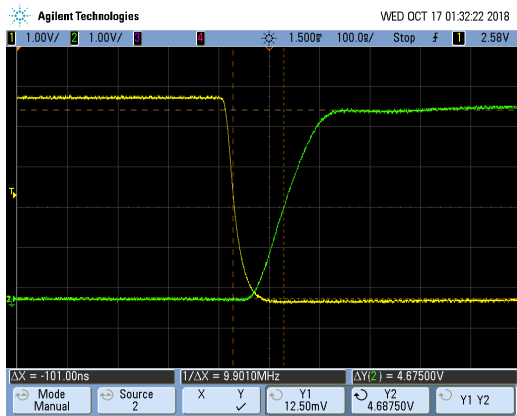


Figura 0.9: Medición Propagation Delay PNP: Low to High

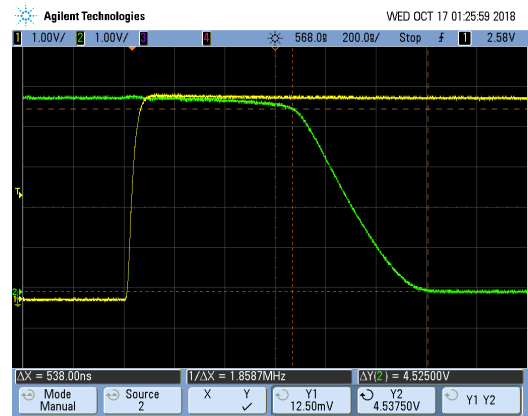


Figura 0.12: Medición Transition Time PNP: High to Low

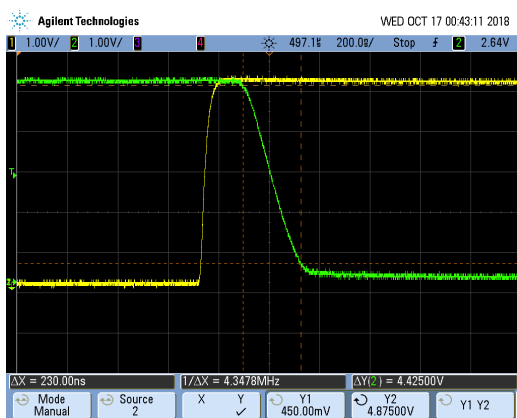


Figura 0.10: Medición Transition Time NPN: High to Low

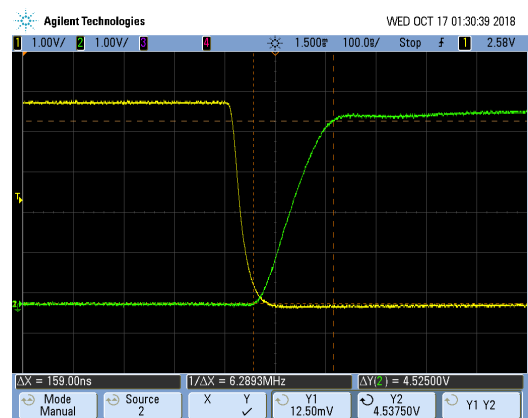


Figura 0.13: Medición Transition Time PNP: Low to High

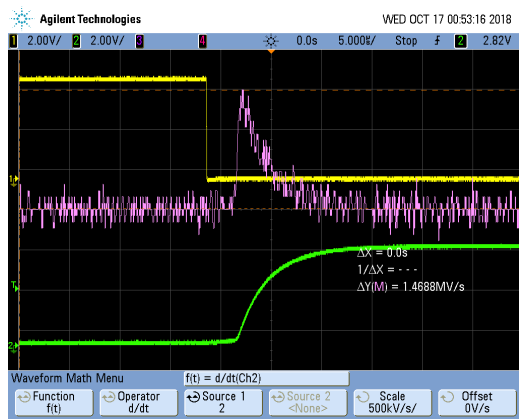


Figura 0.14: Medición mma derivada de tensi la sali-
da NPN

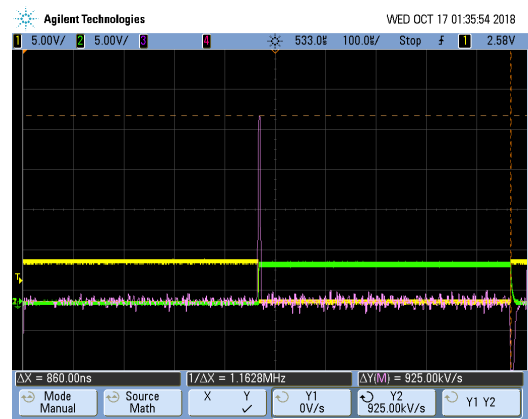


Figura 0.15: Medición mma derivada de tensi la sali-
da PNP

EJERCICIO 2

Se tomaron los datos de máximos y mínimos de las entradas y salidas para los distintos estados de las hojas de datos de los circuitos en cuestión, y se exhiben en el cuadro 0.1.

	Vcc	Voltage (25 C)	Vcc	Voltage (25 C)	Vcc	Voltage (25 C)
	74HC02		74HCT02		74LS02	
Minimum HIGH Level Input Voltage	2.0V 4.5V 6.0V	1.5V 3.15V 4.2V	4.5V a 5.5V	2V	4.75V	2V
Maximum LOW Level Input Voltage	2.0V 4.5V 6.0V	0.5V 1.35V 1.8V	4.5V a 5.5V	0.8V	4.75V	0.8V
Minimum HIGH Level Output Voltage	2.0V 4.5V 6.0V	1.9V 4.4V 5.9V	4.5V a 5.5V	4.4V	4.75V	2.7V
Maximum LOW Level Output Voltage	2.0V 4.5V 6.0V	0.1V 0.1V 0.1V	4.5V a 5.5V	0.1V	4.75V	0.5V

Cuadro 0.1: Tabla de información obtenida de las hojas de datos

Como se ilustra en las figuras para los cuatro casos planteados, sólo habría problemas si se intenta conectar un transistor HC a la salida de un LS: la salida alta del LS puede caer en la región indeterminada de la entrada del HC, y sin que falle ningún componente fallaría el circuito.

En todos los demás casos se genera un margen de error para las entradas de los transistores.

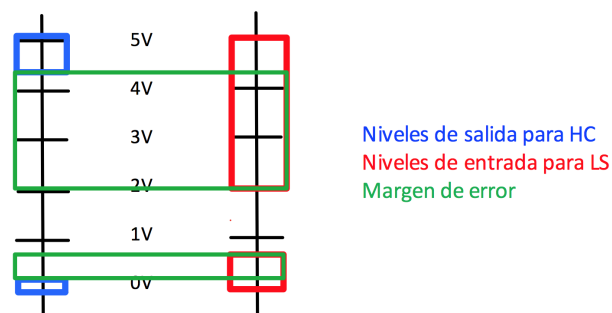


Figura 0.16: Niveles de tensión para caso HC->LS.

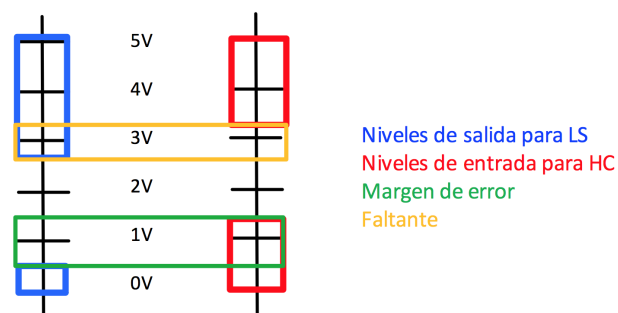


Figura 0.17: Niveles de tensión para caso LS->HC.

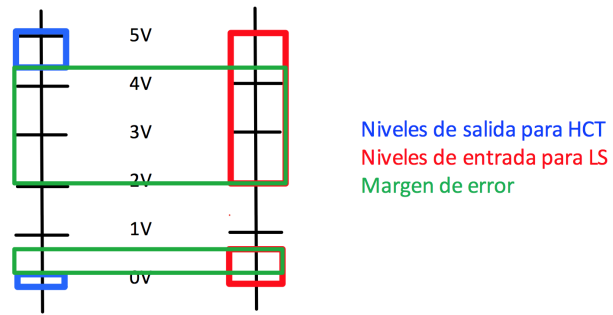


Figura 0.18: Niveles de tensión para caso HCT->LS.

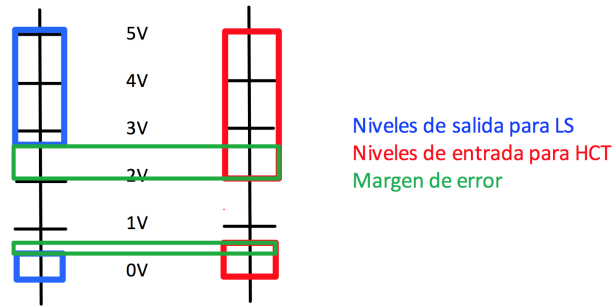


Figura 0.19: Niveles de tensión para caso LS->HCT.

EJERCICIO 3

EJERCICIO 4

EJERCICIO 5

EJERCICIO 6

EJERCICIO 7

EJERCICIO 8