

---

## Trabajo Práctico de Laboratorio N° 2

---

*Grupo 5:*

Matías LARROQUE  
Leg. 56597

Lucero Guadalupe FERNANDEZ  
Leg. 57485

Manuel MOLLÓN  
Leg. 58023

Ezequiel VIJANDE  
Leg. 58057

*Profesor:*

Kevin DEWALD  
Pablo WUNDES

Entregado: 18 de Octubre de 2018

# 1. IMPLEMENTACIÓN DE COMPUERTAS NOT CON TRANSISTORES

En esta primera parte del artículo se propondrá realizar una compuerta básica como es la inversora, o también llamada "NOT", con transistores. Los diseños que se muestran a continuación son cuatro: dos variantes con transistores bjt y otras dos con transistores mosfet.

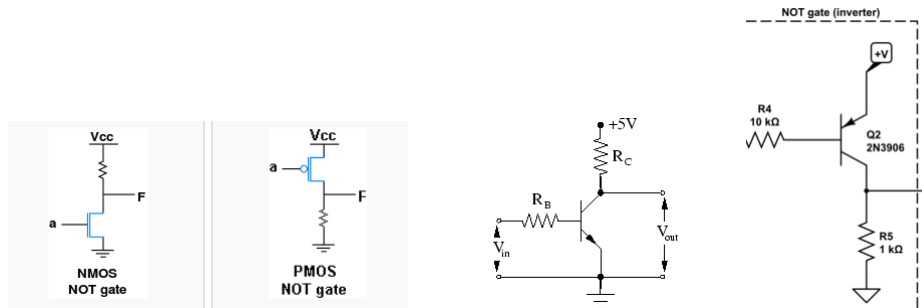


Figura 1.1: Diseño de NOT con Transistores.

Como se muestra en las imágenes, dentro de la variante de los mosfet se utilizó el transistor NMOS y el PMOS. En cuanto a los transistores bipolares, se propuso un modelo con NPN y otro con PNP.

Una vez materializados estos diseños, se procedió a medir algunos parámetros que caracterizan a la compuerta lógica. Vale aclarar que las mediciones se realizaron solo para las compuertas con transistores bipolares.

A continuación se muestran los resultados de las mediciones sin carga:

sin carga	NPN	PNP
High-level input voltage (V)	1	4,5
Low-level input voltage (V)	0,400	4,2
High-level output (V)	4,930	4,93
Low-level output (V)	0,075	0,05
High Level Noise Margin (V)	3,930	0,43

sin carga	NPN	PNP
Low Level Noise Margin (V)	0,325	4,150
Propagation delay High-Low	2,295 us	140 ns
Propagation delay Low-High	130 ns	930 ns
Transition tiem High-Low	1,470 us	89 ns
Transition time Low-High	98,500 us	1,400 us

Cuadro 1.1: Mediciones - Parámetros Compuerta NOT - sin carga

Luego se realizaron las mismas mediciones con una carga capacitiva:

con carga	NPN	PNP
High-level input voltage (V)	0,9	4,5
Low-level input voltage (V)	0,5	4,2
High-level output (V)	4,89	4,92
Low-level output (V)	0,074	0,06
High Level Noise Margin (V)	3,99	0,42

con carga	NPN	PNP
Low Level Noise Margin (V)	0,0426	4,14
Propagation delay High-Low	11,200 us	165 ns
Propagation delay Low-High	172,50 ns	5,100 us
Transition tiem High-Low	5,700 us	164 ns
Transition time Low-High	196 ns	11,350 us

Cuadro 1.2: Mediciones - Parámetros Compuerta NOT - con carga

Todas las mediciones se realizaron con Vcc igual a 5 Volts. En cuanto a las mediciones de tiempo de propagación y de transición, para estas se utilizó una excitación de onda cuadrada de 1,92 KHz.

## 2. COMPATIBILIDAD ENTRE COMPUERTAS

Al momento de adquirir una compuerta lógica comercial, se especifica en el código el tipo de tecnología que se implementa en dicha compuerta. Por ejemplo, "HC" hace referencia a "High speed CMOS" mientras que "HCT" significa "High speed CMOS TTL" o también existe "LS" aludiendo a "Low power schotky". En esta parte del artículo se analizarán algunas diferencias prácticas entre estos tipos compuertas y se mencionarán algunos parámetros a tener en cuenta para combinar más de dos tipos distintos en un mismo circuito.

Para el análisis se utilizarán las siguientes compuertas lógicas: 74HC02, 74HCT02, 74LS02. Estas corresponden a compuertas "NOR".

### 2.1. MARGEN DE RUIDO

De la hoja de datos de los distintos componentes se extrajeron los siguientes parámetros sobre el margen de ruido:

	74HC02	74HCT02	74LS02
High Level Noise Margin	1.25V	2.2V	0.7V
Low Level Noise Margin	1.25V	0.7V	0.3V

Cuadro 2.1: Márgenes de Ruido extraídos de hojas de datos

### 2.2. CONEXIÓN ENTRE COMPUERTAS

Al conectar entre compuertas, pueden existir problemas al cargar la tecnología LS con una compuerta de tipo HC. Esto es debido a que los niveles de entrada (como se puede observar en la tabla expuesta anteriormente) de la tecnología HC son más restrictivos que los valores de salida de la LS. Por otro lado, este problema no ocurre cuando se carga la compuerta LS con una HCT, la cual justamente está pensada para solucionar los problemas de compatibilidad de una HC.

De todas maneras, aunque el fabricante en la datasheet de su componente indique valores como los que se han mostrado en el apartado anterior, en la práctica puede ocurrir que estos parámetros difieran, como por ejemplo en el caso del margen de ruido. Es decir, que puede ocurrir que en la práctica se pueda interconectar una compuerta LS con una HC sin tener problemas debido a que el margen de ruido de la LS sea más elevado de lo que se indica en la hoja de datos. A continuación se muestra una imagen de una medición realizada con osciloscopio de la respuesta de una compuerta LS cargada por una HC:

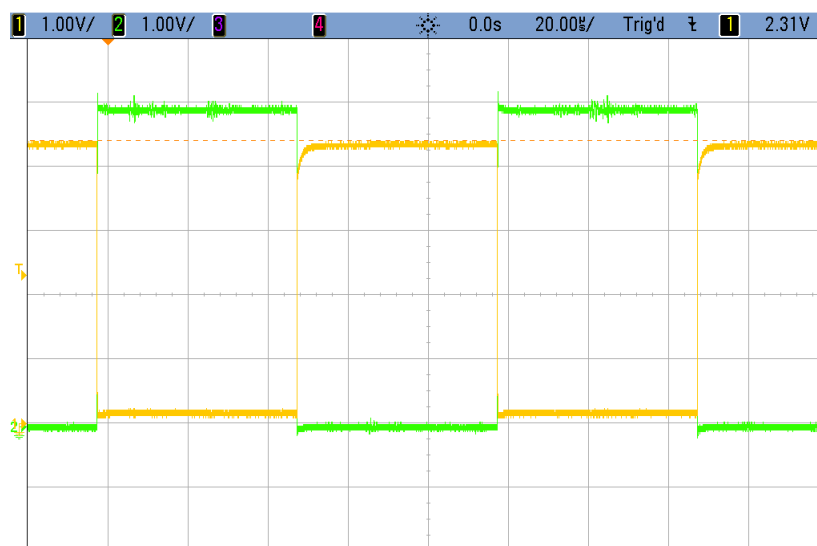


Figura 2.1: Medición - Compuerta LS cargada con HC

Las compuertas son NOR que se conectaron de tal manera que simulan dos NOT en serie, por ende tiene sentido que cuando una señal está en alto la otra se mantenga en bajo. Vale aclarar que la señal representada de color amarillo es

la salida de la compuerta HC mientras que la otra es la correspondiente a la compuerta LS.

### 3. IMPLEMENTACIÓN DE TABLA DE VERDAD CON COMPUERTAS LÓGICAS

El objetivo fue implementar la tabla de verdad con compuertas lógicas discretas. Se sabe que simplificando ya sea con máxterminos o mintérminos se llega a la expresión mínima, es decir a la máxima simplificación; por lo que se procedió a simplificar con mintérminos, resultando en lo siguiente, acorde al mapa de Karnaugh 3.1:

$$Y = \overline{A}B + \overline{B}C \quad (3.1)$$

		ab			
c		00	01	11	10
	0	0	1	0	0
	1	1	1	0	1

La expresión anterior es la que representa el menor costo pues se implementa con la menor cantidad posible de compuertas (ver figura 3.1). Sin embargo, se observa que al transicionar entre los grupos  $(A, B, C) = (0, 1, 1)$ , -en verde-, y  $(A, B, C) = (0, 0, 1)$ , -en azul-, es decir variando el estado de la variable B, el comportamiento será incierto, pues no está cubierta por ningún mintérmino. Para medir ésto, se conectó la entrada A a masa, y C, a +Vcc (5 V). La señal B se simuló con una onda cuadrada generando así la transición entre los susodichos estados. Esto se puede ver en la figura 3.2; la entrada es la señal amarilla, y la verde la salida, que se encuentra en un nivel de tensión alto, es decir un 1 lógico, como era de esperar. Por otro lado, cuando B varía de 5 V a 0 V, se observa un comportamiento indeseado, un glitch, que se debe a los tiempos de delay propios de las compuertas lógicas.

Cuadro 3.1: Mapa de Karnaugh de menor costo.

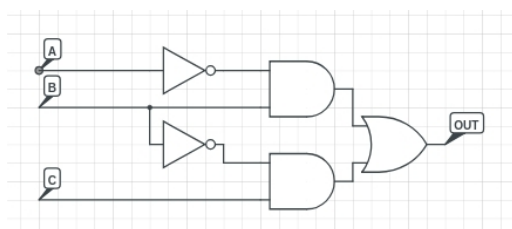


Figura 3.1: Circuito utilizado de menor costo.



Figura 3.2: Glitch observado señalado en rojo al variar el estado de B.

Para evitar este inconveniente lo que se puede hacer es agregar un grupo al mapa de Karnaugh entre los estados problemáticos, para asegurarse que la salida, al transicionar entre los mismos, se mantenga siempre en el mismo valor; ver figura 3.3. Entonces, agregando un mintérmino, la función queda simplificada a:

$$Y = \overline{A}B + \overline{B}C + \overline{A}C \quad (3.2)$$

Lo que da como resultado el circuito 3.4, que si bien requiere una compuerta más (un OR); y además un AND de tres entradas, evita que haya glitches.

		ab			
c	0	00	01	11	10
	1	0	1	0	0
		1	1	0	1

Figura 3.3: Mapa de Karnaugh sin glitches.

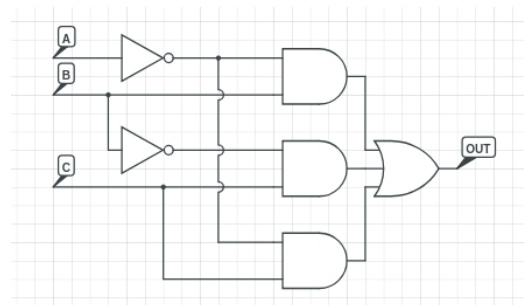


Figura 3.4: Circuito utilizado de mayor costo.

#### 4. DELAY DE PROPAGACIÓN - RISE TIME - FALL TIME

En esta parte del artículo se propondrá medir los tiempo de propagación, rise y fall del 74HC02. A fin de comparar resultados, primero se realizarán mediciones en vacío y luego se repetirán utilizando el siguiente circuito:

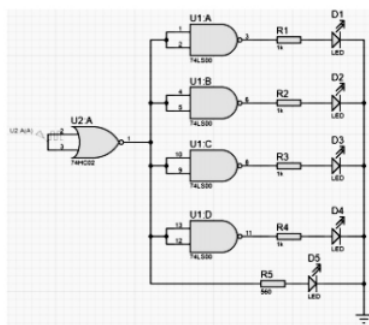


Figura 4.1: Circuito propuesto a medir.

##### 4.1. RESULTADOS OBTENIDOS

Los resultados obtenidos fueron los siguientes:

Medición en Vacío	
Tiempo de Rise	59 ns
Tiempo de Fall	165 ns
Tiempo de Propagación	15 ns

Medición del Circuito Propuesto	
Tiempo de Rise	51 ns
Tiempo de Fall	60 ns
Tiempo de Propagación	18 ns

Cuadro 4.1: Mediciones - Resultados Obtenidos

Estas mediciones se realizaron con una excitación de onda cuadrada de 500 Hz de frecuencia y con una alimentación de 5 Volts.

Con respecto al tiempo de propagación con el circuito de carga, es esperable que este sea mayor como lo indicó la medición ya que la carga presenta una componente capacitiva que aletarga la salida medida.

Luego de realizar estas mediciones, se procedió a aumentar la frecuencia del generador a 100 KHz y se midió la tensión de alimentación. Lo que se observó fue que esta no resultaba ser constante. Por consiguiente, se procedió a colocar un capacitor de 100nF entre los bornes de la alimentación (entre "Vcc" y "Ground") a fin de comparar resultados. A continuación se presentan las dos mediciones de la tensión de alimentación (con capacitor y sin capacitor):

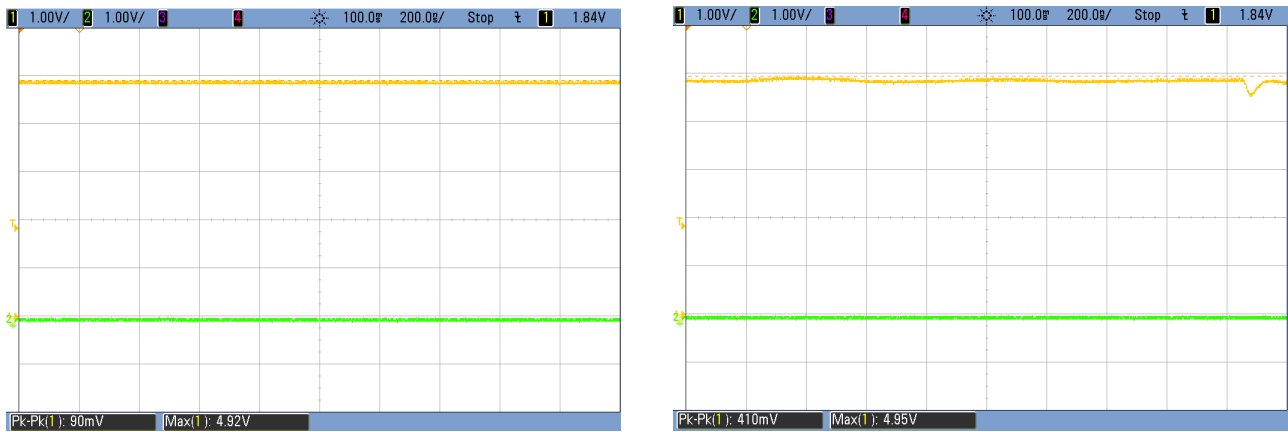


Figura 4.2: Mediciones - Tensión de Alimentación

En la medición sin capacitor se observa un pico para el cual la tensión de alimentación disminuye, pero que no aparece en la medición con capacitor. Esto se puede explicar debido a que el capacitor contrarresta las inductancias que existen debido a las conexiones físicas y además el capacitor (si es lo suficientemente grande) es capaz de otorgar picos de corriente que pueden requerir los transistores del integrado, sin afectar la tensión de alimentación.

Además, al agregar el capacitor se pudo observar un cambio en la forma de la respuesta de la 74HC02, siendo esta sub-amortiguada con sobre pico al no colocar el capacitor, pero si se colocaba el capacitor esta tendía a ser sobre amortiguada, sin sobre pico. A continuación se muestran dos imágenes que plasman la diferencia de la salida de la compuerta debida al capacitor de  $100nF$ :

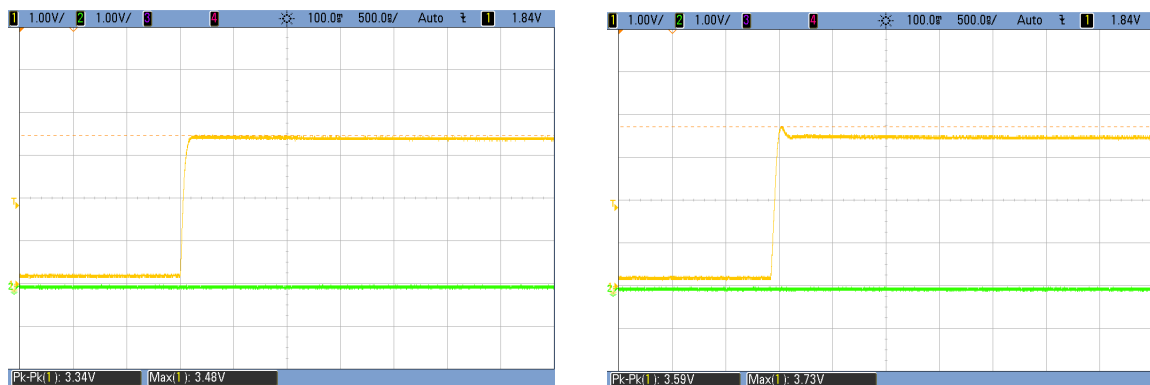


Figura 4.3: Respuesta de 74HC02 según acople capacitivo.

## 5. ENTRADAS FLOTANTES EN COMPUERTAS TTL Y CMOS

Se implementaron los siguientes circuitos:

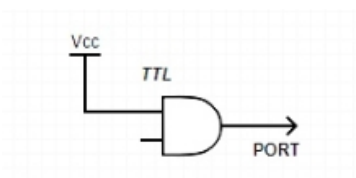


Figura 5.1: Compuerta AND TTL con entrada flotante.

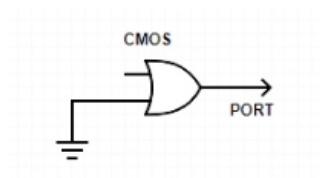


Figura 5.2: Compuerta OR CMOS con entrada flotante.

En primer lugar, en el caso de la compuerta TTL se conectó una entrada a  $V_{cc}$  (5V) y se dejó la otra flotante (figura 5.1), es decir no se le realizó ninguna conexión y se midió la salida, que se observó constante como un 1 lógico (aproximadamente 5V).

En el caso de la CMOS, se dejó también un input flotante y otro se lo conectó a masa, como se ve en la figura 5.2. Se observó en este caso, a la salida, ruido de línea de 50Hz, con amplitud que variaba entre 0-0.8V, que no se encontraba entre las tensiones high y low de salida del CMOS ( $V_{OH}$  y  $V_{OL}$ )<sup>1</sup>, es decir, la salida era indefinida (no era ni un 1 ni un 0 lógico).

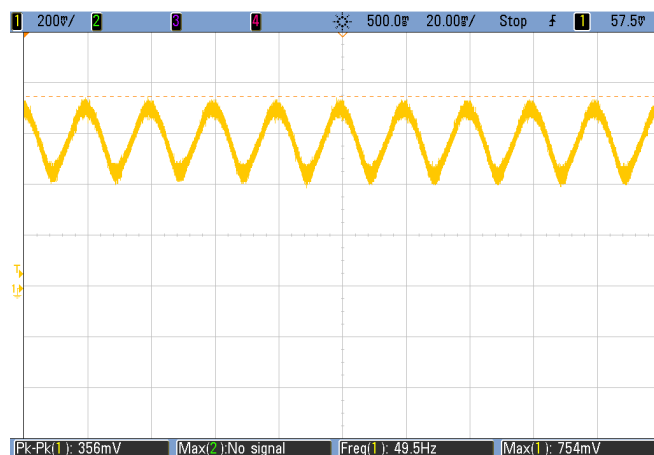
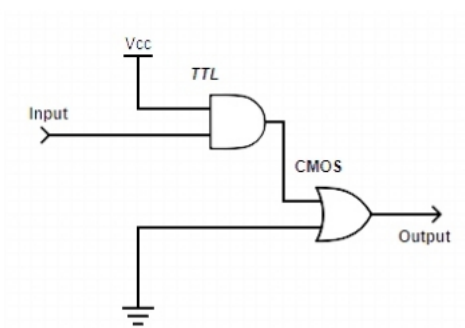


Figura 5.3: Ruido observado del CMOS con entrada flotante.



Cuadro 5.1: Circuito implementado.

Para el CMOS este comportamiento puede deberse a que tiene alta impedancia de entrada por lo que al dejar una entrada flotante funciona como antena, induciéndose corrientes, por ejemplo, por ruido, lo que genera tensiones a la entrada de la compuerta ocasionando un nivel de tensión high o low incierto a la salida. Para que no ocurra ésto, el fabricante recomienda conectar las entradas que no se utilizan ya sea a GND o a  $V_{cc}$ , para evitar estados operacionales indefinidos.<sup>2</sup>

A continuación se implementó el circuito del cuadro 5.1. No se observó ningún comportamiento indeseado, sin embargo, si se observan las figuras 5.4 y 5.5 que muestran los niveles de tensión high y low de entrada y salida para una compuerta TTL y CMOS ( $V_{IH}/V_{IL}$  y  $V_{OH}/V_{OL}$ ), se pueden encontrar problemas si, por ejemplo, la tensión de entrada al circuito es de 3V; ésto ocasionaría que la salida de la TTL estuviera entre los 2.4V-5V para un 1 lógico, que podría presentar cierta incompatibilidad con los valores de tensión de entrada de la CMOS, ya que podría caer dentro de la zona indefinida, resultando en una salida incierta del circuito.

Posibles soluciones a este inconveniente serían utilizar mismas familias de compuertas, es decir, ambas TTL (LS) o CMOS (HC), lo que corrige estas ambigüedades. Se implementó el nuevo circuito y no se encontraron problemas, como era esperable.

<sup>1</sup>Datos sacados de la datasheet: ver figura 5.5.

<sup>2</sup>Referirse a la hoja de datos del fabricante: <http://www.ti.com/lit/ds/symlink/sn54hc32-sp.pdf>.

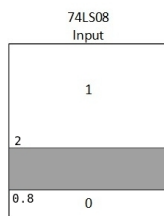


Figura 5.4: Tensiones  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$  para una compuerta AND TTL.

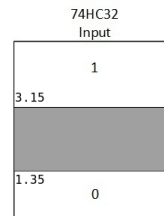
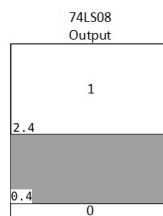
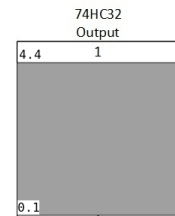


Figura 5.5: Tensiones  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$  para una compuerta OR CMOS.



A modo de síntesis, una entrada flotante en un TTL es considerada como un 1 lógico a la entrada, y un input flotante en CMOS tiene un comportamiento incierto a la salida. Si bien, el circuito combinado con compuertas TTL y CMOS funciona de manera correcta, los fabricantes *Texas Instruments*<sup>3</sup> y *Fairchild*<sup>4</sup> no pueden asegurar el valor de salida del integrado y recomiendan conectar todos los inputs sin utilizar a un valor de tensión conocido, sea GND, Vcc o cortocircuitarla con otra entrada que esté en uso, dependiendo de la función del circuito.

## 6. IMPLEMENTACIÓN DE FLIP FLOP Y LATCH

En esta sección se propone la implementación de un flip flop de tipo "D" y de un latch "SR" a partir de compuertas lógicas discretas.

### 6.1. LATCH SR

Para realizar el latch SR se propuso el siguiente diseño:

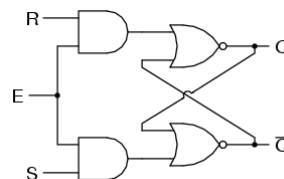


Figura 6.1: Diseño de Latch SR

Una vez materializado el latch, se procedió a medir algunos parámetros de interés, los cuales se constrastaron con parámetros comerciales:

Parámetro	Desde	Hasta	Medido	Hoja de Datos (valores típicos)
Tpropagación	S	Q	24 ns	15 ns
Tpropagación	R	Q	28 ns	15 ns

Cuadro 6.1: Comparación con Latch Comercial

Vale aclarar que los parámetros del latch comercial fueron extraídos de la hoja de datos del 74LS279.

<sup>3</sup>Nota de aplicación del fabricante: Haseloff, E. (1997). Designing with Logic. *Texas Instruments*, 6-7. Extraído de: <http://www.ti.com/lit/an/sdya009c/sdya009c.pdf>.

<sup>4</sup>Nota de aplicación del fabricante: (1984). Application Note 363. Designing with TTL. *Fairchild*, 2. Extraído de: <https://www.fairchildsemi.com/application-notes/AN/AN-363.pdf>.



## 6.2. FLIP FLOP D

Para la realización del flip flop D se propuso el siguiente diseño:

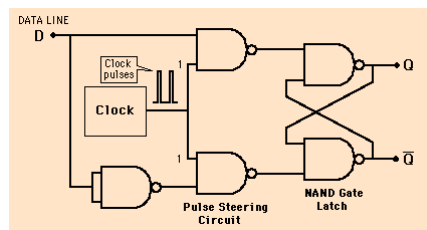


Figura 6.2: Diseño de Flip Flop D

Luego de la materialización del flip flop se procedió a medir algunos parámetros de interés, los cuales se constrastaron con parámetros comerciales:

Parametro	Desde	Hasta	Medido	Hoja de Datos (valores típicos)
TpropagaciónHL	clock	Q	31 ns	10 ns
TpropagaciónLH	clock	Q	29 ns	10 ns

Cuadro 6.2: Comparación con Flip Flop Comercial

Débase aclarar que los parámetros del flip flop D comercial fueron extraídos de la hoja de datos del 74LS74.

Con respecto a los resultados obtenidos, las mediciones muestran que los tiempos de propagación al realizar el flip flop o el latch con compuertas discretas aumentan con respecto a los tiempos de propagación que presentan los comerciales. Esto es razonable ya que en la implementación con compuertas discretas se utilizan más componentes que influyen en el retardo de la señal.

## 7. CONTADORES

El hecho de que el flip flop presente una entrada de clock que habilite un cambio de estado a la salida, permite que se puedan implementar los flip flops para contar una cantidad de ciclos de clocks que han transcurrido en el tiempo. Este dispositivo que permite construir la implementación con flip flops es llamado contador, y existen dos tipos los cuales son: asincrónico y contador síncrono. A continuación se presenta una implementación de flip flops tipo "T" para el contador asincrónico y para el contador síncrono:

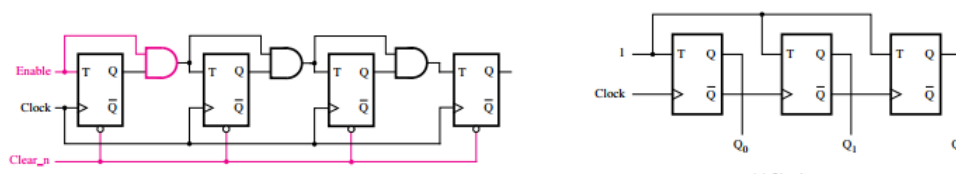


Figura 7.1: Contador síncrono y asincrónico

Como se puede ver en el diseño del contador síncrono (imagen de la izquierda), los flip flops habilitan el cambio de estado al mismo tiempo (la entrada de clock es la misma para todos, clock síncrono), mientras que para el contador asincrónico la entrada de clock de los flip flops proviene del flip flop anterior. Esto último provoca en los contadores asincrónicos una dependencia mayor del delay de los flip flops en su funcionamiento.

### 7.1. IMPLEMENTACIÓN

En esta parte del artículo se propone implementar un contador de 3 bits (uno asincrónico y otro síncrono) e intentar medir su máxima velocidad de operación. El diseño a utilizar es el mismo que el presentado en la imagen anterior (con

solo tres flip flops, uno por bit) pero con flip flops tipo D. Para lograr esto se propuso el siguiente diseño para lograr un flip flop tipo T a partir de uno tipo D y así poder realizar los contadores:

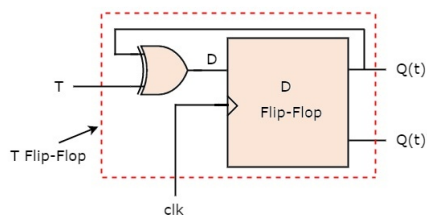


Figura 7.2: Flip Flop tipo T a partir del tipo D.

## 7.2. MÁXIMA VELOCIDAD DE OPERACIÓN

Para lograr estimar la máxima velocidad de operación, se aumentó la frecuencia del clock hasta que esta fue lo suficientemente elevada para que los flip flops no pudieran seguir el conteo correctamente. Lo que ocurrió fue que el contador asincrónico cesó de operar adecuadamente a una frecuencia de clock de  $21\text{MHz}$  mientras que el contador síncronico lo hizo a una frecuencia de clock de  $45\text{MHz}$ .

Esto tiene sentido, ya que según la datasheet de los flip flops utilizados el tiempo de propagación es del orden de los  $20\text{ns}$ . Esto quiere decir que a una frecuencia  $f = \frac{1}{20\text{ns}} = 50\text{MHz}$  es esperable que el contador no actualice la cuenta a tiempo. Esto es para el flip flop síncronico, pero para el asincrónico el tiempo de propagación se multiplica por la cantidad de bits del contador, o lo que es lo mismo, por la cantidad de flip flops. Para el caso del contador de tres bits, la frecuencia de operación se reduce a un tercio de la que se tenía para el síncronico.

Vale aclarar que lo estimado teóricamente con los parámetros de la hoja de datos y lo medido no se ajusta perfectamente a la realidad, pero esto es esperable debido a las dificultades de medir con el osciloscopio en altas frecuencias de trabajo y además porque no solo existen flip flops en el circuito, si no que se han utilizado otras compuertas como las AND y las XOR que no han sido incorporadas en el análisis. De todas maneras, se puede notar que el contador síncronico permite aumentar más la frecuencia de trabajo (respecto al asincrónico) sin que se afecte el funcionamiento.

## 8. SENSOR DE DISTANCIA - IMPLEMENTACIÓN CON HC-SR04

En esta sección del artículo se propone el diseño de un circuito que interaccione con el sensor de distancia HC-SR04, de manera que sea capaz de activar su funcionamiento y a su vez manipular los datos que el sensor provee a partir de sus mediciones.

### 8.1. FUNCIONAMIENTO DEL HC SR04

El sensor HC SR04 presenta cuatro pines, de los cuales dos de ellos son para la alimentación y la conexión a tierra, mientras que los dos restantes representan la entrada y la salida del sensor. La entrada (pin de *trigger*) permite disparar una medición del sensor, para lo cual debe enviarse a este pin un pulso (señal de tensión) de un mínimo de  $10\mu\text{s}$  de duración. Por otro lado, luego de dispararse y realizarse la medición, la salida (pin de *echo*) devuelve un pulso de duración proporcional a la medición del sensor.

En cuanto a la medición de distancia del sensor, esta se basa en la emisión de una señal ultrasónica (al activar el pin de *trigger*) que tiene la capacidad de 'rebotar' al encontrar un objeto en su camino y así poder generar una señal de retorno que es recibida nuevamente por el sensor. Luego, este calcula el tiempo que tardó en retornar la señal ultrasónica emitida y devuelve el resultado provocando un pulso de echo de la misma duración que el tiempo calculado anteriormente.

Entonces, lo que mide el sensor en realidad es tiempo que puede ser utilizado para calcular una distancia dado que la velocidad de propagación de la señal ultrasónica emitida por el sensor es de aproximadamente  $343\frac{\text{m}}{\text{s}}$  (velocidad del sonido).

Por último, una especificación importante es que el sensor es capaz de realizar mediciones para objetos que se encuentran a una distancia de entre 3 y 450 centímetros del mismo, en un ángulo de visión de 15 grados.

## 8.2. DISEÑO DEL CIRCUITO DE IMPLEMENTACIÓN

A continuación se presenta el pin out del circuito a diseñar:

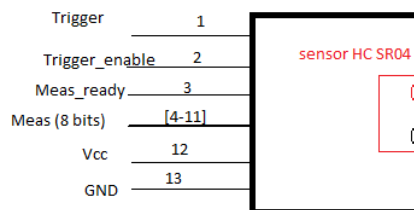


Figura 8.1: Pin Out - Top Layer

Como se ve en la imagen anterior el diseño debe tener en cuenta un pin de trigger como entrada para activar una medición, el cual a su vez es habilitado o deshabilitado por un pin de *enable*. Además, se debe contar con una salida de 8 bits que represente en binario el tiempo calculado por el sensor HC SR04 en unidades de microsegundos. Por último, se debe implementar un pin de salida (*meas\_ready*) que indique si la última medición disparada logró su finalización.

Para el diseño se procuró identificar las distintas etapas necesarias para la resolución del problema planteado para luego avocarse a realizar circuitualmente cada una de ellas. Luego de analizar los requerimientos del circuito se propusieron los siguientes módulos: habilitación del disparo, activación del disparo, procesamiento del echo, generación de clock, set/reset de (*meas\_ready*). El diagrama en bloques del proyecto a realizar se puede representar con la siguiente imagen:

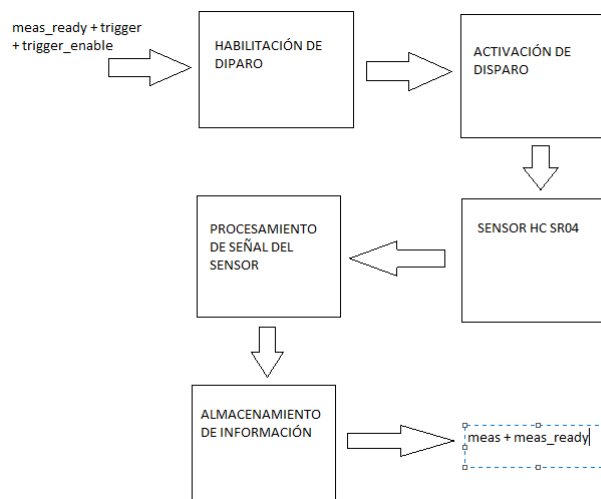


Figura 8.2: Diagrama en Bloques del Proyecto

Además, del diagrama de bloques se pueden identificar dos etapas particulares las cuales son: módulos anteriores al sensor y módulos posteriores al sensor.

A continuación se desarrollará sobre cada módulo en particular, y dado que lo único que no se diseñará en este proyecto es el sensor HC SR04, se comenzará analizando los módulos más 'ceranos' al sensor y particularmente con la etapa *post-sensor*, siguiendo luego con la etapa *pre-sensor*.

## 8.3. ETAPA POST-SENSOR

La etapa *post-sensor* cuenta con los módulos de "procesamiento de la señal del sensor" y de "almacenamiento de los datos procesados", los cuales se analizarán a continuación.



## 8.4. ETAPA PRE-SENSOR

La etapa "pre-sensor" debe ser capaz de activar el sensor correctamente, por ende se comenzarán desarrollando los módulos más cercanos al sensor (dado que es el sensor el que impone los requerimientos).

Los módulos de esta etapa son: "activación de disparo" y "habilitación de disparo".

### 8.4.1. ACTIVACIÓN DE DISPARO

Para activar el disparo del sensor es necesario (por la especificación del mismo) enviar un pulso de duración mayor a  $10\mu s$ . Por ende el módulo de activación de disparo debe imponer un pulso con estas características a su salida en caso de que se indique la activación del disparo medición. Esta indicación sobre la activación del disparo conformaría la entrada del módulo y tan solo basta con que sea un bit que represente un 1 lógico en caso de activar un disparo o un 0 en caso de no pretender una medición.

Hasta aquí se han indicado la entrada y la salida del módulo, pero debe aclararse también que la medición debe activarse (generación del pulso mayor a  $10\mu s$ ) una sola vez cuando la entrada este encendida (1 lógico). Es decir que el módulo debe ser capaz de evitar el efecto llamado "retriggering". Para esto, el módulo solo debe activar la medición ante el flanco ascendente de la entrada.

Dicho esto, para generar la salida especificada se utilizará el circuito integrada "LM555" en configuración monoestable que genere un pulso 5 veces mayor (en términos de duración) que el mínimo especificado, es decir, de  $50\mu s$ . Esta configuración será abordada en el apartado de "módulos extras", pero es importante tener en cuenta que para lograr que la configuración funcione correctamente es necesario ingresar a este con un pulso de menor a  $50\mu s$  y además debe ser "invertido", es decir que el estado que debe ser menor a  $50\mu s$  es el 0 lógico.

Luego, se decidió implementar un circuito conformado por una resistencia y un capacitor que ante la entrada genere una señal analógica la cual mediante una compuerta de tipo "schmitt trigger" se pueda traducir en un pulso de ancho configurable por el valor de la resistencia y el capacitor. A continuación se presenta un esquema del circuito mencionado:

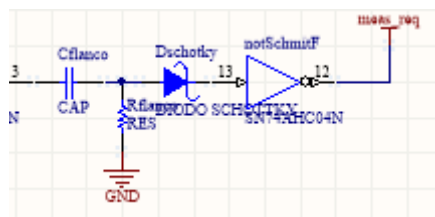


Figura 8.4: Esquema - Generador de Pulso Menor a  $50\mu s$

Se puede notar que en la implementación entra en juego un diodo, el cual es muy importante ya que la señal provocada por la resistencia genera un pulso de tensión positiva ante un flanco ascendente de la entrada, pero también genera un pulso de tensión negativa ante el flanco descendente de la misma y es para filtrar este último pulso que existe el diodo en el esquema. En particular, el diodo debe ser de tipo "schotcky" para no producir caídas de tensión elevadas.

Por último, cabe mencionar que el pulso generado por la configuración presentada en la figura también se podría ajustar para ingresarlo directamente al pin de trigger del sensor HC SR04, pero de todas maneras se decidió la implementación de la configuración monoestable del LM555 para mayor precisión en el ancho del pulso enviado al sensor.

### 8.4.2. HABILITACIÓN DE DISPARO

Este módulo tiene como objetivo habilitar el disparo de la medición. Para que esto suceda es necesario que los pines de *trigger\_enable* y *trigger* se encuentren encendidos pero además debe asegurarse que no exista ninguna medición en proceso.

Dadas estas especificaciones del módulo se planteó el siguiente circuito:

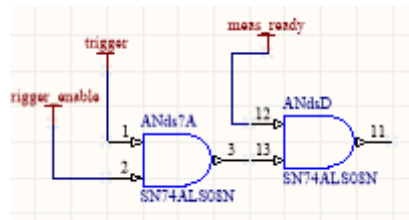


Figura 8.5: Diseño Circuital - Habilitación de Disparo

## 8.5. MÓDULOS EXTRAS

A continuación se abordará el diseño de los módulos de "clock" (utilizado en el procesamiento del eco) y de "LM555 monoestable" (utilizado en la activación de disparo).

### 8.5.1. LM555 MONOESTABLE

Una vez habilitado el disparo debe activarse el mismo enviando un pulso de un ancho mínimo de  $10\mu s$  al pin de *trigger* del HC SR04. Para esto se decidió usar un multivibrador monoestable, logrado mediante el integrado LM555. El pin out del circuito integrado es el siguiente:

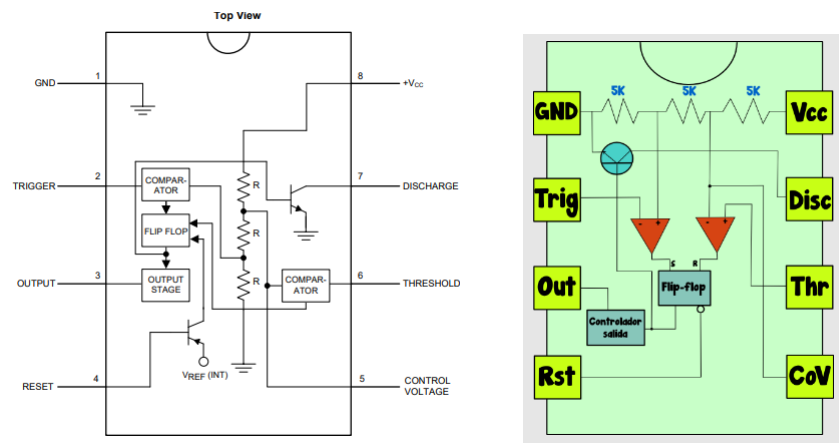


Figura 8.6: Pin Out - LM555

Vale aclarar, que los amplificadores operacionales representados en la imagen de la derecha simulan la función de comparación.

Para utilizar el LM555 (el nombre '555' es debido al divisor resistivo de 3 resistencias de  $5K$ ) en configuración monoestable se procederá a realizar el siguiente circuito:

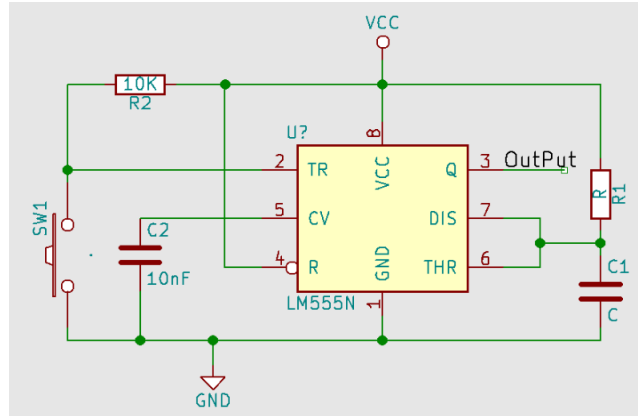


Figura 8.7: Configuración Monoestable - LM555

Como se puede deducir a partir de las imágenes anteriores, al excitar el pin de trigger con una tensión mayor a  $\frac{1}{3}$  de  $V_{cc}$ , se activará la salida a la vez que se permitirá la carga del capacitor  $C1$ . Luego, al llegar el capacitor a una tensión mayor a  $\frac{2}{3}$  de  $V_{cc}$  se reseteará la salida debido a la comparación del pin de threshold, y el capacitor se descargará nuevamente mediante la conexión a tierra. Esto produce que la salida se encienda tan solo durante el lapso de tiempo que el capacitor tarda en cargarse hasta  $\frac{2}{3}$  de  $V_{cc}$ . Por ende, la duración del pulso se puede calcular de la siguiente manera:

$$V_{capacitor} = V_{cc}(1 - e^{-\frac{t}{R_1 C_1}}) \quad (8.1)$$

Luego,

$$V_{capacitor} = \frac{2}{3} V_{cc} \iff e^{-\frac{t}{R_1 C_1}} = \frac{1}{3} \iff t = \ln(3) R_1 C_1 \quad (8.2)$$

Dicho esto, para lograr un pulso de  $50\mu s$  (esta duración de pulso es adecuada ya que es 5 veces mayor al ancho mínimo del pulso requerido por el sensor HC SR04) se puede utilizar una resistencia de  $5K$  y un capacitor de  $10nF$ .

#### 8.5.2. GENERACIÓN DE CLOCK

Como se ha visto, para el módulo de procesamiento del eco es necesario un clock de  $10KHz$ . La implementación de un clock puede realizarse de varias maneras, de las cuales una es hacer uso nuevamente del LM555 en configuración astable como se muestra a continuación:

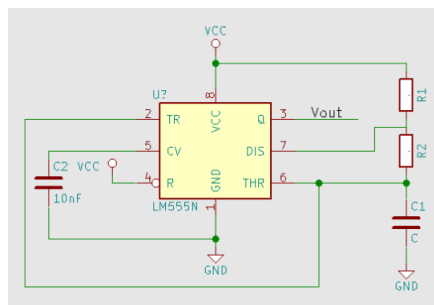


Figura 8.8: Configuración Astable - LM555

En esta configuración el capacitor  $C1$  comenzará descargado provocando que inicialmente la salida sea nula, sin embargo comenzará a cargarse de forma que la tensión entre placas puede modelarse mediante la siguiente expresión:

$$V_{C1} = V_{cc}(1 - e^{-\frac{t}{(R_1 + R_2)C_1}}) \quad (8.3)$$

Luego, cuando la tensión del capacitor supere  $\frac{1}{3}$  de  $V_{cc}$  la salida se activará (será un 1 lógico) hasta que la tensión entre placas del capacitor que se sigue cargando supere  $\frac{2}{3}$  de  $V_{cc}$ . Una vez que se superan los dos tercios de  $V_{cc}$  la salida vuelve a anularse (cero lógico) y el capacitor comienza a descargarse comportandose según lo describe la siguiente igualdad:

$$V_{C1} = V_{cc} e^{-\frac{t}{R_2 C_1}} \quad (8.4)$$

La descarga se producirá hasta que la tensión vuelva a ser  $\frac{1}{3}$  de  $V_{cc}$  y logre activar nuevamente la salida. Este proceso se repetirá sucesivamente hasta que se desconecte la alimentación  $V_{cc}$ , por ende, se logra obtener una señal cuadrada periódica que simule un clock. Además, esta señal se mantiene representando un 1 lógico durante el tiempo para el cual la tensión en el capacitor  $C1$  se mantiene cargandose entre  $\frac{1}{3}$  y  $\frac{2}{3}$  de  $V_{cc}$ , y representa, en cambio, un 0 lógico cuando se mantiene descargándose entre  $\frac{2}{3}$  y  $\frac{1}{3}$  de  $V_{cc}$ . A continuación se presenta el cálculo del tiempo de encendido de la señal (1 lógico) y del tiempo de apagado de la misma (0 lógico).

Durante la carga:

$$V_{C1} = \frac{1}{3} V_{cc} \iff t = \ln\left(\frac{3}{2}\right)(R_1 + R_2)C_1 \quad (8.5)$$

$$V_{C1} = \frac{2}{3} V_{cc} \iff t = \ln(3)(R_1 + R_2)C_1 \quad (8.6)$$

$$\Rightarrow t_{ON} = [\ln(3) - \ln\left(\frac{3}{2}\right)](R_1 + R_2)C_1 = \ln(2)(R_1 + R_2)C_1 \quad (8.7)$$

Durante la descarga:

$$V_{C1} = \frac{1}{3} V_{cc} \iff t = \ln(3)R_2 C_1 \quad (8.8)$$

$$V_{C1} = \frac{2}{3} V_{cc} \iff t = \ln\left(\frac{3}{2}\right)R_2 C_1 \quad (8.9)$$

$$\Rightarrow t_{OFF} = [\ln(3) - \ln\left(\frac{3}{2}\right)]R_2 C_1 = \ln(2)R_2 C_1 \quad (8.10)$$

Dadas estos resultados analíticos, y considerando que en un clock se debe cumplir que  $t_{ON} = t_{OFF}$ , entonces se debe elegir una resistencia  $R_2$  mucho mayor que  $R_1$  de manera que  $R_1 + R_2 \approx R_2$ .

Además, a partir de lo calculado se obtiene que  $f_{clock} = \frac{1}{t_{ON} + t_{OFF}} \approx \frac{1}{2\ln(2)R_2 C_2} = \frac{1}{\ln(4)R_2 C_2}$ . Luego, para un clock de 10KHz se obtiene la siguiente relación entre los valores de los componentes:

$$R_2 \gg R_1, R_2 C_2 \approx 7,2 \times 10^{-5}$$

Luego, esto se puede lograr con  $R_1 = 1K\Omega$ ,  $R_2 = 72K\Omega$  y  $C_1 = 1nF$ .

## 8.6. ASPECTOS A MEJORAR

Hasta aquí el diseño del circuito cumple con los requerimientos que motivaron su realización. Sin embargo existen algunos aspectos en este que se pueden identificar como mejorables.

Uno de ellos es el almacenamiento de la información, es decir, el hecho de que no se guarda en un registro auxiliar el resultado de procesamiento de las mediciones del sensor es un hecho que se puede revertir a pesar de no contar con un registro de 8 bits de lectura y escritura en paralelo. Para atacar este problema se podría pensar en un mecanismo que permita la implementación de registros con lectura y/o escritura en serie, pero también se pueden utilizar dos registros de 4 bits con su lectura y escritura en modo paralelo, dado que los registros de 4 bits con estas características son más accesibles que los de 8 bits en cuanto a su stock.

Por otro lado, para procesar la medición del sensor se utiliza un contador de 12 bits, de los cuales solo se utilizan 9 (ocho para contar y uno para indicar fuera de rango). Esto implica que existen tres bits que se estan desaprovechando. Para su mejor provecho se podría aumentar la frecuencia del clock que ingresa al contador provocando así que las unidades de medida del contador sean menores a 100us, lo cual daría mayor precisión a la medición. Si esto se implementa, también sería necesario un *shift register* para luego obtener nuevamente la salida de 8 bits en unidades de 100us que se requiere.



## 8.7. CONCLUSIÓN

Como conclusión luego de abordar el diseño del proyecto a partir de los requerimientos especificados en primera instancia, que luego dió lugar a múltiples variables a tener en cuenta, se puede decir fue crucial atacar la problemática de cada una de ellas por separado. De esta manera, los *requerimientos padres* (los requerimientos principales fueron los pines de entrada y de salida del circuito, y lo que cada uno de ellos debía representar) dieron origen a *requerimientos hijos* los cuales a su vez también podían desprender otros nuevos requerimientos, pero se pudo afrontar cada uno de ellos por separado conformando bloques sólidos que tenían como característica su capacidad de ser testeado o probado de una manera simple.

Por otro lado, el diseño también fue un desafío ya que antes de tomar una decisión o definir una idea surgieron muchas variantes para una misma solución y por ende se debió analizar cual de todas ellas presentaba mejor relación entre costo y beneficio, siendo el costo definido principalmente por el tiempo necesario de inversión en el diseño.