
Trabajo Práctico de Laboratorio N° 2

Grupo 5:

Matías LARROQUE
Leg. 56597

Lucero Guadalupe FERNANDEZ
Leg. 57485

Manuel MOLLÓN
Leg. 58023

Ezequiel VIJANDE
Leg. 58057

Profesor:

Kevin DEWALD
Pablo WUNDES

Entregado: 18 de Octubre de 2018

1. IMPLEMENTACIÓN DE TABLA DE VERDAD CON COMPUERTAS LÓGICAS

El objetivo fue implementar la tabla de verdad con compuertas lógicas discretas. Se sabe que simplificando ya sea con máxterminos o mintérminos se llega a la expresión mínima, es decir a la máxima simplificación; por lo que se procedió a simplificar con mintérminos, resultando en la siguiente expresión, acorde al mapa de Karnaugh 1.1:

$$Y = \overline{A}B + \overline{B}C \quad (1.1)$$

c \ ab	00	01	11	10
	0	1	0	0
0	0	1	0	0
1	1	1	0	1

La expresión anterior es la que representa el menor costo pues se implementa con la menor cantidad posible de compuertas. Sin embargo, se observa que al transicionar entre los grupos $(A, B, C) = (0, 1, 1)$, -en verde-, y $(A, B, C) = (0, 0, 1)$, -en azul-, es decir variando el estado de la variable B, el comportamiento será incierto, pues no está cubierta por ningún mintérmino. Para medir esto, se conectó la entrada A a masa, y C, a +Vcc (5 V). La señal B se simuló con una onda cuadrada generando así la transición entre los susodichos estados. Esto se puede ver en la figura 1.2; la entrada es la señal amarilla, y la verde la salida, que se encuentra en un nivel de tensión alta, es decir un 1 lógico, como era de esperar. Por otro lado, cuando B varía de 5 V a 0 V, se observa un comportamiento indeseado que se debe a los tiempos de delay propios de las compuertas lógicas.

Cuadro 1.1: Mapa de Karnaugh de menor costo.

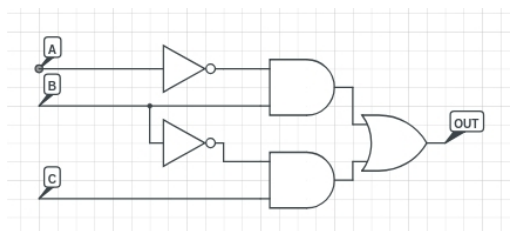


Figura 1.1: Circuito utilizado de menor costo.

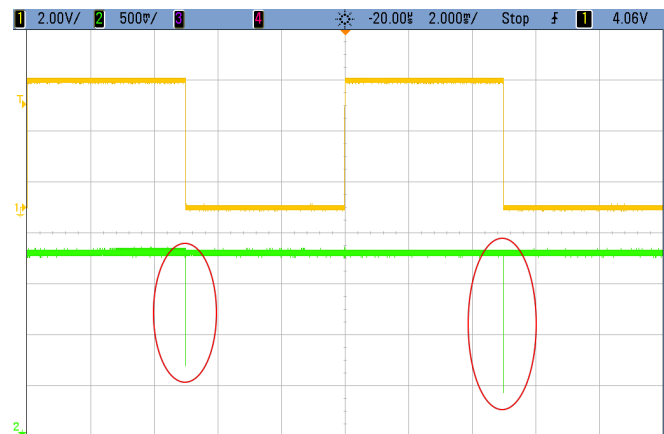


Figura 1.2: Glitch observado señalado en rojo al variar la señal B.

Para evitar este inconveniente lo que se puede hacer es agregar un grupo al mapa de Karnaugh entre los estados problemáticos, para asegurarse que la salida, al transicionar entre los mismos, se mantenga siempre en el mismo valor. Entonces, agregando un mintérmino, la función queda simplificada a:

$$Y = \overline{A}B + \overline{B}C + \overline{A}C \quad (1.2)$$

Lo que da como resultado el circuito 1.4, que si bien requiere una compuerta más (un OR); y además un AND de tres entradas, evita que haya glitches.

		ab			
c		00	01	11	10
	0	0	1	0	0
	1	1	1	0	1

Figura 1.3: Mapa de Karnaugh sin glitches.

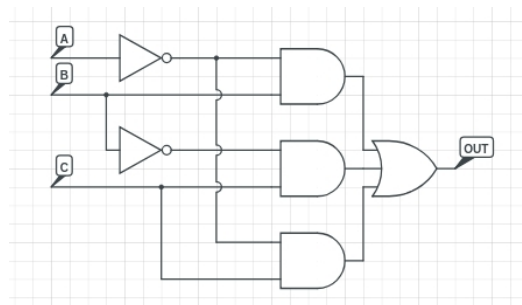


Figura 1.4: Circuito utilizado de mayor costo.

2. ENTRADAS FLOTANTES EN COMPUERTAS TTL Y CMOS

Se implementaron los siguientes circuitos:

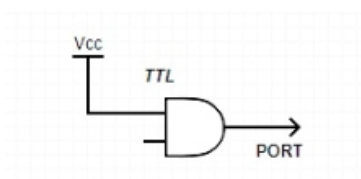


Figura 2.1: Compuerta AND TTL con entrada flotante.

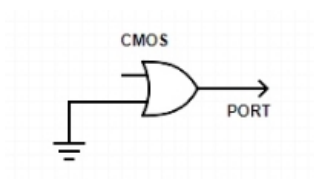


Figura 2.2: Compuerta OR CMOS con entrada flotante.

En primer lugar, en el caso de la compuerta TTL se conectó una entrada a V_{cc} (5V) y se dejó la otra flotante (figura 2.1), es decir no se le realizó ninguna conexión y se midió la salida, que se observó constante como un 1 lógico (aproximadamente 5V).

En el caso de la CMOS, se dejó también un input flotante y otro se lo conectó a masa, como se ve en la figura 2.2. Se observó en este caso ruido de línea de 50Hz, con amplitud que variaba entre 0-0.8V, que no se encontraba entre las tensiones high y low de salida del CMOS (V_{OH} y V_{OL})¹, es decir, la salida era indefinida (no era ni un 1 ni un 0 lógico).

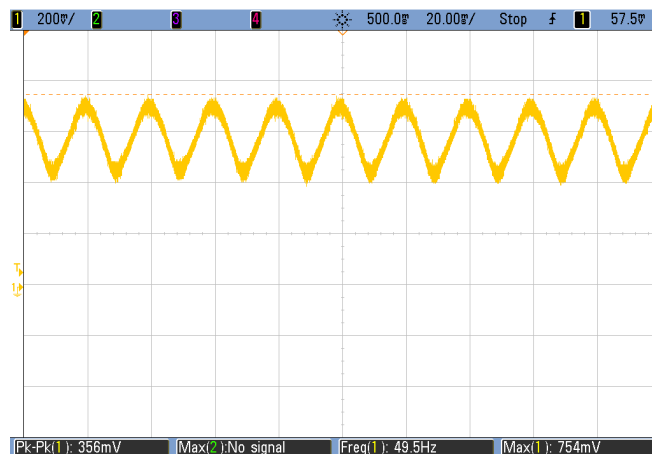
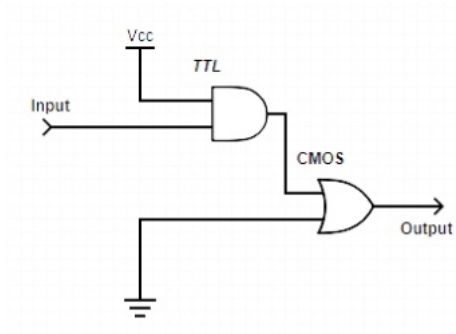


Figura 2.3: Ruido observado del CMOS con entrada flotante.

¹ Datos sacados de la datasheet: ver figura 2.5.



Cuadro 2.1: Circuito implementado.

Para el CMOS este comportamiento puede deberse a que tienen altas impedancias de entrada por lo que al dejar una entrada flotante funciona como antena, induciéndose corrientes, por ejemplo, por ruido, lo que genera tensiones a la entrada de la compuerta ocasionando un nivel de tensión high o low incierto a la salida. A continuación se implementó el circuito de la figura 2.1. No se observó

A floating TTL input usually acts as a HIGH input. Es decir una entrada flotante en un TTL es considerada como un 1 lógico a la entrada.

//justificar con hoja de datos, que dice q hay q ponerla a vcc o ground(dependiendo esta eleccion de la funcion del cicuito), o sea tiene q ser una tension conocida Ademas que al cmos, al dejarlo flotante se calienta el integrado porq le estas exigiendo (metiendo) mas corriente. como que tira hasta 0.8v a la salida que segun la datasheet es basura (porq esta entre vol y voh que es 0.2-2.4, creo)

Figura 2.4: Compuerta AND TTL con entrada flotante.

Figura 2.5: Compuerta OR CMOS con entrada flotante.

, another solution is to connect unused inputs to an input of the same gate that is in use. The function of the device is unaffected. This circuit arrangement can be used equally well with AND (NAND) as with OR (NOR) gates
 http://www.ti.com/lit/an/sdya009c/sdya009c.pdf

leer tambien esto <http://www.ti.com/lit/an/scba004d/scba004d.pdf>

cuando le entro al circuito con 1.4V sale cualquier cosa, como se puede ver en la figura circuito sale mal" (tambien pasa con los dos LS asi q no se si chamuyar coon esto)