

---

## Trabajo Práctico de Laboratorio N° 2

---

*Grupo 5:*

Matías LARROQUE  
Leg. 56597

Lucero Guadalupe FERNANDEZ  
Leg. 57485

Manuel MOLLÓN  
Leg. 58023

Ezequiel VIJANDE  
Leg. 58057

*Profesor:*

Kevin DEWALD  
Pablo WUNDES

Entregado: 18 de Octubre de 2018

## 1. IMPLEMENTACIÓN DE COMPUERTAS NOT CON TRANSISTORES

En esta primera parte del artículo se propondrá realizar una compuerta básica como es la inversora, o también llamada "NOT", con transistores. Los diseños que se muestran a continuación son cuatro: dos variantes con transistores bjt y otras dos con transistores mosfet.

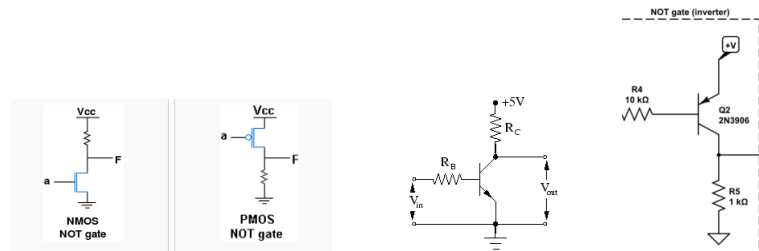


Figura 1.1: Diseño de NOT con Transistores.

Como se muestra en las imágenes, dentro de la variante de los mosfet se utilizó el transistor NMOS y el PMOS. En cuanto a los transistores bipolares, se propuso un modelo con NPN y otro con PNP.

Una vez materializados estos diseños, se procedió a medir algunos parámetros que caracterizan a la compuerta lógica. Vale aclarar que las mediciones se realizaron solo para las compuertas con transistores bipolares. A continuación

se muestran los resultados de las mediciones sin carga:

sin carga	NPN	PNP
High-level input voltage (V)	1	4,5
Low-level input voltage (V)	0,400	4,2
High-level output (V)	4,930	4,93
Low-level output (V)	0,075	0,05
High Level Noise Margin (V)	3,930	0,43

sin carga	NPN	PNP
Low Level Noise Margin (V)	0,325	4,150
Propagation delay High-Low	2,295 us	140 ns
Propagation delay Low-High	130 ns	930 ns
Transition tiem High-Low	1,470 us	89 ns
Transition time Low-High	98,500 us	1,400 us

Cuadro 1.1: Mediciones - Parámetros Compuerta NOT - sin carga

Luego se realizaron las mismas mediciones con una carga capacitiva:

con carga	NPN	PNP
High-level input voltage (V)	0,9	4,5
Low-level input voltage (V)	0,5	4,2
High-level output (V)	4,89	4,92
Low-level output (V)	0,074	0,06
High Level Noise Margin (V)	3,99	0,42

con carga	NPN	PNP
Low Level Noise Margin (V)	0,0426	4,14
Propagation delay High-Low	11,200 us	165 ns
Propagation delay Low-High	172,50 ns	5,100 us
Transition tiem High-Low	5,700 us	164 ns
Transition time Low-High	196 ns	11,350 us

Cuadro 1.2: Mediciones - Parámetros Compuerta NOT - con carga

Todas las mediciones se realizaron con Vcc igual a 5 Volts. En cuanto a las mediciones de tiempo de propagación y de transición, para estas se utilizó una excitación de onda cuadrada de 1,92 KHz.

## 2. COMPATIBILIDAD ENTRE COMPUERTAS

Al momento de adquirir una compuerta lógica comercial, se especifica en el código el tipo de tecnología que se implementa en dicha compuerta. Por ejemplo, "HC" hace referencia a "High speed CMOS" mientras que "HCT" significa

"High speed CMOS TTL" o también existe "LS" aludiendo a "Low power schotky". En esta parte del artículo se analizarán algunas diferencias prácticas entre estos tipos compuertas y se mencionarán algunos parámetros a tener en cuenta para combinar más de dos tipos distintos en un mismo circuito.

Para el análisis se utilizarán las siguientes compuertas lógicas: 74HC02, 74HCT02, 74LS02. Estas corresponden a compuertas "NOR".

## 2.1. MARGEN DE RUIDO

De la hoja de datos de los distintos componentes se extrajeron los siguientes parámetros sobre el margen de ruido:

	74HC02	74HCT02	74LS02
High Level Noise Margin	1.25V	2.2V	0.7V
Low Level Noise Margin	1.25V	0.7V	0.3V

Cuadro 2.1: Márgenes de Ruido extraídos de hojas de datos

## 2.2. CONEXIÓN ENTRE COMPUERTAS

Al conexionar entre compuertas, pueden existir problemas al cargar la tecnología LS con una compuerta de tipo HC. Esto es debido a que los niveles de entrada (como se puede observar en la tabla expuesta anteriormente) de la tecnología HC son más restrictivos que los valores de salida de la LS. Por otro lado, este problema no ocurre cuando se carga la compuerta LS con una HCT, la cual justamente está pensada para solucionar los problemas de compatibilidad de una HC.

De todas maneras, aunque el fabricante en la datasheet de su componente indique valores como los que se han mostrado en el apartado anterior, en la práctica puede ocurrir que estos parámetros difieran, como por ejemplo en el caso del margen de ruido. Es decir, que puede ocurrir que en la practica se pueda interconectar una compuerta LS con una HC sin tener problemas debido a que el margen de ruido de la LS sea más elevado de lo que se indica en la hoja de datos. A continuación se muestra una imagen de una medición realizada con osciloscopio de la respuesta de una compuerta LS cargada por una HC:

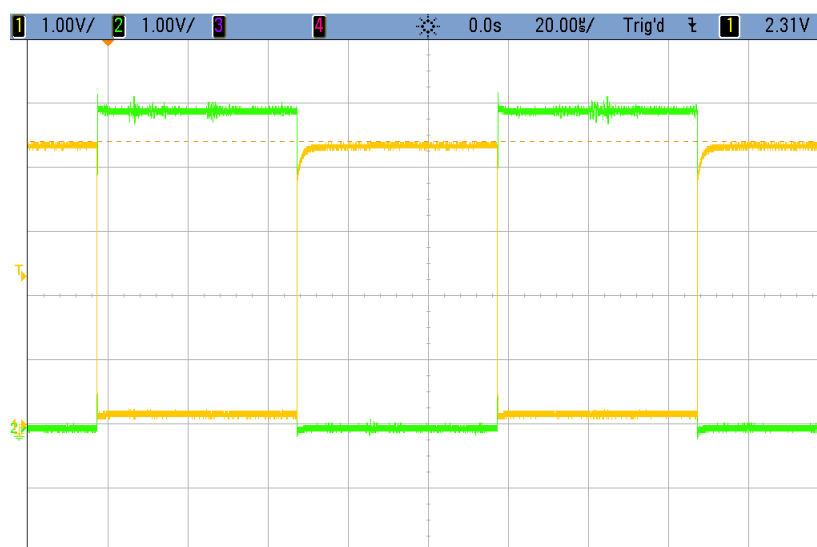


Figura 2.1: Medición - Compuerta LS cargada con HC

Las compuertas son NOR que se conexionaron de tal manera que simulan dos NOT en serie, por ende tiene sentido que cuando una señal está en alto la otra se mantenga en bajo. Vale aclarar que la señal representada de color amarillo es la salida de la compuerta HC mientras que la otra es la correspondiente a la compuerta LS.

### 3. IMPLEMENTACIÓN DE TABLA DE VERDAD CON COMPUERTAS LÓGICAS

El objetivo fue implementar la tabla de verdad con compuertas lógicas discretas. Se sabe que simplificando ya sea con máxterminos o mintérminos se llega a la expresión mínima, es decir a la máxima simplificación; por lo que se procedió a simplificar con mintérminos, resultando en lo siguiente, acorde al mapa de Karnaugh 3.1:

$$Y = \overline{A}B + \overline{B}C \quad (3.1)$$

		ab			
		00	01	11	10
c	0	0	1	0	0
	1	1	1	0	1

La expresión anterior es la que representa el menor costo pues se implementa con la menor cantidad posible de compuertas (ver figura 3.1). Sin embargo, se observa que al transicionar entre los grupos  $(A, B, C) = (0, 1, 1)$ , -en verde-, y  $(A, B, C) = (0, 0, 1)$ , -en azul-, es decir variando el estado de la variable B, el comportamiento será incierto, pues no está cubierta por ningún mintérmino. Para medir ésto, se conectó la entrada A a masa, y C, a +Vcc (5 V). La señal B se simuló con una onda cuadrada generando así la transición entre los susodichos estados. Esto se puede ver en la figura 3.2; la entrada es la señal amarilla, y la verde la salida, que se encuentra en un nivel de tensión alto, es decir un 1 lógico, como era de esperar. Por otro lado, cuando B varía de 5 V a 0 V, se observa un comportamiento indeseado, un glitch, que se debe a los tiempos de delay propios de las compuertas lógicas.

Cuadro 3.1: Mapa de Karnaugh de menor costo.

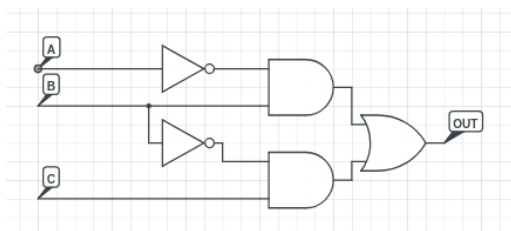


Figura 3.1: Circuito utilizado de menor costo.

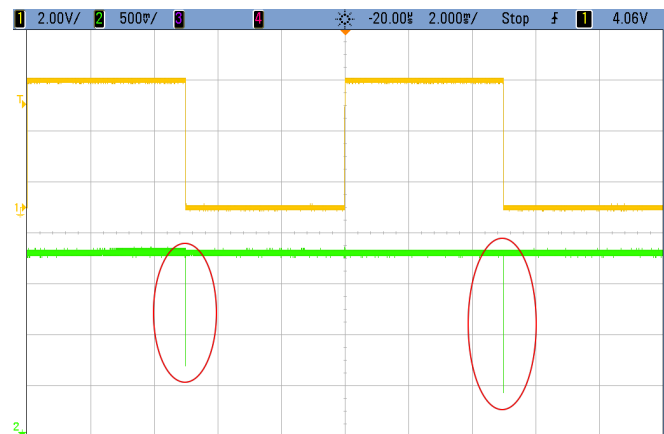


Figura 3.2: Glitch observado señalado en rojo al variar el estado de B.

Para evitar este inconveniente lo que se puede hacer es agregar un grupo al mapa de Karnaugh entre los estados problemáticos, para asegurarse que la salida, al transicionar entre los mismos, se mantenga siempre en el mismo valor; ver figura 3.3. Entonces, agregando un mintérmino, la función queda simplificada a:

$$Y = \overline{A}B + \overline{B}C + \overline{A}C \quad (3.2)$$

Lo que da como resultado el circuito 3.4, que si bien requiere una compuerta más (un OR); y además un AND de tres entradas, evita que haya glitches.

		ab			
c		00	01	11	10
	0	0	1	0	0
	1	1	1	0	1

Figura 3.3: Mapa de Karnaugh sin glitches.

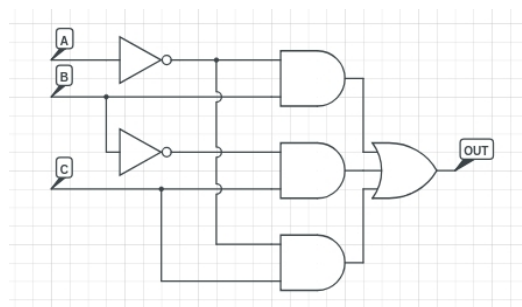


Figura 3.4: Circuito utilizado de mayor costo.

#### 4. DELAY DE PROPAGACIÓN - RISE TIME - FALL TIME

En esta parte del artículo se propondrá medir los tiempo de propagación, rise y fall del 74HC02. A fin de comparar resultados, primero se realizarán mediciones en vacío y luego se repetirán utilizando el siguiente circuito:

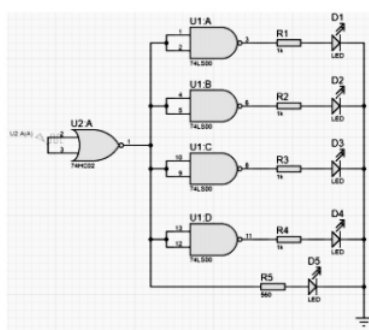


Figura 4.1: Circuito propuesto a medir.

##### 4.1. RESULTADOS OBTENIDOS

Los resultados obtenidos fueron los siguientes:

Medición en Vacío		Medición del Circuito Propuesto	
Tiempo de Rise	59 ns	Tiempo de Rise	51 ns
Tiempo de Fall	165 ns	Tiempo de Fall	60 ns
Tiempo de Propagación	15 ns	Tiempo de Propagación	18 ns

Cuadro 4.1: Mediciones - Resultados Obtenidos

Estas mediciones se realizaron con una excitación de onda cuadrada de 500 Hz de frecuencia y con una alimentación de 5 Volts.

Con respecto al tiempo de propagación con el circuito de carga, es esperable que este sea mayor como lo indicó la medición ya que la carga presenta una componente capacitiva que aletarga la salida medida.

Luego de realizar estas mediciones, se procedió a aumentar la frecuencia del generador a 100 KHz y se midió la tensión de alimentación. Lo que se observó fue que esta no resultaba ser constante. Por consiguiente, se procedió a colocar un capacitor de 100nF entre los bornes de la alimentación (entre "Vcc" y "Ground") a fin de comparar resultados. A continuación se presentan las dos mediciones de la tensión de alimentación (con capacitor y sin capacitor):

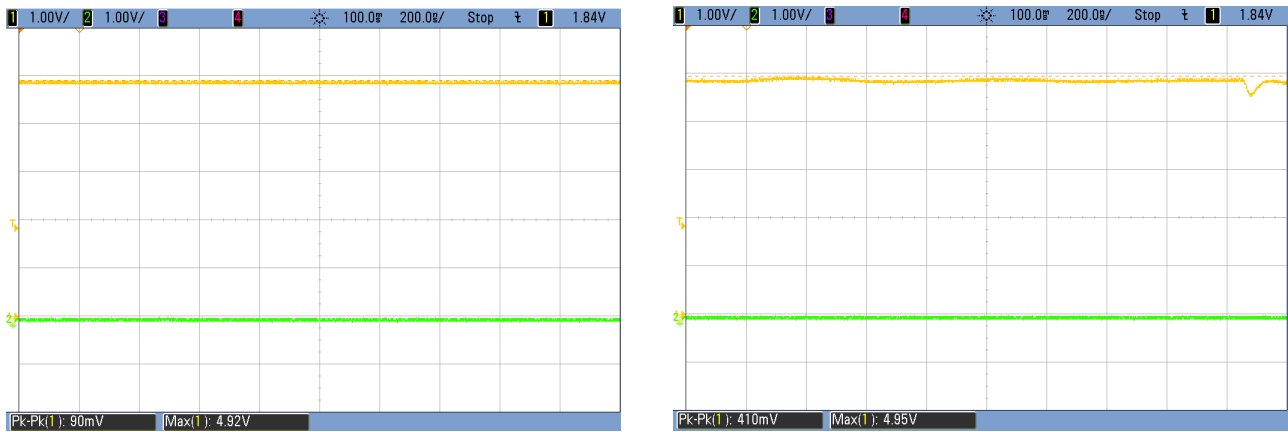


Figura 4.2: Mediciones - Tensión de Alimentación

En la medición sin capacitor se observa un pico para el cual la tensión de alimentación disminuye, pero que no aparece en la medición con capacitor. Esto se puede explicar debido a que el capacitor contrarresta las inductancias que existen debido a las conexiones físicas y además el capacitor (si es lo suficientemente grande) es capaz de otorgar picos de corriente que pueden requerir los transistores del integrado, sin afectar la tensión de alimentación.

Además, al agregar el capacitor se pudo observar un cambio en la forma de la respuesta de la 74HC02, siendo esta sub-amortiguada con sobre pico al no colocar el capacitor, pero si se colocaba el capacitor esta tendía a ser sobre amortiguada, sin sobre pico. A continuación se muestran dos imágenes que plasman la diferencia de la salida de la compuerta debida al capacitor de  $100nF$ :

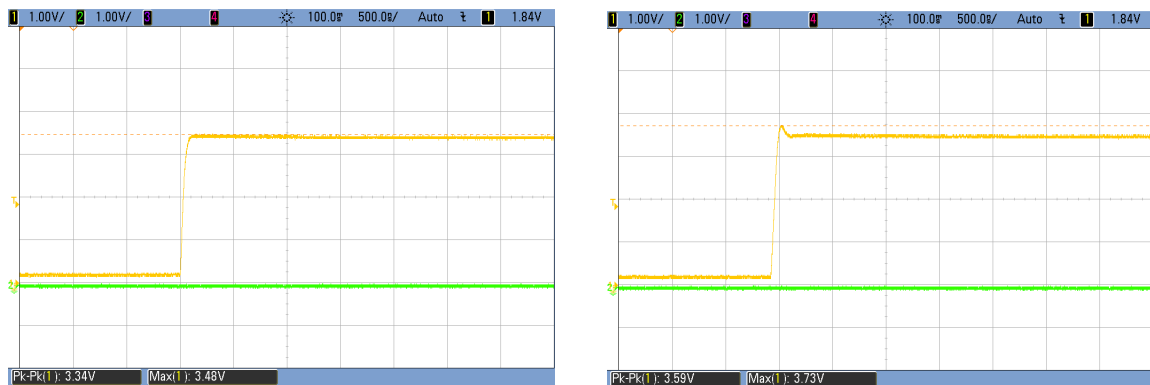


Figura 4.3: Respuesta de 74HC02 según acople capacitivo.

## 5. ENTRADAS FLOTANTES EN COMPUERTAS TTL Y CMOS

Se implementaron los siguientes circuitos:

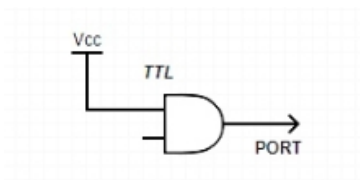


Figura 5.1: Compuerta AND TTL con entrada flotante.

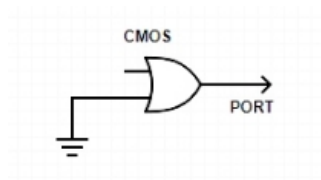


Figura 5.2: Compuerta OR CMOS con entrada flotante.

En primer lugar, en el caso de la compuerta TTL se conectó una entrada a  $V_{cc}$  (5V) y se dejó la otra flotante

(figura 5.1), es decir no se le realizó ninguna conexión y se midió la salida, que se observó constante como un 1 lógico (aproximadamente 5V).

En el caso de la CMOS, se dejó también un input flotante y otro se lo conectó a masa, como se ve en la figura 5.2. Se observó en este caso, a la salida, ruido de línea de 50Hz, con amplitud que variaba entre 0-0.8V, que no se encontraba entre las tensiones high y low de salida del CMOS ( $V_{OH}$  y  $V_{OL}$ )<sup>1</sup>, es decir, la salida era indefinida (no era ni un 1 ni un 0 lógico).

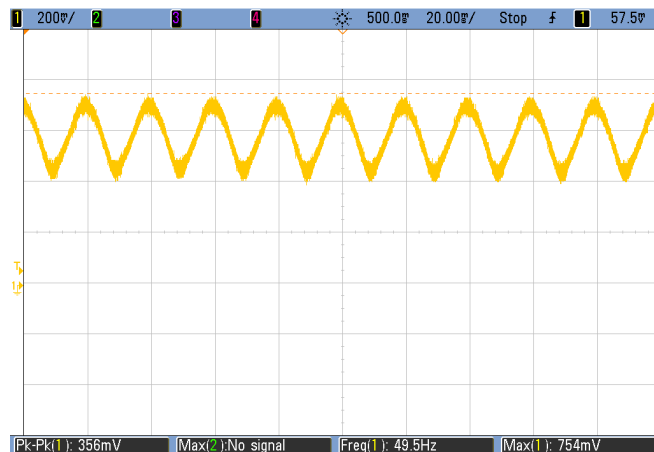
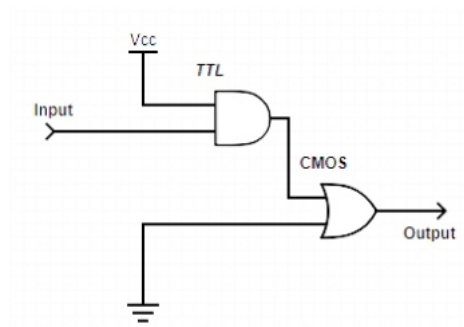


Figura 5.3: Ruido observado del CMOS con entrada flotante.



Cuadro 5.1: Circuito implementado.

Para el CMOS este comportamiento puede deberse a que tiene alta impedancia de entrada por lo que al dejar una entrada flotante funciona como antena, induciéndose corrientes, por ejemplo, por ruido, lo que genera tensiones a la entrada de la compuerta ocasionando un nivel de tensión high o low incierto a la salida. Para que no ocurra esto, el fabricante recomienda conectar las entradas que no se utilizan ya sea a GND o a Vcc, para evitar estados operacionales indefinidos.<sup>2</sup>

A continuación se implementó el circuito del cuadro 5.1. No se observó ningún comportamiento indeseado, sin embargo, si se observan las figuras 5.4 y 5.5 que muestran los niveles de tensión high y low de entrada y salida para una compuerta TTL y CMOS ( $V_{IH}/V_{IL}$  y  $V_{OH}/V_{OL}$ ), se pueden encontrar problemas si, por ejemplo, la tensión de entrada al circuito es de 3V; esto ocasionaría que la

salida de la TTL estuviera entre los 2.4V-5V para un 1 lógico, que podría presentar cierta incompatibilidad con los valores de tensión de entrada de la CMOS, ya que podría caer dentro de la zona indefinida, resultando en una salida incierta del circuito.

Posibles soluciones a este inconveniente serían utilizar mismas familias de compuertas, es decir, ambas TTL (LS) o

<sup>1</sup>Datos sacados de la datasheet: ver figura 5.5.

<sup>2</sup>Referirse a la hoja de datos del fabricante: <http://www.ti.com/lit/ds/symlink/sn54hc32-sp.pdf>.

CMOS (HC), lo que corrige estas ambigüedades. Se implementó el nuevo circuito y no se encontraron problemas, como era esperable.

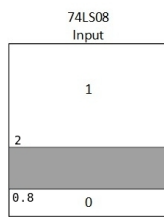


Figura 5.4: Tensiones  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$  para una compuerta AND TTL.

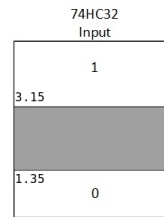
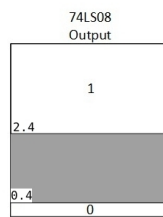
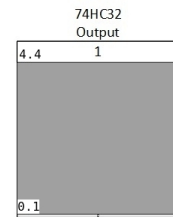


Figura 5.5: Tensiones  $V_{OH}$ ,  $V_{OL}$ ,  $V_{IH}$ ,  $V_{IL}$  para una compuerta OR CMOS.



A modo de síntesis, una entrada flotante en un TTL es considerada como un 1 lógico a la entrada, y un input flotante en CMOS tiene un comportamiento incierto a la salida. Si bien, el circuito combinado con compuertas TTL y CMOS funciona de manera correcta, los fabricantes *Texas Instruments*<sup>3</sup> y *Fairchild*<sup>4</sup> no pueden asegurar el valor de salida del integrado y recomiendan conectar todos los inputs sin utilizar a un valor de tensión conocido, sea GND, Vcc o cortocircuitarla con otra entrada que esté en uso, dependiendo de la función del circuito.

<sup>3</sup>Nota de aplicación del fabricante: Haseloff, E. (1997). Designing with Logic. *Texas Instruments*, 6-7. Extraído de: <http://www.ti.com/lit/an/sdya009c/sdya009c.pdf>.

<sup>4</sup>Nota de aplicación del fabricante: (1984). Application Note 363. Designing with TTL. *Fairchild*, 2. Extraído de: <https://www.fairchildsemi.com/application-notes/AN/AN-363.pdf>.