



INSTITUTO TECNOLÓGICO DE BUENOS AIRES

INGENIERA ELECTRONICA

ELECTRONICA III

Implementación de circuitos lógicos

Autores:

Martín RODRIGUEZ TURCO

Tobias SCALA

Guido PANAGGIO

Juan Martin LAGUINGE

Profesores:

Kevin DEWALD

Pablo WUNDES

Sebastian FALCONARO

17 de octubre de 2018

Índice general

List of Figures	2
List of Tables	3
1. NotGATE	4
1.0.1. Objetivo	4
2. NoiseMargin	5
3. Tabla de Verdad	6
4. 74HC02	7
5. TTL y CMOS	9
6. Flip Flop y Latch	10
7. Async-Sync-Counter	11
8. Ultrasonido	12
Appendix	13
References	14

Índice de figuras

Índice de cuadros

4.1. Mediciones Realizadas	7
--------------------------------------	---

Capítulo 1

NotGATE

1.0.1. Objetivo

Implementar de dos maneras diferentes una compuerta *NOT* utilizando transistores de tecnología *BJT*

Tabla de verdad NOT GATES

INPUT	OUTPUT
0	1
1	0

<https://www.youtube.com/watch?v=XpN0IQMH07k>

Capítulo 2

NoiseMargin

Capítulo 3

Tabla de Verdad

EJEMPLO DE MAPA DE KARNAUGH

a \ bc	00	01	11	10
	0	1	1	1
0	0	1	1	1
1	0	1	0	0

Capítulo 4

74HC02

Cuadro 4.1: Mediciones Realizadas

Experimento	Tiempo de propagación	Rise time	Fall time
Datasheet	7 ns	6 ns	6 ns
74HC02(Vacío)	7,35 ns	6,3 ns	6,3 ns
74HC02(Circuito)	7,325 ns	7,6 ns	7,6 ns

Podemos observar, que el tiempo de propagación presenta un cambio pequeño casi despreciable mientras que el Rise time y el Fall time sufrieron un cambio mucho mayor. Estas diferencias se deben a que a diferencia del primer la compuerta lógica, 74HC02, no se encuentra más en el vacío; esto causa que la corriente tenga que recorrer un camino mayor y debido a que los LEDs y las resistencias dificultan el pasaje de la corriente, el cambio entre tensiones va a producirse más lento. Como consecuencia, la corriente que debe consumir para pasar de un estado a otro va a tardar un mayor tiempo ,dado que el cambio de sentido del mismo va a ser más lento, como resultado el Rise time y el Fall time van a aumentar mientras que para el tiempo de propagación va a ser diferentes dado que ambas tensiones tanto la de entrada como la de salida del integrado van a experimentar alrededor de los mismos cambios, lo cual causa que el cambio sea despreciable.

Además del cambio mencionado, cabe destacar otro efectos más que aparecen durante la utilización de una compuerta lógica. Cuando se procedió a aumentar la frecuencia de la señal de entrada emitida a 100KHz, se pudo observar que la tensión de alimentación experimentaba cambios durante los cambios casi instantáneos de tensión, tanto para cuando iba del 1 al 0 lógico como en viceversa. El cambio observado fue que durante estos momentos, la señal presento una forma de onda parecida a una onda sinusoidal y cabe agregar que a pesar de que se espera un posible aumento de la temperatura durante la experiencia no se observó ningún cambio notable de está.

Estos cambios sucedieron debido a que se le procedió a pedir un cambio de corriente demasiado rápido para la velocidad a la cual puede suministrar el integrado causando que pida lo mismo a la fuente dando a lugar a lo anteriormente mencionado. Para arreglarlo, se le agregaron capacitores de desacople en paralelo con la alimentación de cada integrado digital. Se eligieron capacitores de 100nF dado que son los de uso más frecuente y la razón

de esto es que debido a que se le pide un cambio de corriente muy rápido para esto es necesario que el capacitor sea de un valor chico. Esto se debe que al ver la ecuación de carga y descarga del capacitor mientras menor sea la capacitancia más rápido va a ser visto el cambio de corriente en el tiempo; otro motivo es que el capacitor ideal tiene efectos de inductancia y resistivos lo cual se empiezan a presentar a una determinada frecuencia la cual aumenta a medida que la capacitancia disminuye, luego eligiendo uno de 100nF es más que suficiente para los cumplir con los fines queridos.

En conclusión, el uso de capacitores de desacople se decide basado en las frecuencias con las cuales se va a trabajar y su valor se decide basado en que tan altas van a ser las frecuencias en las cuales se va a trabajar, mientras más grande la frecuencia menor deberá ser la capacitancia del capacitor.

Además, también se puede concluir que los tiempos del Integrado lineal se van a ver afectados por las cargas con lo cual se debe evitar el uso de cargas grandes debido a que mientras mayor sea la carga mayor va a ser el cambio producido en estos hasta el punto de que va a ser muy lento o la lógica se va a haber afectado de tal manera que ya no va a tener sentido.

Capítulo 5

TTL y CMOS

Capítulo 6

Flip Flop y Latch

Capítulo 7

Async-Sync-Counter

Capítulo 8

Ultrasonido

-

Appendix

Bibliografía

- [1] Yoda. .^A Brief History of Jedism” Journal of The New Jedi Order (Year): 93-98.