



INSTITUTO TECNOLÓGICO DE BUENOS AIRES

INGENIERA ELECTRONICA

ELECTRONICA III

---

Implementación de circuitos lógicos

---

*Autores:*

Martín RODRIGUEZ TURCO  
Tobias SCALA  
Guido PANAGGIO  
Juan Martín LAGUINGE

*Profesores:*

Kevin DEWALD  
Pablo WUNDES  
Sebastian FALCONARO

18 de octubre de 2018

# Índice general

List of Figures . . . . .	3
List of Tables . . . . .	4
<b>1. Not Gate</b>	<b>5</b>
1.1. Mediciones . . . . .	5
1.1.1. Conclusiones . . . . .	6
<b>2. Noise Margin</b>	<b>7</b>
<b>3. Implementación de Tabla de Verdad</b>	<b>9</b>
<b>4. 74HC02</b>	<b>12</b>
<b>5. TTL y CMOS</b>	<b>14</b>
5.1. Introducción . . . . .	14
5.2. Compatibilidad . . . . .	14
5.3. Solución . . . . .	15
<b>6. Flip Flop y Latch</b>	<b>17</b>
6.1. Gated latch SR . . . . .	17
6.2. Flip-flop D . . . . .	18
6.3. Conclusiones . . . . .	19
<b>7. Contador Ascendente</b>	<b>20</b>
7.1. Funcionamiento Lógico del Contador Ascendente . . . . .	20
7.2. Tipos de Contadores . . . . .	20
7.2.1. Análisis de Ambos Circuitos . . . . .	21
7.2.2. Conclusión . . . . .	24
<b>8. Ultrasonido</b>	<b>25</b>
8.1. Objetivo . . . . .	25
8.2. Análisis . . . . .	25
8.3. Generador de puslos con LM555 Monoestable . . . . .	26
8.4. Contando el tiempo . . . . .	28
8.4.1. Modo Astable LM555 . . . . .	28
8.5. Implementacion en PCB . . . . .	29

8.6. Retriggering . . . . .	30
<b>Appendix</b>	<b>31</b>
<b>References</b>	<b>32</b>

# Índice de figuras

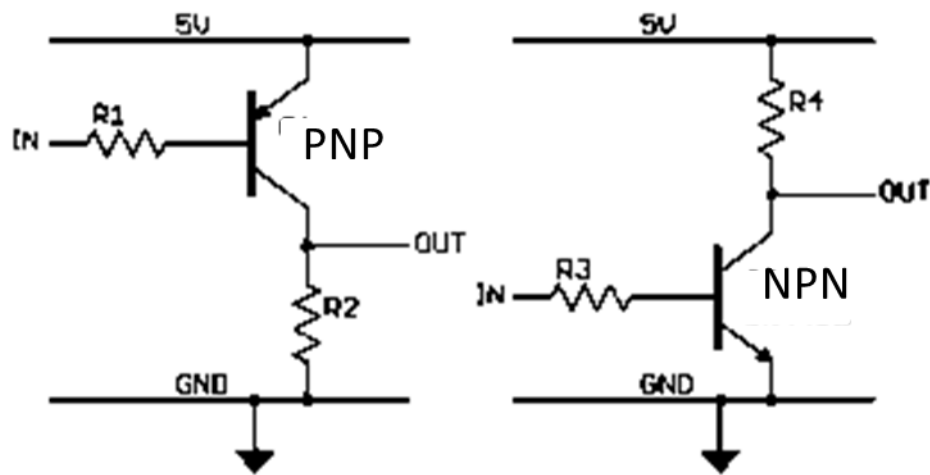
# Índice de cuadros

2.1. Datasheet . . . . .	7
2.2. Valores Experimentales . . . . .	8
4.1. Mediciones Realizadas . . . . .	12
7.1. Tabla de Verdad del Contador (3 bits) . . . . .	20

# Capítulo 1

## Not Gate

Con el objetivo de implementar una compuerta *NOT* utilizando transistores de tecnología *BJT*, se optó por investigar el diseño de dicha compuerta para un transistor *NPN* y para uno *PNP*. Finalmente se obtuvieron los siguientes diseños para lograr una compuerta *NOT*:



El comportamiento lógico de la compuerta *NOT* se muestra en la siguiente tabla de verdad:

Tabla de verdad NOT GATE

INPUT	OUTPUT
0	1
1	0

### 1.1. Mediciones

Una vez armado ambos circuitos, se procedió a realizar las correspondientes mediciones:

Mediciones NOT GATE con transistor NPN

	<b>sin capacitor</b>	<b>con capacitor</b>
<b>High-level input voltage (VIH)</b>	4.93V	4.93V
<b>Low-level input voltage (VIL)</b>	70mV	70mV
<b>High-level output voltage (VOH)</b>	5.05V	5.05V
<b>Low-level output voltage (VOL)</b>	10mV	10mV
<b>High-Noise Margin</b>	0.12mV	0.12mV
<b>Low-Noise Margin</b>	0.06V	0.06V
<b>Propagation delay High-to-Low</b>	41.8nS	81nS
<b>Propagation delay Low-to-High</b>	2.98uS	4.41uS
<b>Transition time High-to-Low</b>	64nS	94nS
<b>Transition time Low-to-High</b>	346nS	2.98uS

Mediciones NOT GATE con transistor PNP

	<b>sin capacitor</b>	<b>con capacitor</b>
<b>High-level input voltage (VIH)</b>	5.04V	5.04V
<b>Low-level input voltage (VIL)</b>	210mV	170mV
<b>High-level output voltage (VOH)</b>	5.1V	5.1V
<b>Low-level output voltage (VOL)</b>	0V	0V
<b>High-Noise Margin</b>	210mV	170mV
<b>Low-Noise Margin</b>	0.06V	0.06V
<b>Propagation delay High-to-Low</b>	670nS	1.26uS
<b>Propagation delay Low-to-High</b>	400nS	910nS
<b>Transition time High-to-Low</b>	1.365uS	1.84uS
<b>Transition time Low-to-High</b>	810nS	1.96uS

#### 1.1.1. Conclusiones

A través de las mediciones se puede observar que la compuerta NOT utilizando NPN es más rápida que la de PNP en "Propagation delay High-to-Low" pero pasa lo contrario en "Propagation delay Low-to-High". Y mirando los tiempos de transición, se puede ver que con el NPN son más cortos que con el PNP.

## Capítulo 2

# Noise Margin

Se realizo una comparación entre el cambio de márgenes de ruido causados por la combinación entre las compuertas 74HC02 y 74LS02 y, entre 74HCT02 y 74LS02. Pero primero expondremos una breve síntesis entre las diferencias esenciales entre ellas. La primera diferencia esencial entre ellas es el transistor interno que usan, las compuertas HCT y HC es un transistor de efecto de campo, CMOS, mientras que las compuertas LS utilizan un transistor bipolar, BJT. Debido a esto la compuerta LS van a requerir mayor potencia que las demás, pero van a tener tiempos más rápidos mientras que las HCT y HC a pesar de requerir un mayor tiempo van a tener un bajo consumo de tiempo. Por último, la diferencia esencial entre la HCT y la HC es que una posee una salida más compatible para la alimentación de las LS, de forma tal que una combinación de HC y LS va a tener problemas dado por las diferencias de salida del HC y la entrada requerida en LS mientras que para la HCT esto no sucede. Del datasheet se pueden obtener los siguientes valores en donde  $V_{IHmin}$  es la mínima tensión de entrada que la compuerta reconoce como High,  $V_{ILmax}$  es la máxima tensión de entrada que la compuerta reconoce como Low,  $V_{OHmin}$  es la mínima tensión de salida dada por la compuerta dado que esta en High y  $V_{OLmax}$  es la máxima tensión de salida dada por la compuerta dado que esta en Low.

Cuadro 2.1: Datasheet

Integrado digital	$V_{IHmin}$	$V_{OHmin}$	$V_{ILmax}$	$V_{OLmax}$
<b>74HC02</b>	2,4 V	4,32 V	2,1 V	0,15 V
<b>74HCT02</b>	2 V	4,32 V	0,8 V	0,15 V
<b>74LS02</b>	2 V	2,7 V	0,8 V	0,5 V

Luego de la combinación en donde un circuito alimenta al otro, se obtuvieron los siguientes valores:



Cuadro 2.2: Valores Experimentales

<b>Circuitol</b>	$V_{IHmin}$	$V_{OHmin}$	$V_{ILmax}$	$V_{OLmax}$
$HC \dashrightarrow LS$	2,5 V	4,1 V	2,3 V	0,15 V
$LS \dashrightarrow HC$	1,1 V	2,51 V	0,94 V	0,02 V
$HCT \dashrightarrow LS$	1,2 V	4 V	1 V	0,15 V
$LS \dashrightarrow HCT$	1,1 V	2,4 V	0,950 V	0,02 V

Cabe mencionar que, durante la experiencia, las mediciones se realizaron con una señal cuadra de amplitud 20 mV en donde se fue variando el offset para poder obtener los valores medidos y que se uso una protobaord con lo cual los valores pueden presentar ligeros errores. Además, hay que mencionar que durante la experiencia se encontró un intervalo de 1,1 V a 0,9 V el cual dependiendo del pasado se tenía, para obtener un estado de Low o High en la compuerta LS dado que fuera alimentada con una HC y que en la HCT el intervalo era de 1 V a 0,95 V. Esto se puede deber a que la compuerta HC/HCT no podía darle la corriente necesaria para la polarización del transistor BJT de la LS causando que no funcione correctamente. Se debe mencionar que en ese intervalo devolvía High dado que viniera del estado High y Low si venia del estado Low.

Para el cálculo del fan-out se obtuvo de la datasheet que los componentes 74HC02 y 74HCT02 tenían la siguiente corriente de entrada,  $I_i = \pm 1\mu A$  y una corriente de salida,  $I_o = \pm 4mA$  mientras que para la 74LS02 los valores fueron  $I_i = \pm 20\mu A$  para el High mientras que  $I_i = \pm -0,4mA$  para el Low y  $I_o = \pm -0,4mA$  para el High y  $I_o = \pm 8mA$  para el Low respectivamente.

Luego utilizando la fórmula de fan-out,  $fan-out = |I_o/I_i|$  en donde se realiza tanto para el estado High como el Low y uno se queda con el valor más chico. Entonces obtenemos que para las compuestas HC y HCT se le pueden alimentar hasta 10 LS mientras que para la LS podemos alimentar hasta 400 HC/HCT.

Podemos concluir, que la conexión entre elementos de distintos tipo siempre puede acarrear problemas, pero para evitar un cambio drástico en el margen de Ruido es necesario utilizar compuertas tales que sean compatibles entre si como la HCT y la LS pero se debe tener en cuenta que las diferencias dadas en las tensiones de salida son debidas a la salida que puede dar el elemento con lo cual a menos que posean salidas iguales siempre se van a ver diferentes. Por ultimo, debido a que los valores de las tensiones de input son iguales en el LS y HCT el orden en el cual se conectan es casi indistinto mientras que para la HC por las diferencias de estas el orden cambia drásticamente la salida.

## Capítulo 3

# Implementación de Tabla de Verdad

Dada la siguiente tabla de verdad se pide implementarla físicamente haciendo uso de compuertas logicas.

a	b	c	Y
0	0	0	0
0	0	1	1
0	1	0	1
0	1	1	1
1	0	0	0
1	0	1	1
1	1	0	0
1	1	1	1

Para poder traducir dicha tabla se empleo un mapa de Karnaugh el cual cuenta con sus respectivas 3 variables.

a	bc			
	00	01	11	10
0	0	1	1	1
1	0	1	0	0

En estas instancias se debio decidir cual metodo llevaria a una configuración más simple. Es decir, que se debio discernir si era más conveniente la agrupación por maxterminos o por minterminos.

Debajo detallamos ambas agrupaciones

		bc			
		00	01	11	10
a	0	0	1	1	1
	1	0	1	0	0

Podemos observar que obtenemos la misma cantidad de grupos por lo que la complejidad del circuito no se ve reducida. Sin embargo podemos observar que en ambos casos queda un grupo sin escoger. Arbitrariamente optamos por utilizar la expresión mínima en minterminos.

		bc			
		00	01	11	10
a	0	0	1	1	1
	1	0	1	0	0

La ecuación logica simplificada resultante:

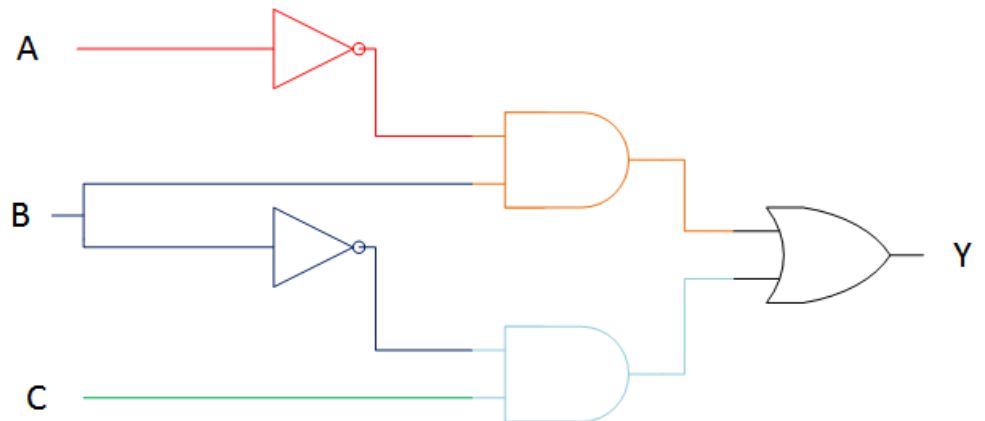
$$Y = \overline{B}C + \overline{A}B$$

Si bien de manera teorica esta representación de la tabla cumple completamente con los estipulado por la tabla, en la realidad surgen situaciones que podría no garantizar que la implementación responda fielmente a la tabla durante las transiciones entre estados. Con el fin de salvaguardarnos de este potencial inconveniente se añade ese grupo que habia sido descartado por el mapa de Karnaugh.

$$Y = \overline{B}C + \overline{A}B + \overline{A}C$$

Por ultimo, el mapa de Karnaugh nos provee de la minima función que representa la tabla de verdad. Es decir la expresión de menor costo. Pero esta no tiene en cuenta el verdadero costo de manufactura. El cual es una factor decisivo. Sin recurrir a ningun tipo de optimización manual hubiesemos obtenido el siguiente resultado.

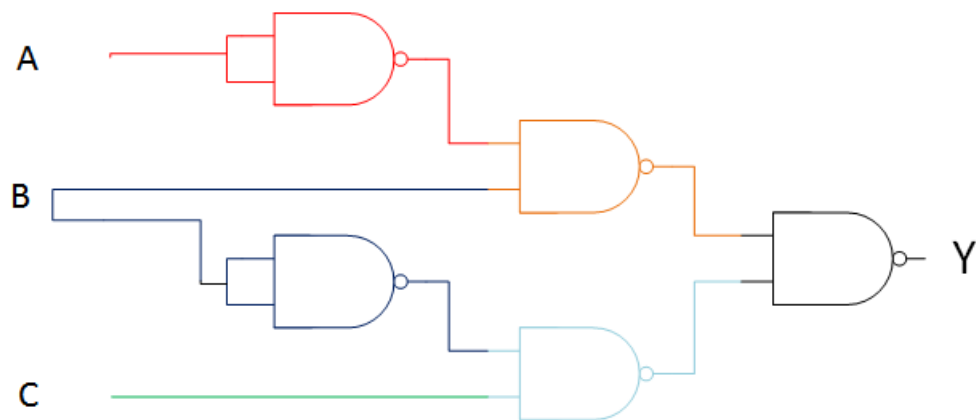
### Usando compuertas NOT, AND y OR



AND, OR ,NOT.png

Este circuito hubiese requerido el uso de 3 circuitos integrados. Por otro lado, un analisis un poco más profundo permite ver que la realización de dicho circuito en su equivalente en con compuertas *NAND* es menos costoso en terminos monetarios. La razón de esto es que requiere unicamente 2 circuitos integrados

### Usando solo compuertas NAND



Logico.png

## Capítulo 4

### 74HC02

Cuadro 4.1: Mediciones Realizadas

Experimento	Tiempo de propagación	Rise time	Fall time
Datasheet	7 ns	6 ns	6 ns
74HC02(Vacío)	7,35 ns	6,3 ns	6,3 ns
74HC02(Circuito)	7,325 ns	7,6 ns	7,6 ns

Podemos observar, que el tiempo de propagación presenta un cambio pequeño casi despreciable mientras que el Rise time y el Fall time sufrieron un cambio mucho mayor. Estas diferencias se deben a que a diferencia del primer la compuerta lógica, 74HC02, no se encuentra más en el vacío; esto causa que la corriente tenga que recorrer un camino mayor y debido a que los LEDs y las resistencias dificultan el pasaje de la corriente, el cambio entre tensiones va a producirse más lento. Como consecuencia, la corriente que debe consumir para pasar de un estado a otro va a tardar un mayor tiempo ,dado que el cambio de sentido del mismo va a ser más lento, como resultado el Rise time y el Fall time van a aumentar mientras que para el tiempo de propagación va a ser diferentes dado que ambas tensiones tanto la de entrada como la de salida del integrado van a experimentar alrededor de los mismos cambios, lo cual causa que el cambio sea despreciable.

Además del cambio mencionado, cabe destacar otro efectos más que aparecen durante la utilización de una compuerta lógica. Cuando se procedió a aumentar la frecuencia de la señal de entrada emitida a 100KHz, se pudo observar que la tensión de alimentación experimentaba cambios durante los cambios casi instantáneos de tensión, tanto para cuando iba del 1 al 0 lógico como en viceversa. El cambio observado fue que durante estos momentos, la señal presento una forma de onda parecida a una onda sinusoidal y cabe agregar que a pesar de que se espera un posible aumento de la temperatura durante la experiencia no se observó ningún cambio notable de está.

Estos cambios sucedieron debido a que se le procedió a pedir un cambio de corriente demasiado rápido para la velocidad a la cual puede suministrar el integrado causando que pida lo mismo a la fuente dando a lugar a lo anteriormente mencionado. Para arreglarlo, se le agregaron capacitores de desacople en paralelo con la alimentación de cada integrado digital. Se eligieron capacitores de 100nF dado que son los de uso más frecuente y la razón

de esto es que debido a que se le pide un cambio de corriente muy rápido para esto es necesario que el capacitor sea de un valor chico. Esto se debe que al ver la ecuación de carga y descarga del capacitor mientras menor sea la capacitancia más rápido va a ser visto el cambio de corriente en el tiempo; otro motivo es que el capacitor ideal tiene efectos de inductancia y resistivos lo cual se empiezan a presentar a una determinada frecuencia la cual aumenta a medida que la capacitancia disminuye, luego eligiendo uno de 100nF es más que suficiente para los cumplir con los fines queridos.

En conclusión, el uso de capacitores de desacople se decide basado en las frecuencias con las cuales se va a trabajar y su valor se decide basado en que tan altas van a ser las frecuencias en las cuales se va a trabajar, mientras más grande la frecuencia menor deberá ser la capacitancia del capacitor.

Además, también se puede concluir que los tiempos del Integrado lineal se van a ver afectados por las cargas con lo cual se debe evitar el uso de cargas grandes debido a que mientras mayor sea la carga mayor va a ser el cambio producido en estos hasta el punto de que va a ser muy lento o la lógica se va a haber afectado de tal manera que ya no va a tener sentido.

## Capítulo 5

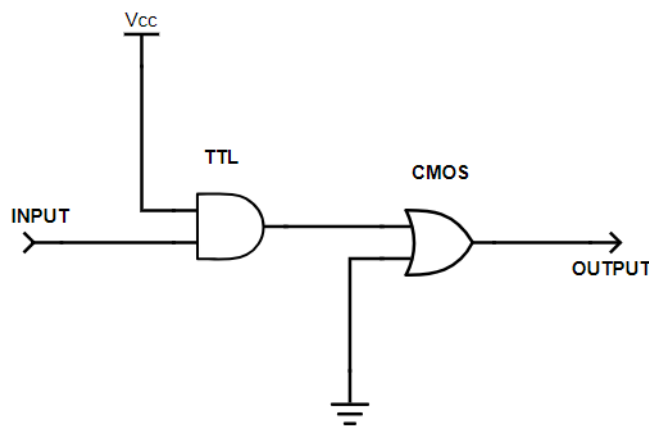
# TTL y CMOS

### 5.1. Introducción

El objetivo aquí fue el de implementar circuitos con compuertas lógicas de distinta tecnologías y observar la compatibilidad entre estas. En primer lugar se verifico el correcto funcionamientos de estas compuertas realizando las respectivas pruebas sobre las mismas por separado, estos circuitos consisten simplemente de compuertas AND de tecnología TTL y OR de tecnología CMOS obteniendo en ambos casos los resultados esperados según que compuerta era analizada.

### 5.2. Compatibilidad

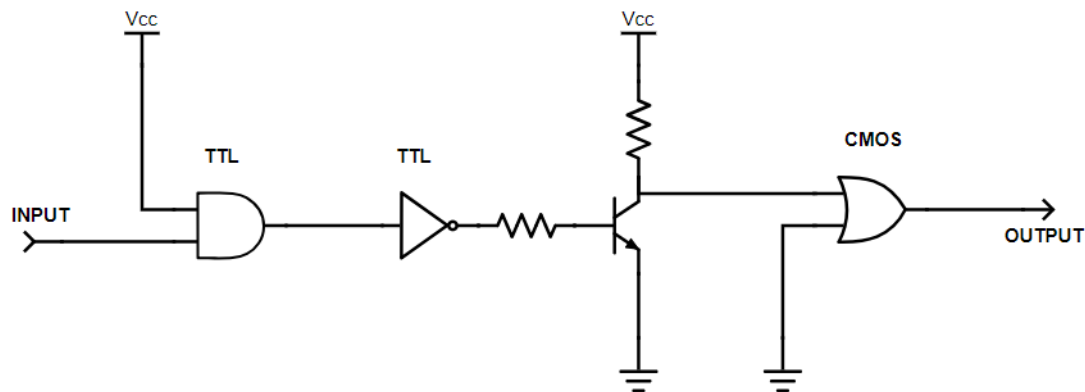
Sin embargo al trabajar con ambos circuitos en conjunción se vio que las salidas obtenidas no se condecían con los resultados esperados, este circuito es el que se muestra a continuación:



Se observó que al enviar una señal de entrada de 5V al circuito, es decir un 1 en términos lógicos, este entregaba una señal de salida de pocos milivolts, un 0, lo cual no es la salida esperada ya que un bit de valor 1 a la entrada del sistema genera un 1 como salida al AND el cual a su vez debiera generar un 1 a la salida de la compuerta OR. El problema aquí es el hecho de las tecnologías con las cuales se trabaja no resultan compatibles entre si para el correcto funcionamiento del circuito. Haciendo un análisis más exhaustivo al ver los datasheets del circuito integrado 74LS08, conjunto de compuertas AND de tecnología TTL, se puede ver que este posee un *HIGH-level output voltage* típico de 3.4V mientras que por otro lado el 74HC32, circuito integrado usado para las compuertas OR de tecnología CMOS, tiene un *HIGH-level input voltage* típico ligeramente mayor a 3.15V para la tensión con la cual se alimentaron los integrados. Siendo que la tensión a partir de la cual la compuerta OR interpreta un 1 es fácilmente superior a aquella que devuelve la AND para dicho bit en ningún caso la OR interpretara un 1 a su entrada, obteniendo en todo caso un bit de 0 a la salida.

### 5.3. Solución

El problema entonces a solucionar es el de convertir la tensión de salida *HIGH* del TTL a una que pueda ser interpretable como tal a la entrada para la tecnología CMOS. Para esto lo que se decidió implementar es lo siguiente, se considero es uso de una resistencia *pull-up* junto con un transistor BJT tipo NPN para aumentar el valor de la tensión previo a entrar a la compuerta OR, sin embargo si la tensión a la base del transistor es mayor a aquella con la cual se polariza el transistor no se cumplirá la función deseada, por eso se colocó una compuerta inversora a la salida de la AND teniendo el resguardo de que ambas de estas sean de la misma tecnología. el circuito final es el que se muestra en la siguiente imagen.





Siguiendo la lógica del circuito se entiende que cuando la compuerta AND vea un 1 a su salida el transistor no se polarizara de modo tal que la tensión a la entrada de la compuerta and será la de alimentación, siendo esta de 5v suficiente para ser tomada como 1, en la práctica se pudo ver que en este caso la compuerta AND se accionaba sin ningún tipo de problema. Un defecto de diseño sin embargo es la disipación de potencia, perjudicial esta para el medio ambiente. Cuando en bit de input sea de valor 0 el transistor BJT estará polarizado de modo tal que habrá una constante caída de tensión sobre las resistencias. Por último se aclara que el valor de las resistencias no fue de relevancia para el funcionamiento del circuito siendo estas de 1k, aunque un valor más elevado disiparía una menor cantidad de potencia en relación con lo anterior expuesto.

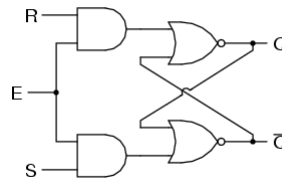
## Capítulo 6

# Flip Flop y Latch

En este ejercicio se implementaron 2 circuitos, el *gated latch SR* y el *flip flop D*, ambos fueron diseñados sobre una placa multiperforada sobre los cuales se realizaron determinadas mediciones para luego comparar dichos valores con sus versiones disponibles en el mercado.

### 6.1. Gated latch SR

Existen distintos diseños para el gated latch SR, el que se llevo a cabo fue el diseño visto en la cursada de materia el cual consiste de 2 compuertas AND en conjunción con 2 NOR como se muestra en el siguiente diagrama.



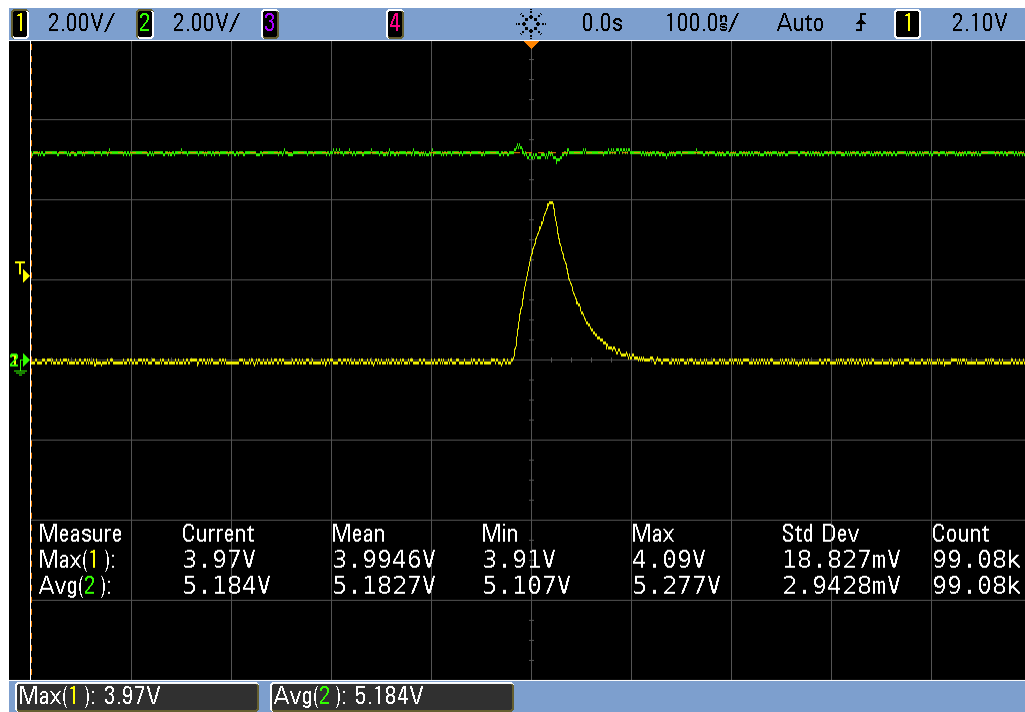
ej6 latch SR.png

Para realizar las funciones de las compuertas lógicas se utilizaron los circuitos integrados 74HC08 y 74HC02 siendo el primero un conjunto de compuertas AND mientras el segundo de NOR, ambos de tecnología CMOS de modo tal de no tener problemas de compatibilidad. Una vez obtenido el circuito se realizaron las mediciones de sus respectivas tensiones de entrada y salida las cuales se muestran en el siguiente cuadro en comparación a su contraparte comercial:

Gated latch SR	Diseño propio	Diseño comercial
High-level input voltage	3.15V	2V
Low-level input voltage	1.35V	0.8V
High-level output voltage	5.11V	3.4V
Low-level output voltage	-20mV	0.2V

## 6.2. Flip-flop D

Siendo que ya se tenía a disposición el gated latch SR diseñado se decidió crear un pequeño modulo adicional el cual unido al latch pudiese ser operado como un flip-flop tipo D. Para esto se debió implementar un detector de flancos como es típico en los circuitos de este tipo, como la tecnología utilizada hasta aquí consistía de CMOS se decidió continuar con esta con lo cual se hizo uno de un par de integrados 74HC04 los cuales consisten de conjuntos de compuertas inversoras, o NOT, esto resulto ser un inconveniente ya que la tecnología CMOS al poder realizar operaciones de manera tan acelerada en relación con otras tecnologías no permitía generar un retardo apreciable en la señal clock de entrada. Por esta razón se debieron usar 2 circuitos integrados de este tipo en lugar de únicamente 1, haciendo pasar la señal clock por 11 compuertas NOT hasta tener un flanco apreciable el cual se muestra en la siguiente imagen:



Dado que el flanco obtenido posea un máximo de tensión de 4V y una duración en promedio de aproximadamente 50ns se debió consultar los datasheets de los integrados utilizados para verificar que pudiesen operar con tal señal. Afortunadamente los integrados utilizados poseen un *High-level input voltage* inferior a los 4V y un *Transition Time* con un valor máximo de 13ns, con lo cual se logró trabajar con dicha señal sin problema. Por ultimo para la implementación de la compuerta D se utilizó el 74HC00, un circuito integrado de NANDs que ya se había utilizado para el *edge detector* anterior junto con la compuerta NOT sobrante. Ahora se muestran las mediciones obtenidas nuevamente haciendo comparación con un flip-flop D comercial:

Flip-flop D	Diseño propio	Diseño comercial
High-level input voltage	3.15V	2V
Low-level input voltage	1.35V	0.8V
High-level output voltage	5.18V	3.4V
Low-level output voltage	-23mV	0.2V

### 6.3. Conclusiones

Como se puedes observar los resultados de las mediciones resultaron bastante distintas a los valores que se esperaría en cuanto a la versión comercial, esto sin embargo es entendible ya que como ya se menciono la tecnología de compuertas implementadas es de tipo CMOS el cual tiene prestaciones distintas a la tecnología utilizada por el *gated latch SR* y el *Flip-flop D* comerciales encontrados, los cuales hacen uso de otro tipo de transistores.

## Capítulo 7

# Contador Ascendente

El circuito electrónico de un contador está compuesto por flip flops tipo T ya que estos pueden almacenar un bit el cual se lo llama estado y proporcionan la facilidad de invertir el estado cuando ocurre el evento del flanco ascendente del clock. Es decir, se produce un toggle.

### 7.1. Funcionamiento Lógico del Contador Ascendente

El funcionamiento lógico del contador se lo explica en la siguiente tabla:

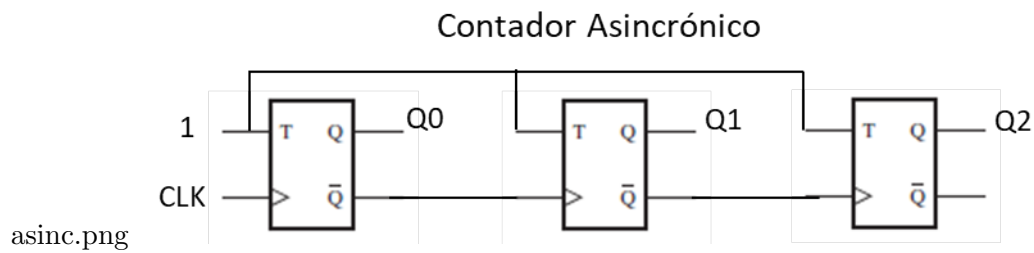
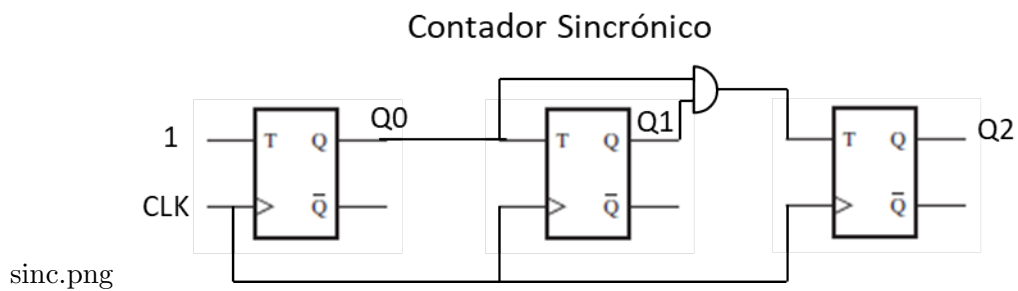
Cuadro 7.1: Tabla de Verdad del Contador (3 bits)

Clock Cycle	Q2 Q1 Q0
0	0 0 0
1	0 0 1
2	0 1 0
3	0 1 1
4	1 0 0
5	1 0 1
6	1 1 0
7	1 1 1
8	0 0 0

Donde el clock cycle simboliza el número de flancos ascendentes que se van presentando. Y siendo Q2, Q1 y Q0 los estados que cada flip flop almacena.

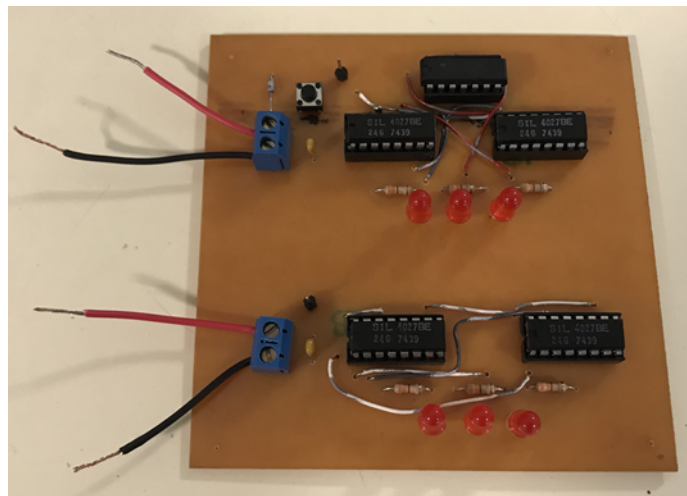
### 7.2. Tipos de Contadores

Los dos tipos básicos de contadores son el síncronico y al asincrónico. A continuación se muestran los circuitos electrónicos de cada uno.



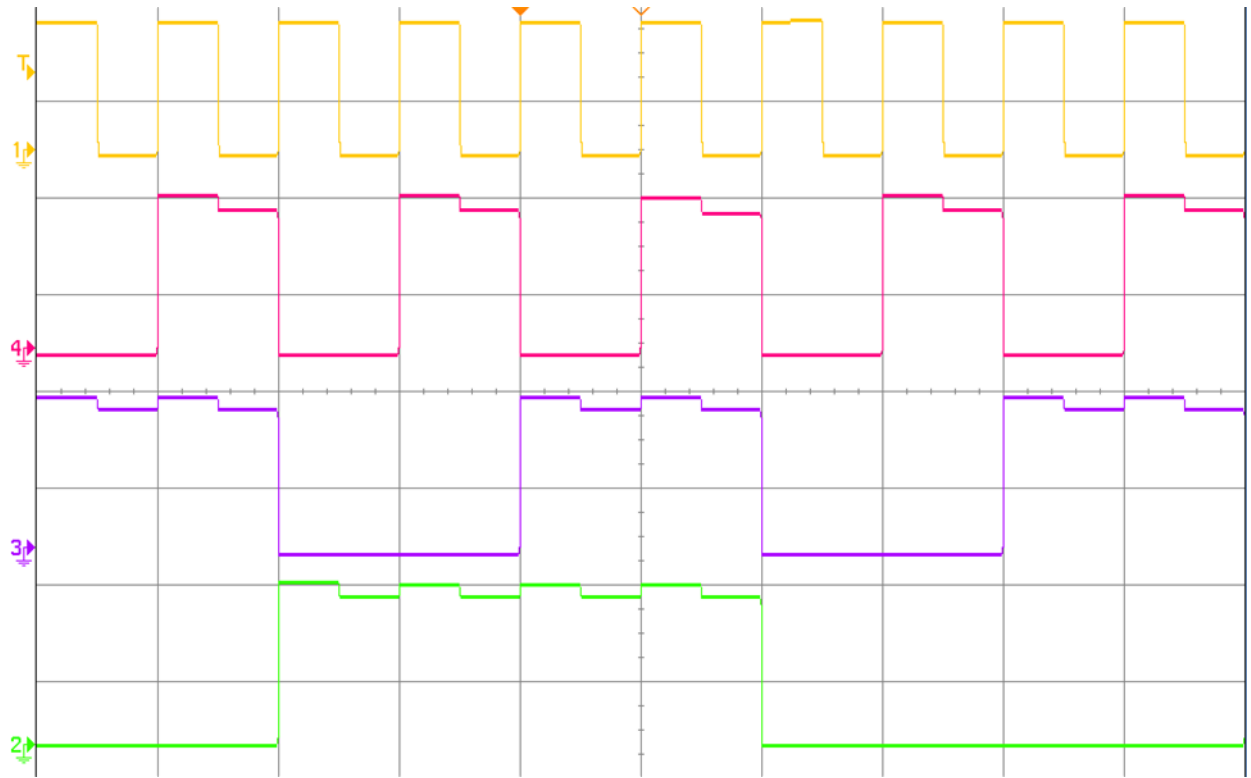
### 7.2.1. Análisis de Ambos Circuitos

Para poder analizar ambos circuitos, se implementó el circuito en una placa impresa (PCB) y se hizo uso de leds para hacer el circuitio más interactivo. A continuación se muestra el circuito en físico:

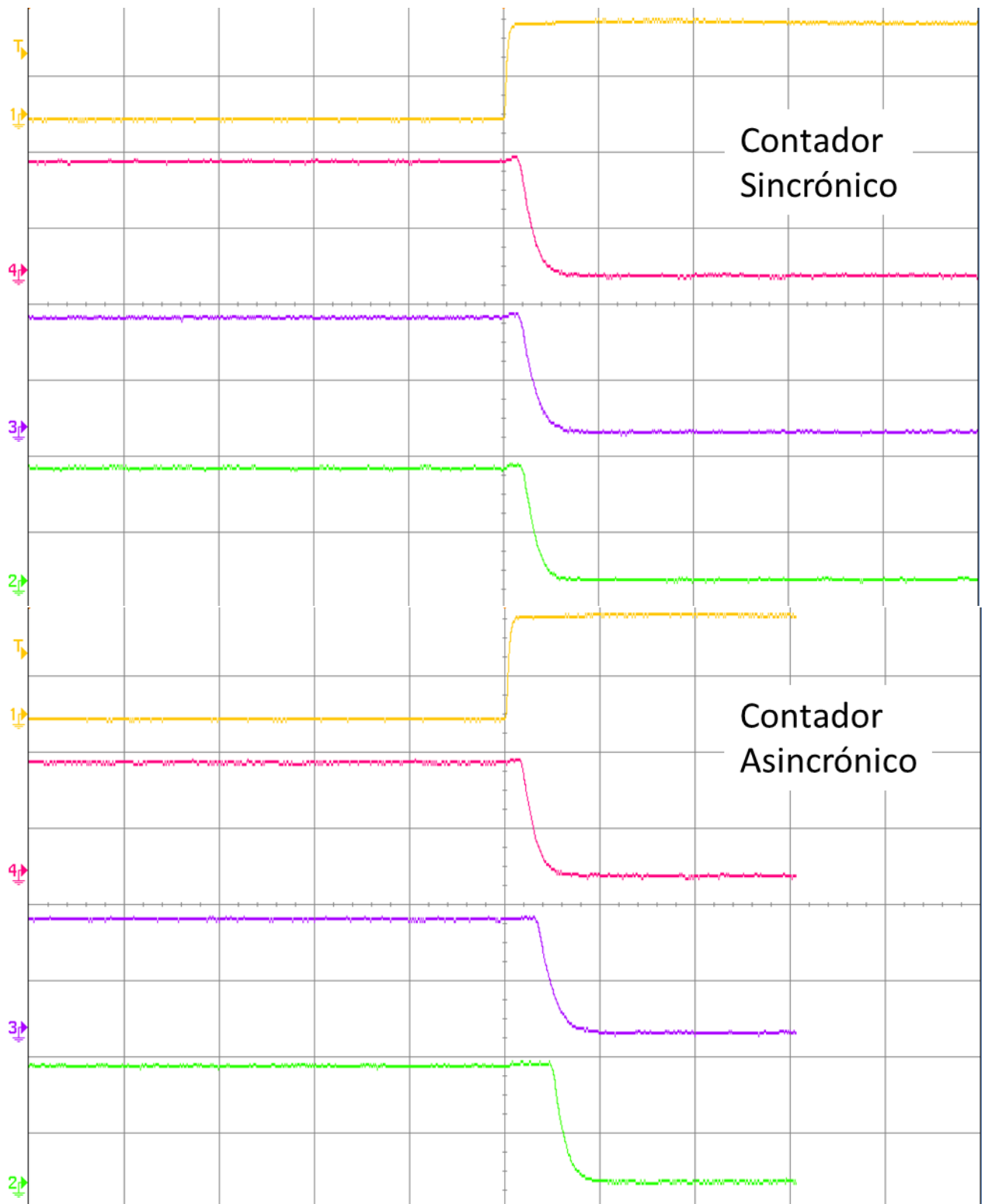


Luego se procedió a medir utilizando el osciloscopio la entrada (clock) y las salidas de cada estado. Y se obtuvo lo siguiente para ambos contadores:

osc.png



Siendo la señal amarilla el clock, la señal roja el estado Q0, la señal violeta el estado Q1 y la señal verde el estado Q2. Al hacer zoom modificando la escala del tiempo en la zona donde se encuentra el flanco ascendente del clock, se puede ver lo siguiente:



Se puede observar que en el contador síncronico, los estados presentan un tiempo de



propagación similar debido a que los flip flops tienen el mismo clock como input, es decir, están sincronizados. En cambio en el contador asincrónico, como los flip flops no están sincronizados, los tiempos de propagación se van sumando. Razón por la cual el estado Q2 es el último en establecerse.

### **7.2.2. Conclusión**

En conclusión se puede decir que el contador síncronico es más rápido que el asincrónico. Además en contador asincrónico puede presentar problemas si el tiempo de propagación total es mayor que el tiempo entre flancos ascendentes del clock.

## Capítulo 8

# Ultrasonido

### 8.1. Objetivo

Implementar un circuito capaz de hacer mediciones de distancia con un sensor ultrasonico HC-SR04 (diseñado para ser usado en Arduino) sin el uso de ningún tipo de logica programable. La función de dicho sensor es la de medir distancias de entre 5cm y 4m. Sin embargo no es posible medir de manera directa con el mismo, se debe recurrir a una medición indirecta. El sensor ultrasonico disparara una serie de pulsos no audibles a 40Khz. Luego, el mismo recibira una señal de *ECHO* producto del rebote entre la señal de salida y el objeto del cual reboto.

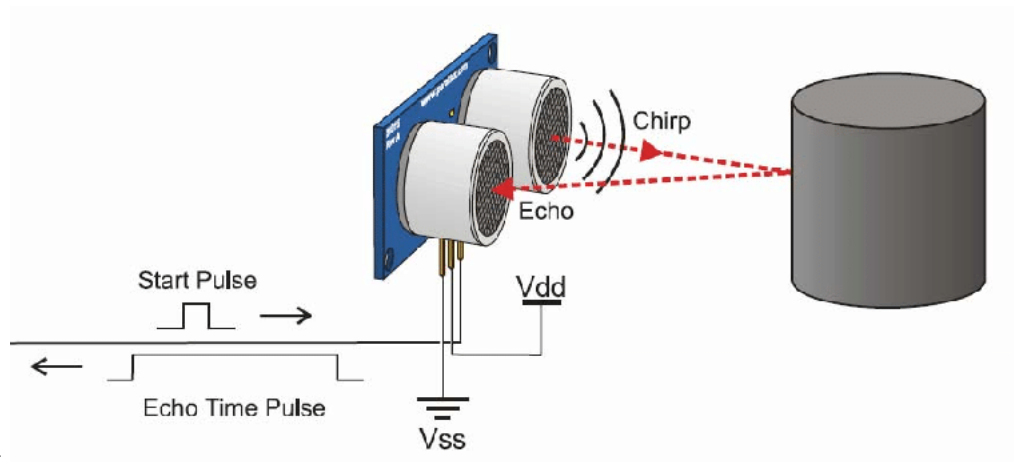
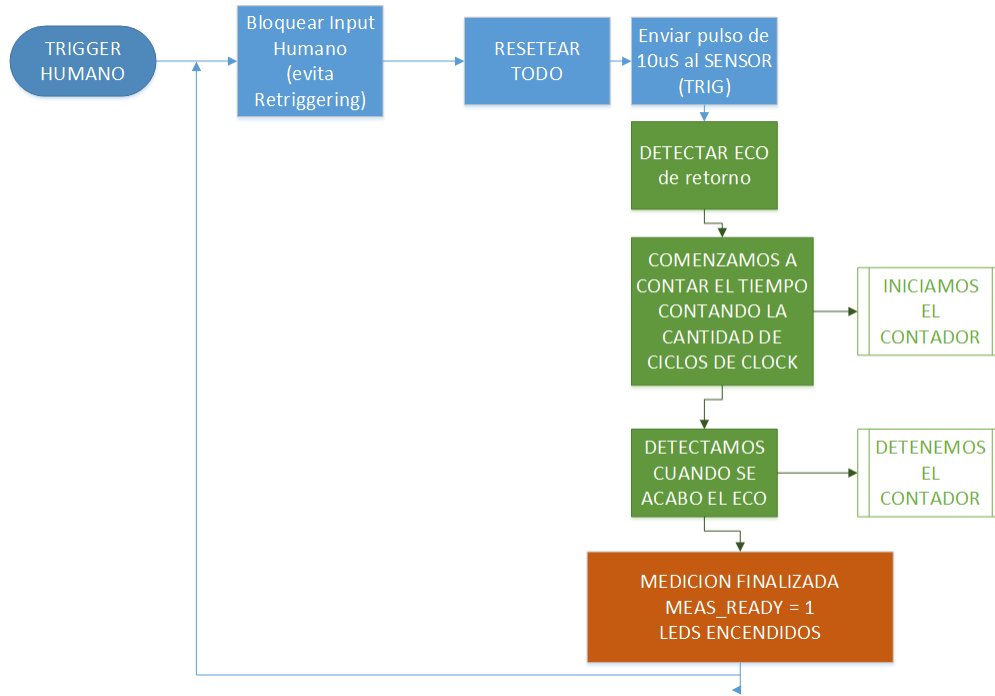


diagram.png

### 8.2. Análisis

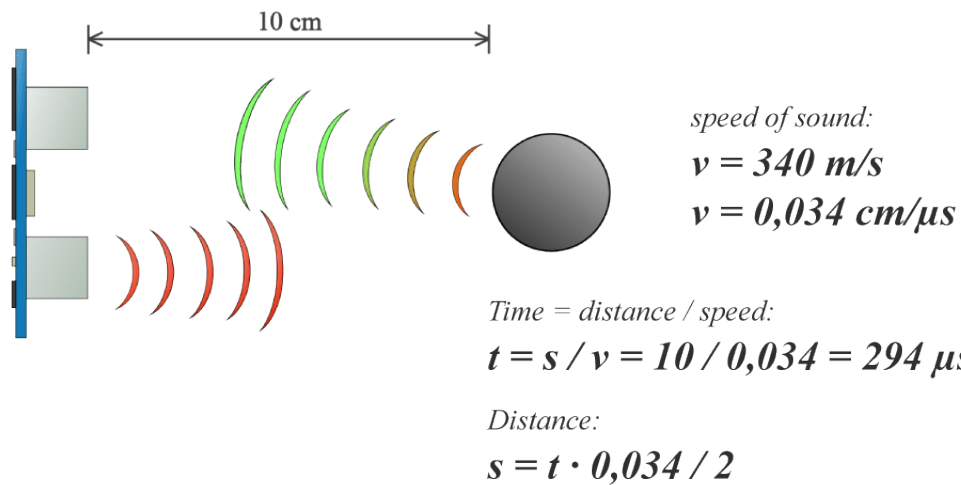
Para poder empezar con el proceso de diseño se analizaron todas las etapas por las que deberían viajar las señales con el fin de realizar lo pedido.



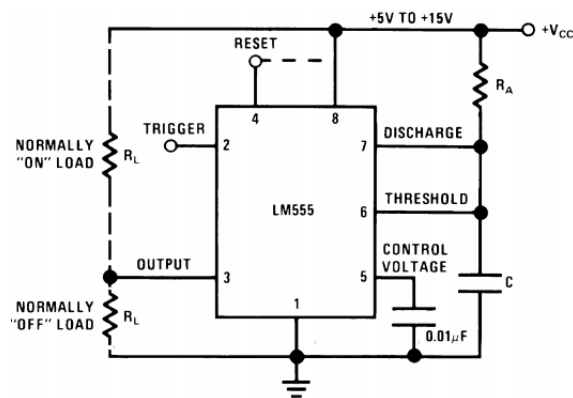
El diseño comienza por la construcción de un sistema de trigger que permita los procesos que desencadenaran los demás bloques del circuito. Para dicho sistema se podría haber optado por la implementación de un pulsador tradicional. Sin embargo eso trae ciertos inconvenientes de implementación. Estos percances tienen su raíz en la naturaleza de funcionamiento del multivibrador *LM555*. Además en secciones posteriores se justificara la no implementación de la etapa de bloqueo.

### 8.3. Generador de puslos con LM555 Monoestable

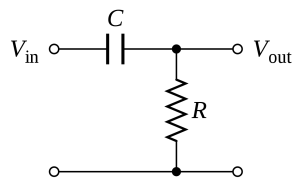
El objetivo del *LM555* es la de generar un pulso de mayor o igual a  $10\ \mu S$  con el fin de poder triggerear el HC-SR04 y que este emita un tren de pulsos a frecuencias no audibles para evitar interferencias.



Se configuro al IC en modo monoestable.



Este circuito integrado es desestabilizado cuando recibe un flanco negativo en su pin de *trigger*. El dispositivo sera accionado mediante un pulsador operado de forma manual. Se utilizo un circuito diferenciador para poder asistir en la generación de flanco descendentes.



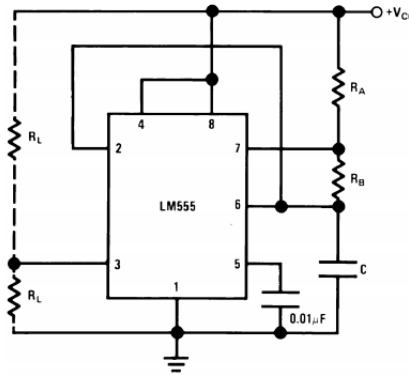
Este pulso luego debera ser negado para poder disparar correctamente al HC-SR04 con el mismo y que cumpla con su accionar. Por otro lado este pulso es aprovechado para poder dar aviso al sistema que una nueva medición comenzara inminentemente y deben de regresar sus estados a apagado o cero según corresponda. En la sección siguiente se comprendera el porque de la importancia de esta decisión que simplifica mucho la logica del circuito al utilizar menos pasos intermedios.

## 8.4. Contando el tiempo

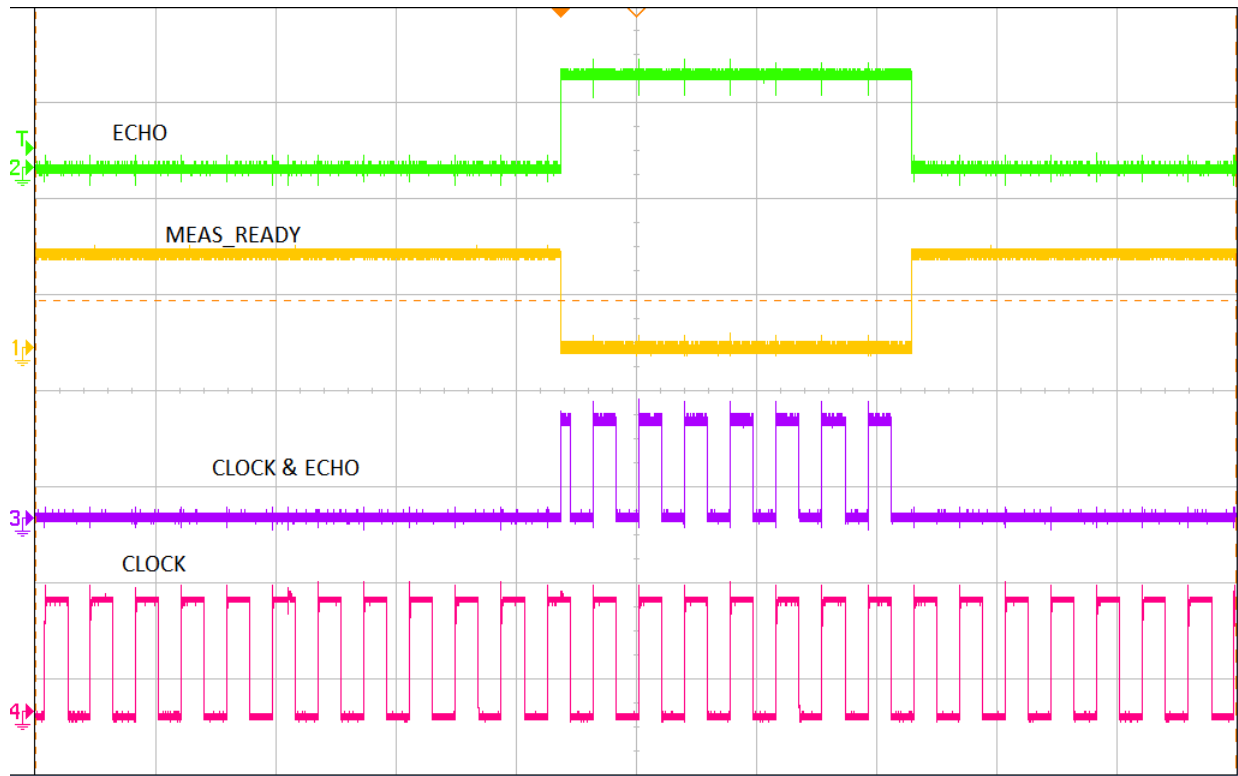
Para poder contar el tiempo que tarda el ECHO de rebote es necesario contar con una unidad de referencia a partir de la cual medir el tiempo. Esto lleva a la necesidad de contar con un *clock*

### 8.4.1. Modo Astable LM555

Para poder generar el clock deseado se empleo otro IC LM555 en configuración astable.



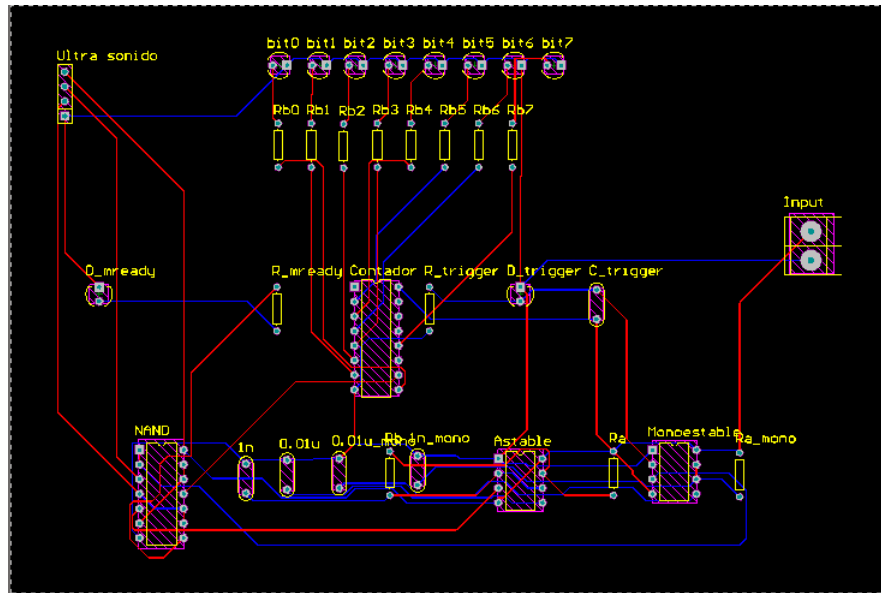
Los componentes fueron elegidos de tal manera que su ciclo de clock fuese lo más cercano a los  $100\mu S$ . El porque se hace evidente viendo la siguiente imagen tomada en el osciloscopio



Como se puede apreciar la medida en verde representa el *Echo* recepcionado por el sensor. La señal en la parte inferior de la imagen representa el clock generado. Por ultimo, la tercera señal representa un *AND* entre el *clock* y el pulso de *Echo* recibido. La señal de color amarillo sera explicada en breve. La razón de esta decisión radica en el hecho que el contador elegido adiciona 1 cada vez que ve un flanco negativo Utilizando un contador binario *CD 4040*. Entonces, al contar (de manera aproximada) la cantidad de periodo de *clock* que entran dentro del ancho del pulso de *Echo*. Luego es posible ver la suma realizada por el contador mediante algún tipo de indicador. En nuestro LED'S. Por último tenemos la señal de Measure Ready, esta señal se encarga de avisar al usuario cuando una medida se ha completado. Basicamente este indicador esta apago durante la duración completa del *Echo* y se enciende cuando este finaliza.

## 8.5. Implementacion en PCB

Esquematico del circuito



## 8.6. Retriggering

Por una cuestión de diseño y de optimización de recursos se decidió no implementar el sistema de bloque de Trigger. Los motivos de dicha decisión fueron los siguientes. En primer lugar, la medición toma un tiempo bastante menor al de la posible reacción de rebote del pulsador. Esto fue testeado al disparar el circuito a frecuencias mayores a 1Khz. Esto nos da la seguridad de que no sera posible por un humano disparar la medición de tal forma de afectarla dado que esta ya se habria realizado. De esta forma es posible ahorrar el costo de utilizar hasta 2 circuitos integrados más dependiendo de como se implemente el sistema de bloqueo.

## Appendix



# Bibliografía

- [1] Yoda. .<sup>A</sup> Brief History of Jedism” Journal of The New Jedi Order (Year): 93-98.