



INSTITUTO TECNOLÓGICO DE BUENOS AIRES

INGENIERA ELECTRÓNICA

ELECTRÓNICA III

Implementación de circuitos lógicos

Autores:

Martín RODRIGUEZ TURCO

Tobias SCALA

Guido PANAGGIO

Juan Martín LAGUINGE

Profesores:

Kevin DEWALD

Pablo WUNDES

Sebastian FALCONARO

4 de noviembre de 2018

Índice general

1. Ejercicio 2	2
Appendix	4
References	5

Capítulo 1

Ejercicio 2

Se desea diseñar una máquina de estados que, al recibir la siguiente secuencia de bits en forma sincrónica 1-1-0-1 encienda una salida y en caso contrario, la mantiene apagada. Se obtienen 5 estados para la misma, en los cuales va a haber un default que va a ser el estado al cual todos los demás estados van a volver en caso de no recibir los deseados. Podemos representar los mismos en el siguiente diagrama de estados:

En donde Z es la salida dada por la máquina de estados al encontrarse en el estado co-

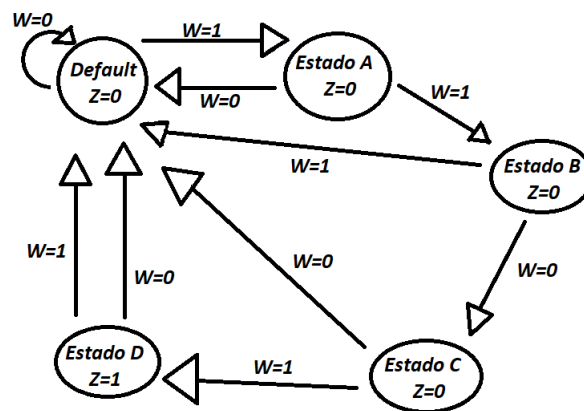


Figura 1.1: Diagrama de estados

respondiente y W es la entrada necesaria para que traicione al siguiente estado y la flecha es la encargada de indicar el sentido de la transición.

Este mismo esquema también queda encapsulado en la siguiente tabla de estados:

Cuadro 1.1: Tabla de estados

Estado actual	Estado siguiente		Salida Z
	W=0	W=1	
Default	Default	A	0
A	Default	B	0
B	C	Default	0
C	Default	D	0
D	Default	Default	1

Luego podemos reducir esta tabla a:

Appendix

Bibliografía

- [1] Stephen Brown and Zvonko Vranesic. "Fundamentals of Digital Logic with Verilog Design" third edition.