

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РФ

Федеральное государственное автономное
образовательное учреждение высшего образования
«Национальный исследовательский университет ИТМО»
**ФАКУЛЬТЕТ ПРОГРАММНОЙ ИНЖЕНЕРИИ И
КОМПЬЮТЕРНОЙ ТЕХНИКИ**



ЛАБОРАТОРНАЯ РАБОТА №1
по дисциплине
"Функциональная схемотехника"

Вариант №7

Выполнила:

студентка группы Р33082

Савельева Диана Александровна

Преподаватель:

Кустарев Павел Валерьевич

Санкт-Петербург, 2024

1. Цели работы

- Получить базовые знания о принципах построения цифровых интегральных схем с использованием технологии КМОП.
- Познакомиться с технологией SPICE-моделирования схем на транзисторах.
- Получить навыки описания схем базовых операционных элементов (БОЭ) комбинационного типа на вентиляльном уровне с использованием языка описания аппаратуры Verilog HDL.

2. Задание

Лабораторная работа состоит из двух частей.

Первая часть посвящена проектированию цифровых вентилях на полевых транзисторах, построению схем на базе вентилях и знакомству с технологией SPICE моделирования. Первая часть работы выполняется в программном пакете LTspice.

При построении схем вентилях необходимо использовать КМОП-транзисторы с параметрами из файла, предоставленного преподавателем (см. раздел «Основы работы в среде LTspice»).

Вторая часть посвящена знакомству с языком описания аппаратуры Verilog HDL, изучению особенностей его использования для описания схем на вентиляльном уровне и приобретению навыков тестирования таких схем. Вторая часть работы выполняется с использованием Vivado Simulator, входящего в пакет Vivado Design Suite (см. раздел «Основы работы в среде Vivado Design Suite»).

Вариант №	Логический базис	БОЭ
2	NOR	Четырехразрядный двоичный сумматор с переносом

3. Ход работы

Часть 1

1. Постройте в LTspice на транзисторах схему вентиля NOR, составляющего основу логического базиса согласно варианту задания.

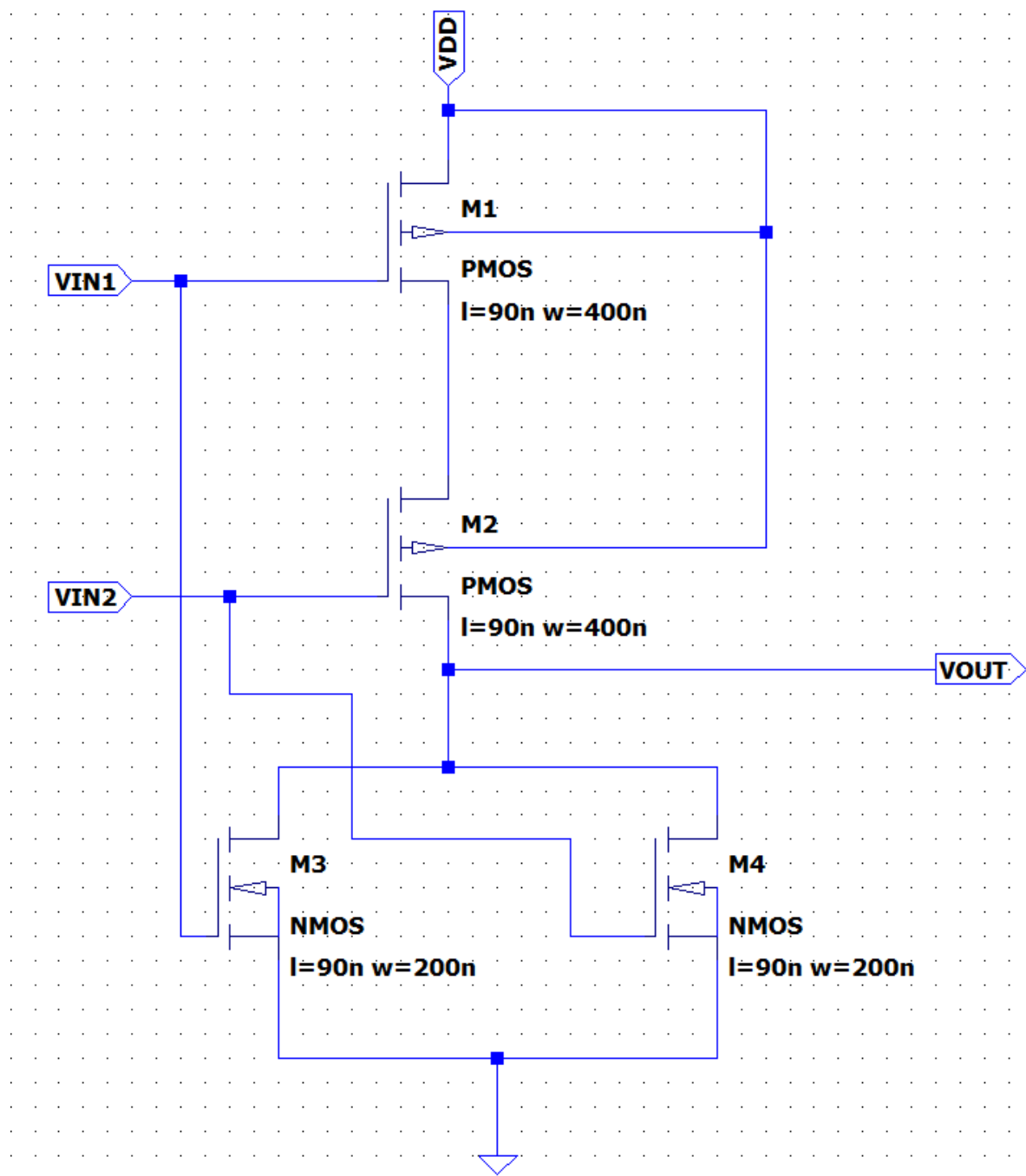


Рисунок 1 – Схема вентиля NOR

2. Создайте символ для разработанного вентиля **NOR** как иерархического элемента.

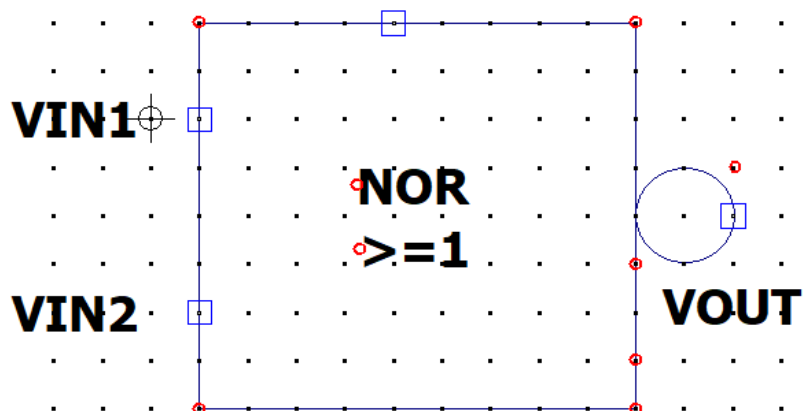


Рисунок 2 – Символ вентиля NOR

3. С использованием созданного иерархического элемента **NOR** постройте схему тестирования вентиля.

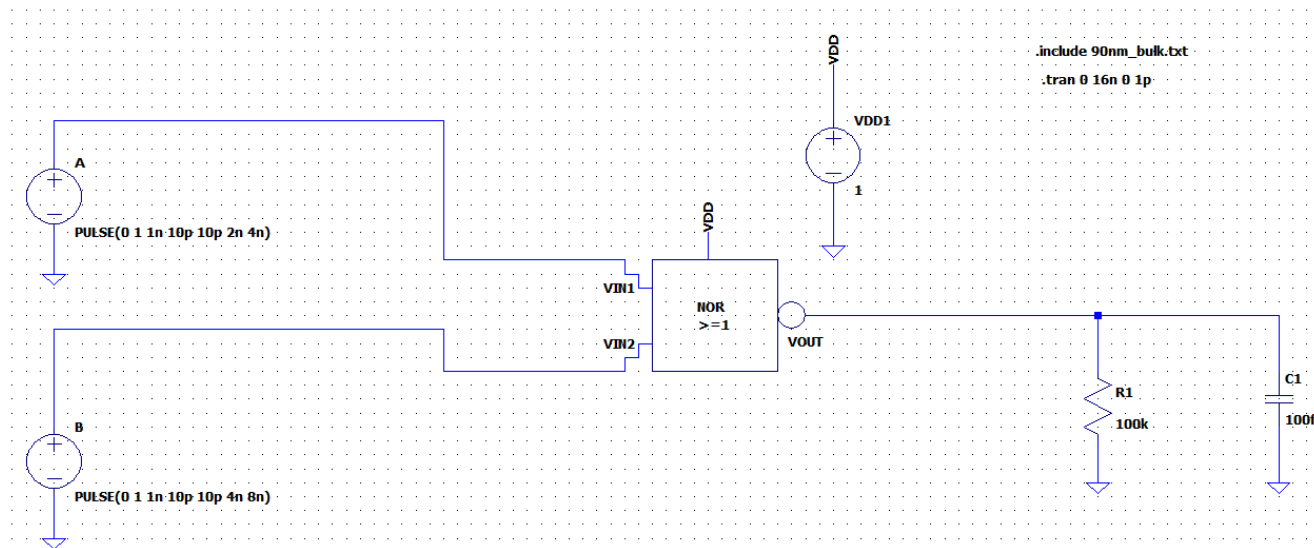


Рисунок 3 – Схема тестирования вентиля NOR

4. Проведите моделирование работы схемы **NOR** и определите задержку распространения сигнала через тестируемый вентиль.

На рисунке 4 изображена временная диаграмма тестирования вентиля NOR.



Рисунок 4 – Временная диаграмма тестирования вентиля NOR

На рисунках ниже представлены измерения некоторых величин для временной диаграммы.

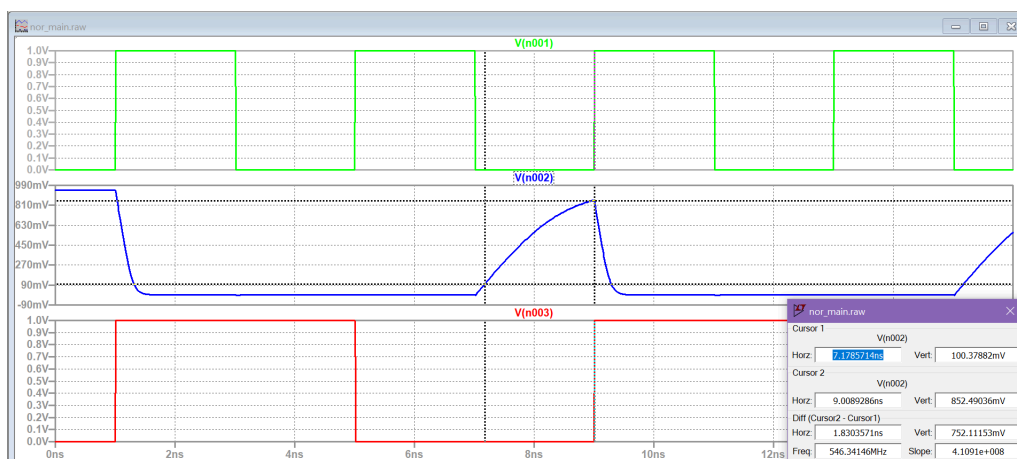


Рисунок 5 – Длительность фронта NOR

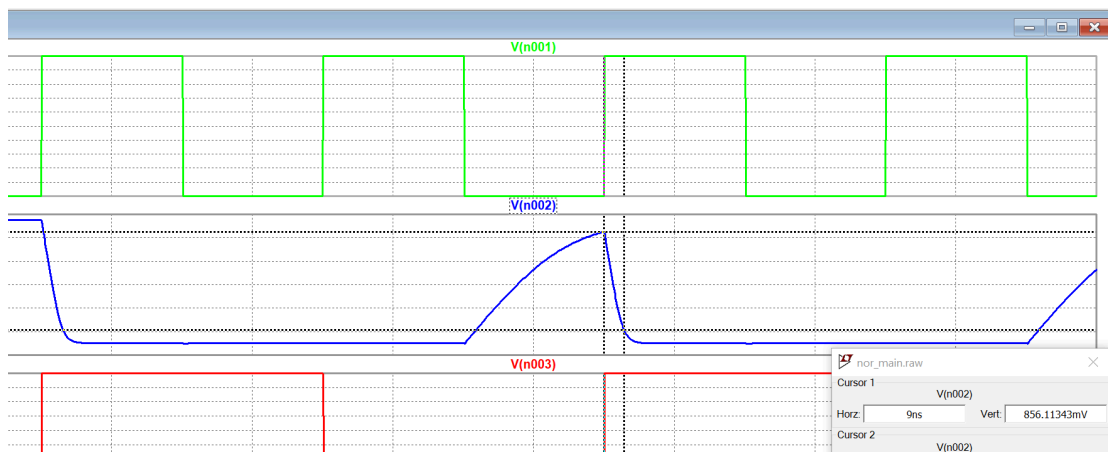


Рисунок 6 – Длительность спада NOR

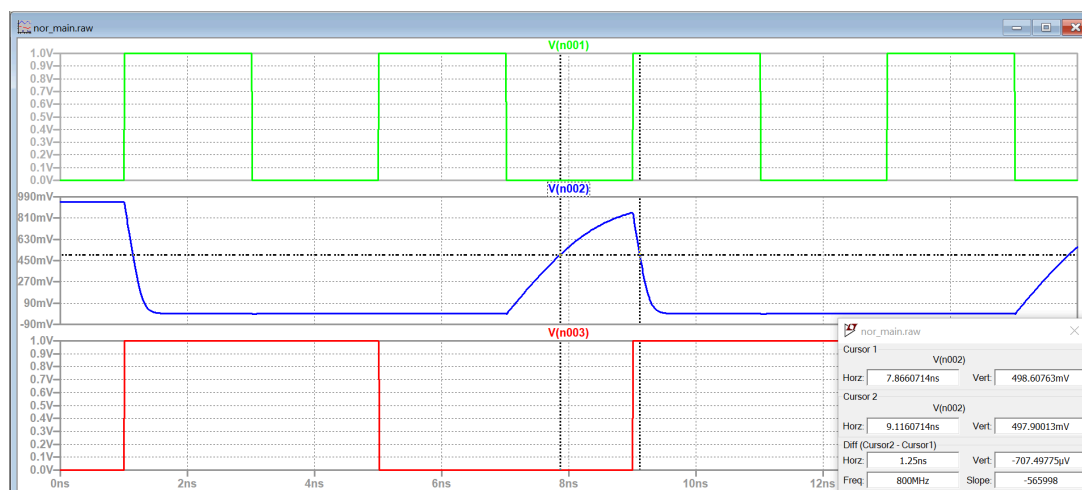


Рисунок 7 – Длительность импульса NOR

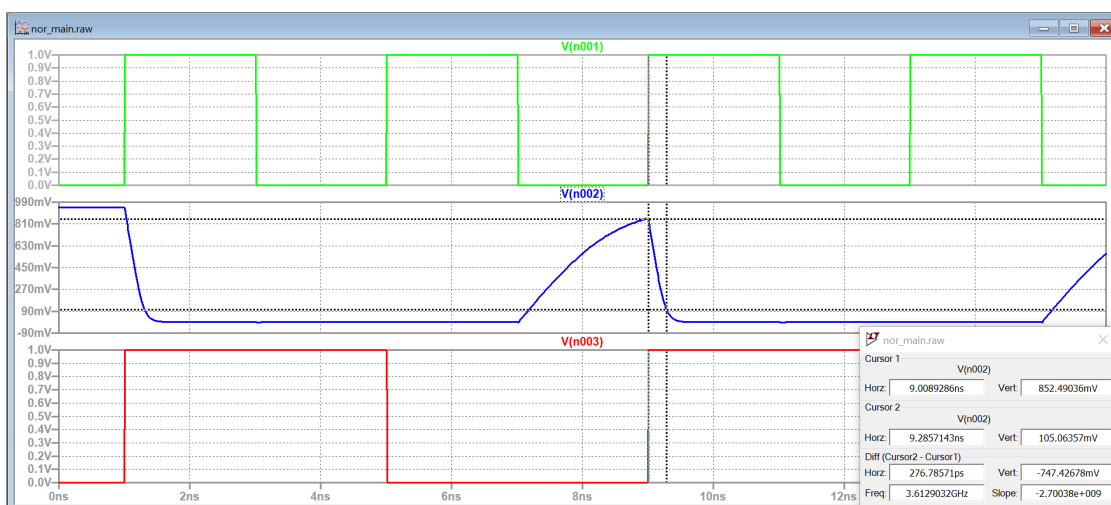


Рисунок 8 – Задержка распространения сигнала (спада) NOR

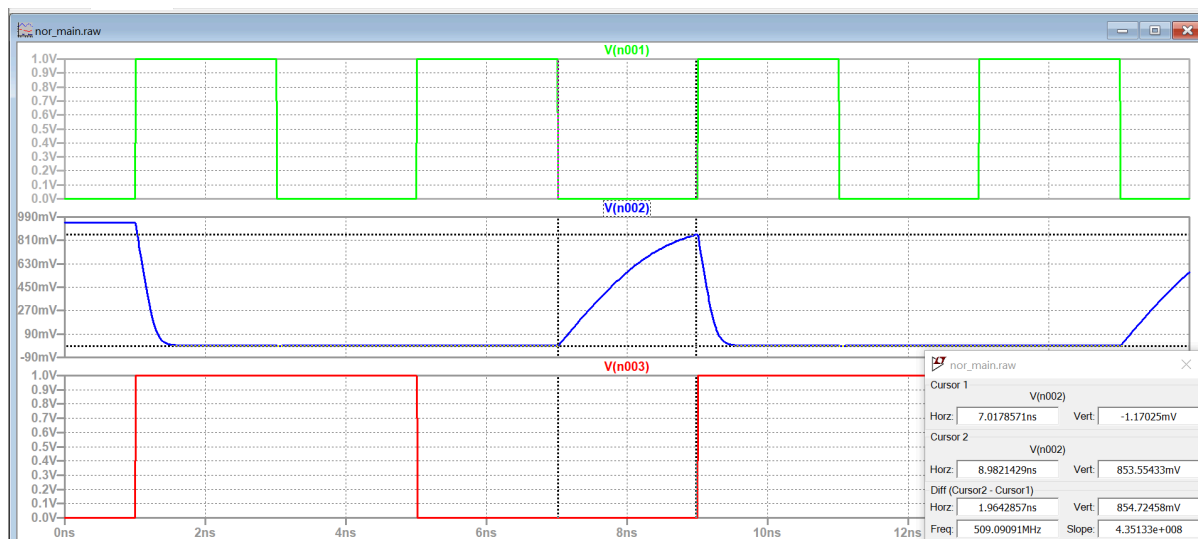


Рисунок 9 – Задержка распространения сигнала (фронта) NOR

В таблице 1 представлены результаты измерений величин по итогу тестирования вентиля NOR.

Таблица 1 – Тестирование вентиля NOR

Величина	T ₁ , ns	T ₂ , ns	Результат, ns
Длительность фронта NOR	9.008	7.17	1.83ns
Длительность спада NOR	9.28	9.00	0.28ns
Длительность импульса NOR	9.11	7.87	1.25ns
Задержка распространения по фронту NOR	8.98	7.01	1.96ns
Задержка распространения по спаду NOR	9.28	9.00	0.28ns

Задержка распространения t_{pd} – это максимальное время от начала изменения входа до момента, когда все выходы достигнуты.

5. Определите максимальную частоту изменения входных сигналов, при которой построенная схема NOR сохраняет работоспособность.

Максимальная частота изменения входных сигналов:

$$\nu = 1 / (T_{front} + T_{rec}) = 1 / (1.83 + 0.28) = 1 / 2.11 = 0,473 \text{ ГГц} = 473 \text{ МГц}.$$

6. Постройте БОЭ **“Четырехразрядный двоичный сумматор с переносом”** на базе созданного вентиля **NOR**.

На рисунке 10 изображен БОЭ **“Четырехразрядный двоичный сумматор с переносом”**.

Для простоты чтения схемы четырехразрядный двоичный сумматор с переносом разбит на одноразрядные двоичные сумматоры. Их необходимо 4 для корректной реализации четырехразрядного сумматора. Перенос для четырехразрядного сумматора предусмотрен последовательный.

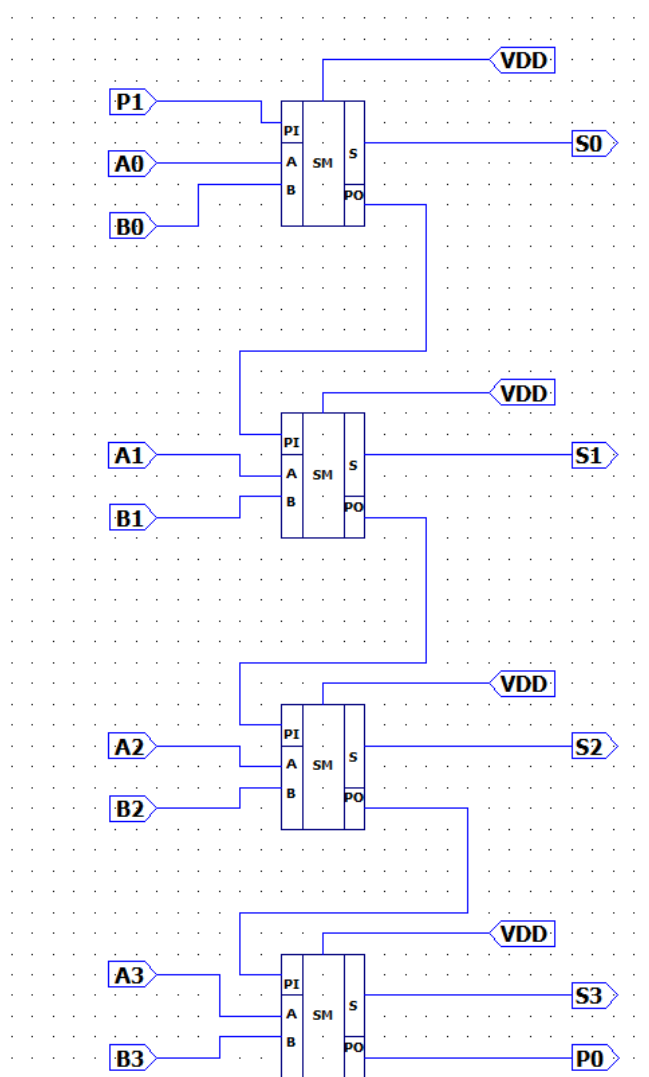


Рисунок 10 – Четырехразрядный двоичный сумматор с переносом

Четырехразрядный двоичный сумматор с переносом имеет 9 входов и 5 выходов.

На рисунках 11 и 12 изображена схема одноразрядного двоичного сумматора с переносом и символ данного БОЭ соответственно. Он составлен из других вентилях, реализованных с помощью базисного вентиля NOR. Все элементы (схемы, символы, схемы тестирования и временные диаграммы), использованные для реализации одноразрядного сумматора, представлены в приложении А.

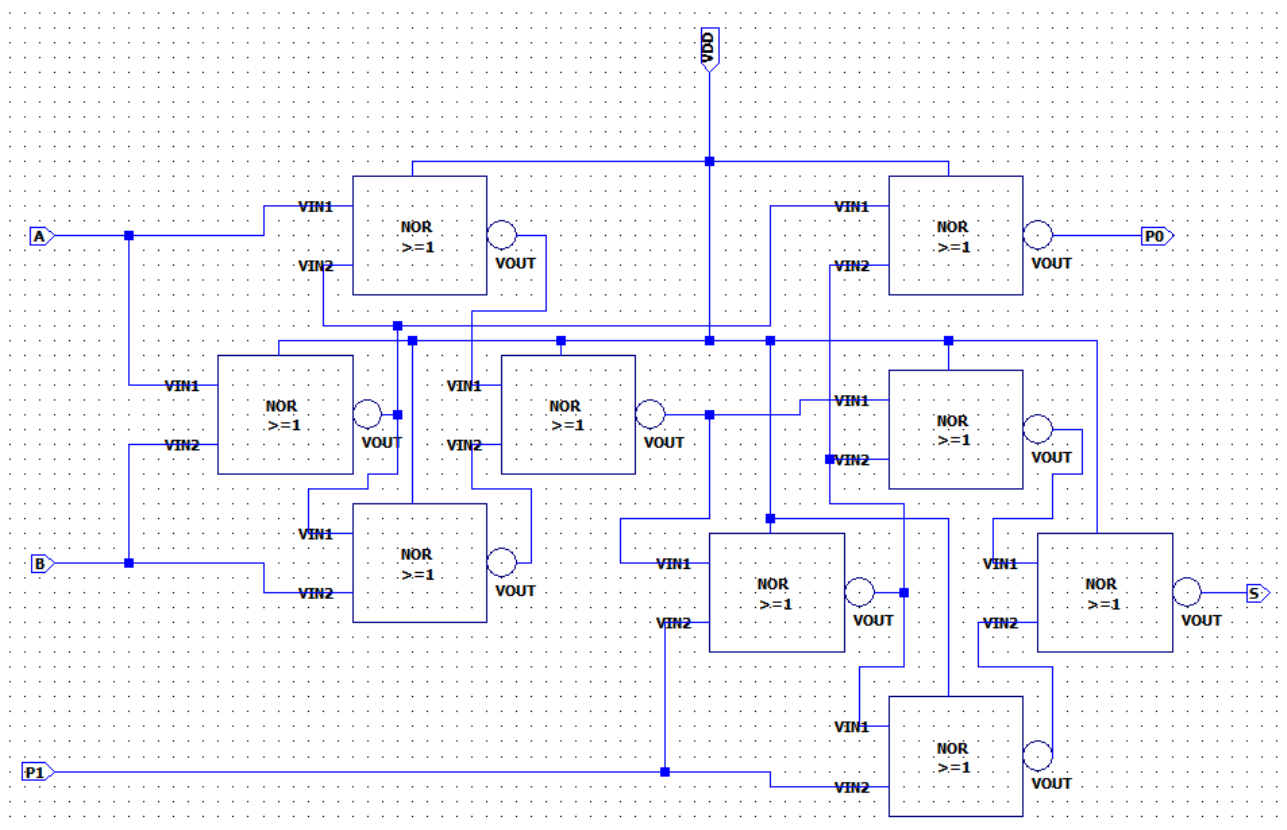


Рисунок 11 – Одноразрядный двоичный сумматор с переносом

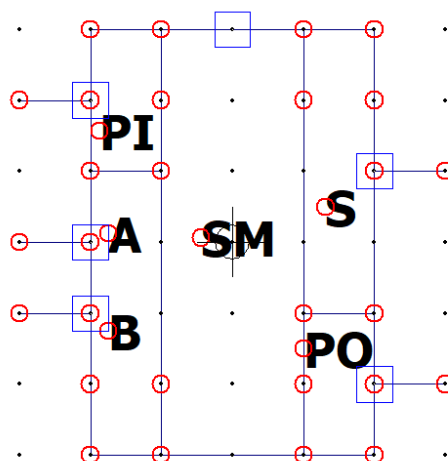


Рисунок 12 – Одноразрядный двоичный сумматор с переносом
(СИМВОЛ)

На рисунке 13 представлена схема тестирования одноразрядного двоичного сумматора с переносом.

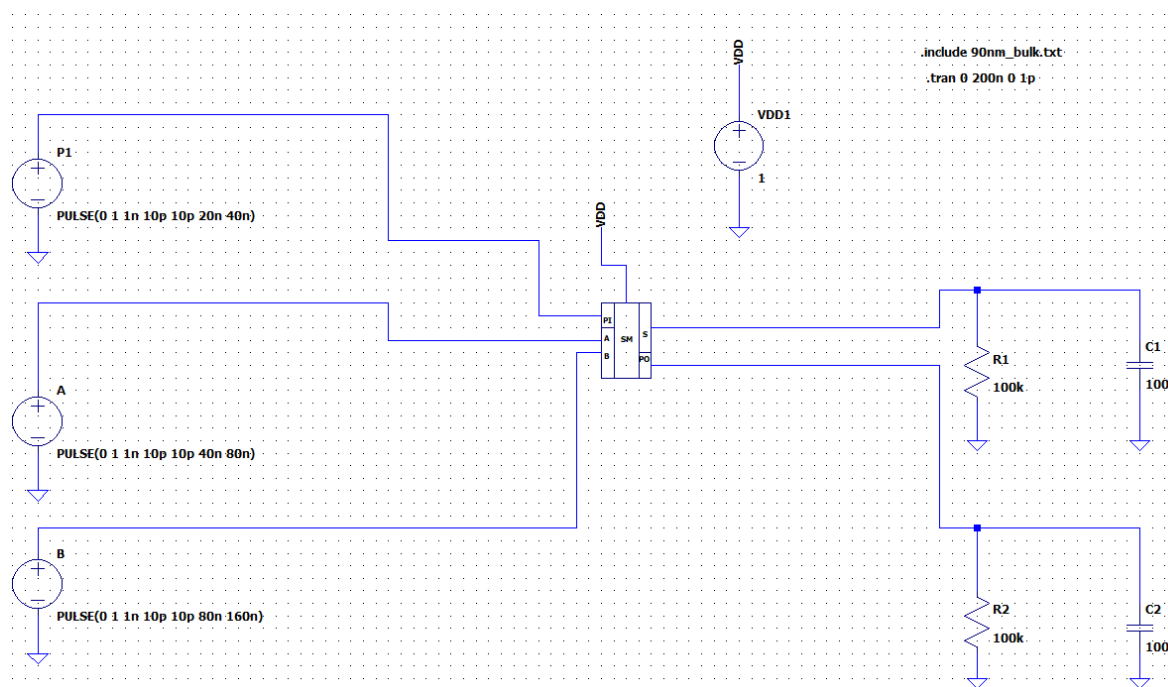


Рисунок 13 – Схема тестирования одноразрядного двоичного
сумматора с переносом

На рисунке 14 представлена временная диаграмма тестирования одноразрядного двоичного сумматора с переносом.

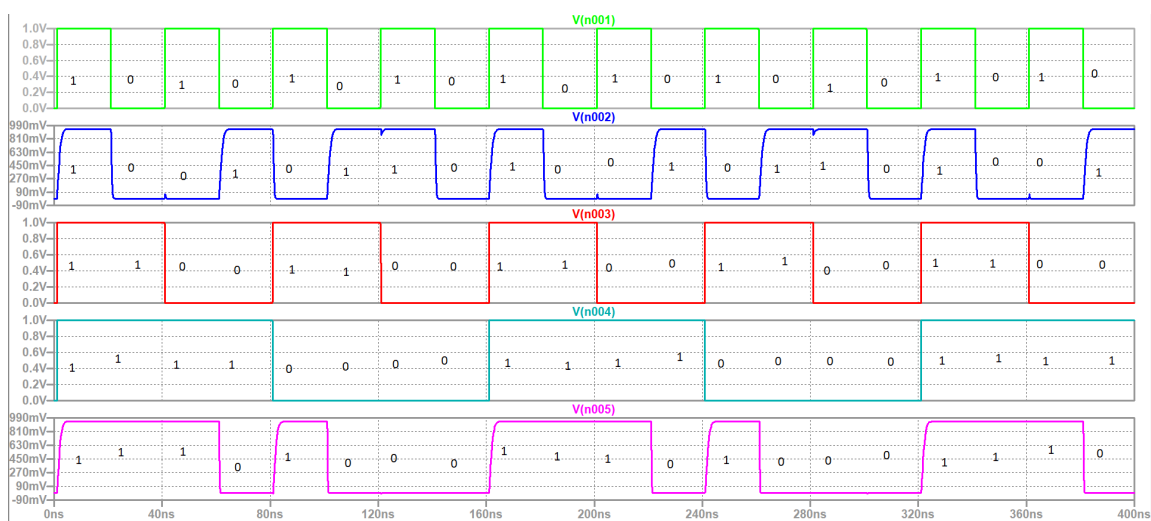


Рисунок 14 – Временная диаграмма тестирования одноразрядного двоичного сумматора с переносом

Для одноразрядного двоичного сумматора действует следующая логика, представленная на рисунке 15.

CIN	A	B	S	COUТ
0	0	0	0	0
0	0	1	1	0
0	1	0	1	0
0	1	1	0	1
1	0	0	1	0
1	0	1	0	1
1	1	0	0	1
1	1	1	1	1

Рисунок 15 – Таблица истинности одноразрядного сумматора с переносом

Для одноразрядного двоичного сумматора с переносом посчитаем величины (информация о расчетах представлена в таблице 2 и на рисунках 16–20).

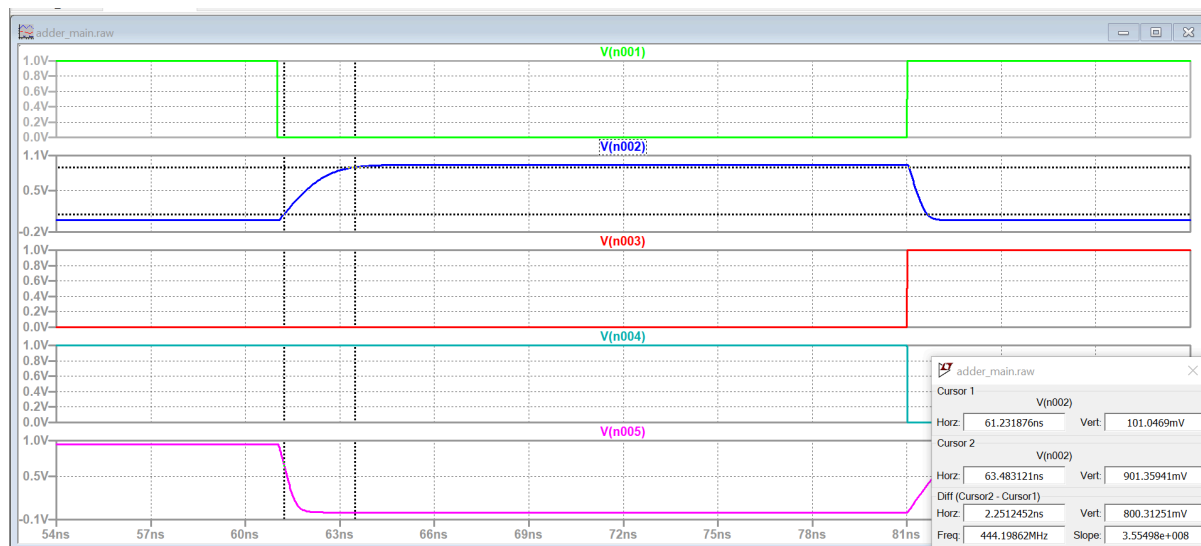


Рисунок 16 – Длительность фронта одноразрядного сумматора

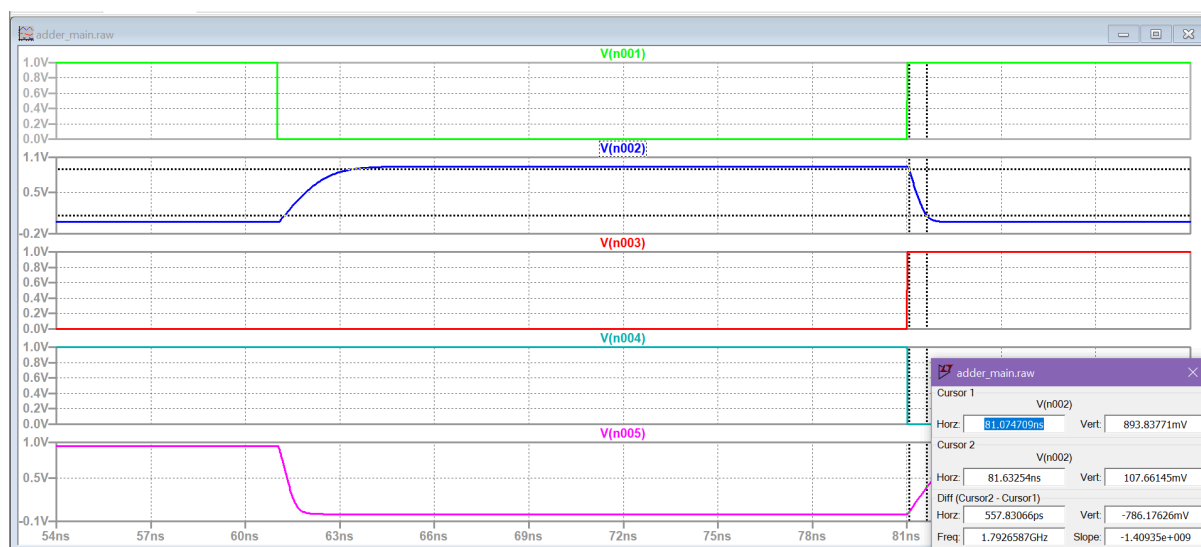


Рисунок 17 – Длительность спада одноразрядного сумматора

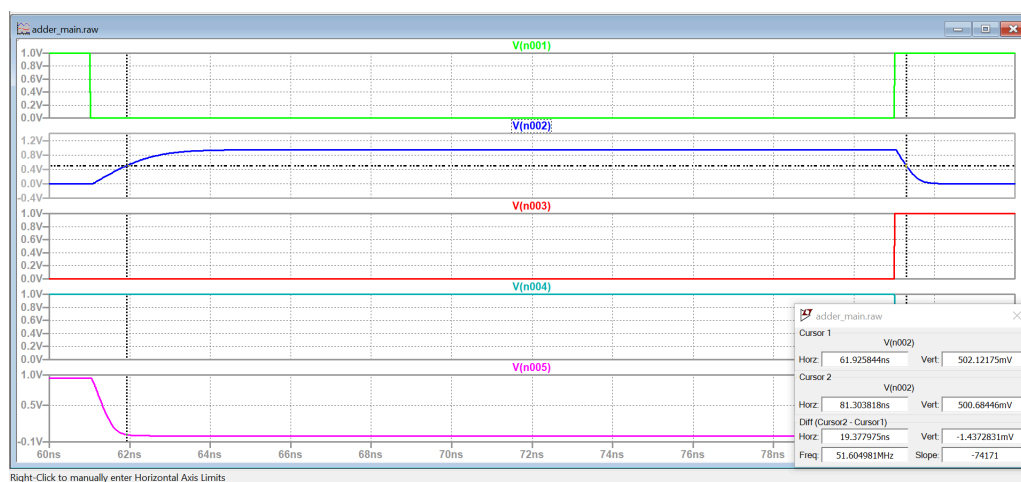


Рисунок 18 – Длительность импульса одноразрядного сумматора

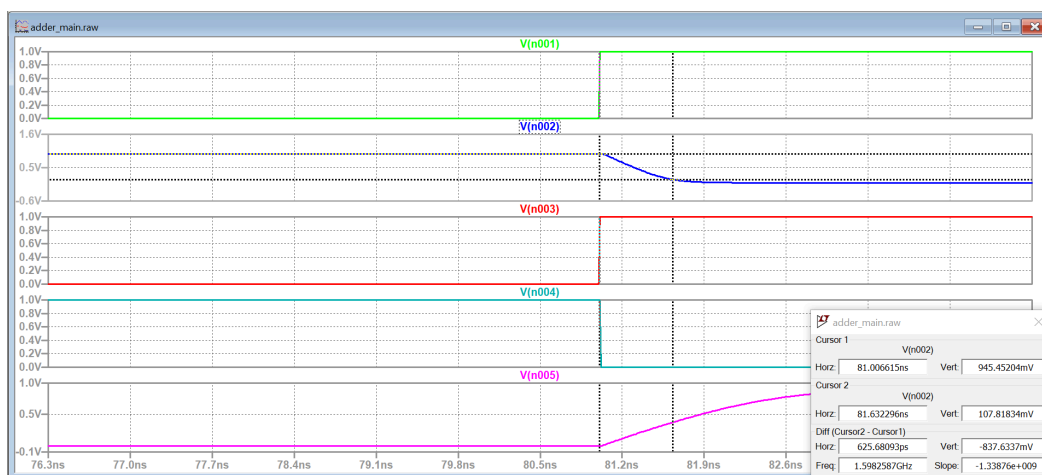


Рисунок 19 – Задержка распространения сигнала (спада)
одноразрядного сумматора

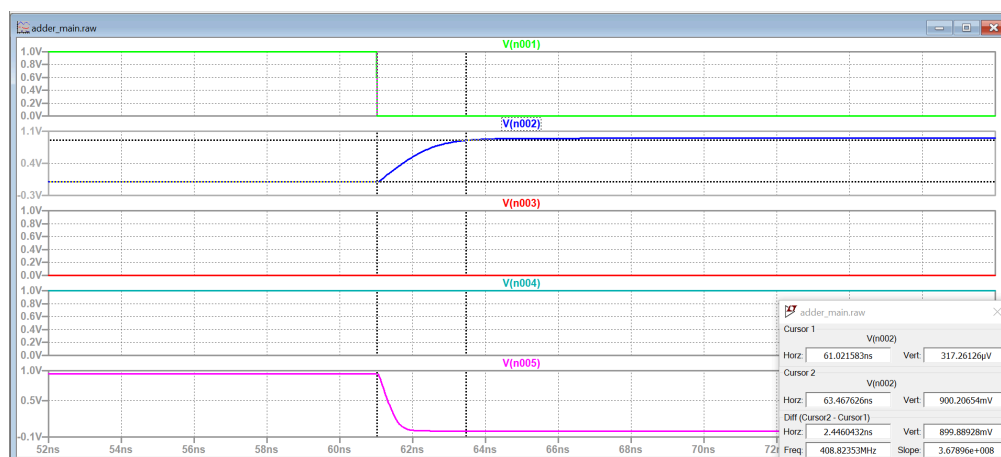


Рисунок 20 – Задержка распространения сигнала (фронта)
одноразрядного сумматора

Таблица 2 – Тестирование одноразрядного сумматора

Величина	T1, ns	T2, ns	Результат, ns
Длительность фронта	63.48	61.23	2.25ns
Длительность спада	81.63	81.06	0.557ns
Длительность импульса	81.30	61.95	19.37ns
Задержка распространения по фронту	63.46	61.02	2.44ns
Задержка распространения по спаду	81.63	81.006	0.625ns

7. Создайте символ для построенного БОЭ “Четырехразрядный двоичный сумматор с переносом”.

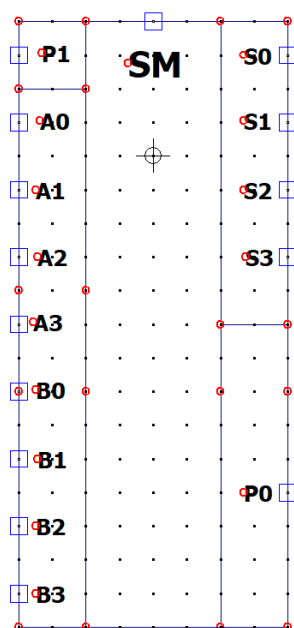


Рисунок 21 – Символ БОЭ “Четырехразрядный двоичный сумматор

8. Проведите моделирование работы схемы и определите задержку распространения сигнала через БОЭ “Четырехразрядный двоичный сумматор с переносом”.

На рисунке 22 представлена схема тестирования БОЭ “Четырехразрядный двоичный сумматор с переносом”.

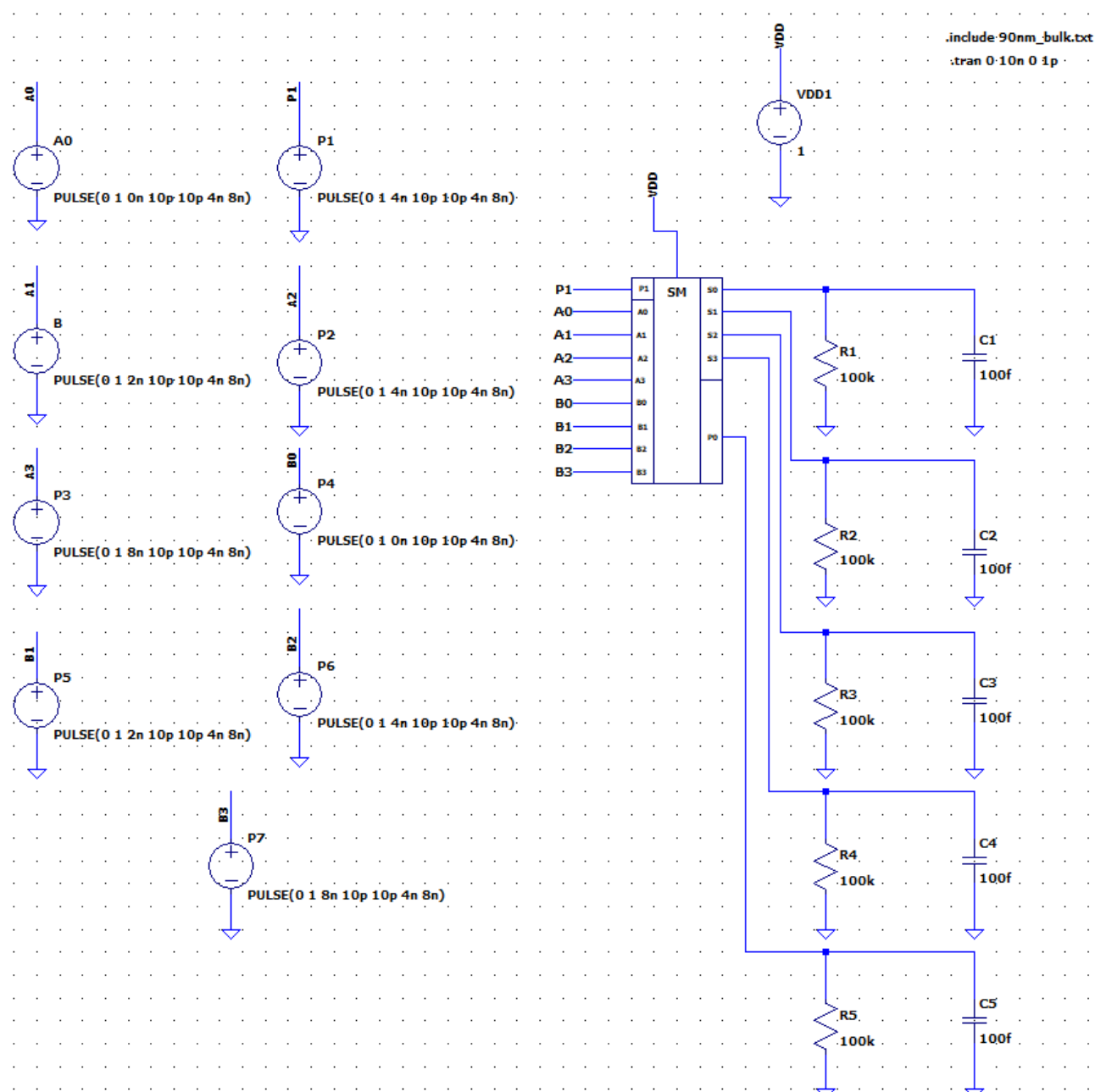


Рисунок 22 – Схема тестирования БОЭ “Четырехразрядный двоичный сумматор с переносом”

На рисунках 23 и 24 изображены временные диаграммы – результат моделирования схемы тестирования четырехразрядного двоичного сумматора с переносом.

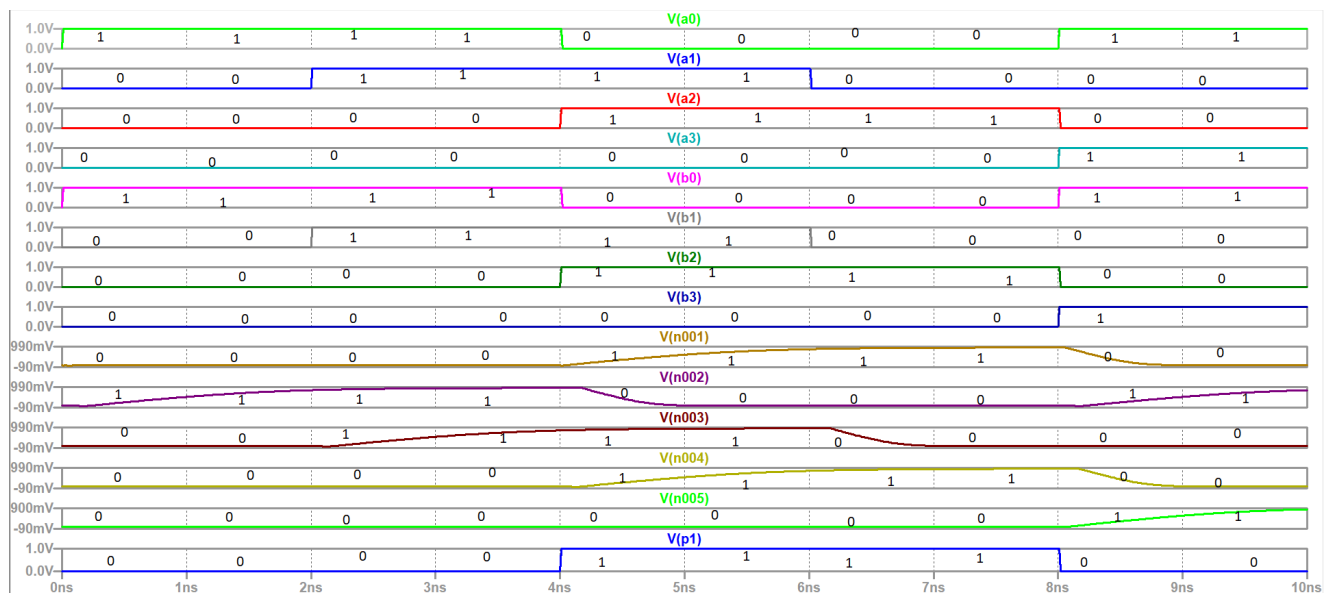


Рисунок 23 – Временная диаграмма тестирования четырехразрядного сумматора

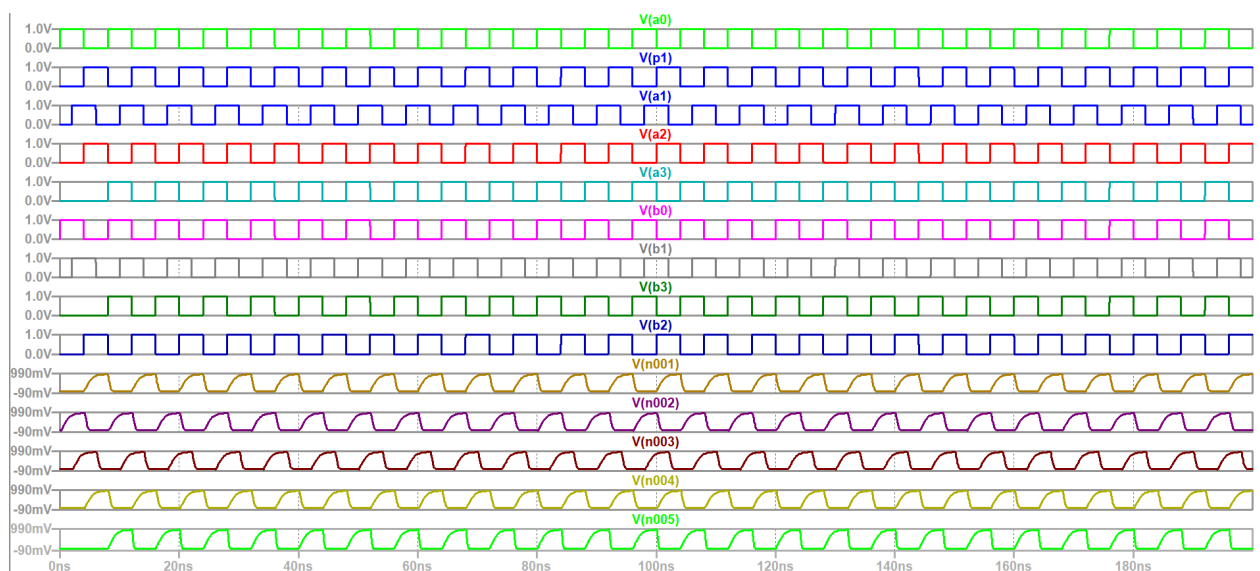


Рисунок 24 – Временная диаграмма тестирования четырехразрядного сумматора

На рисунках ниже представлены результаты измерения величин. В таблице 3 приведены итоговые значения.

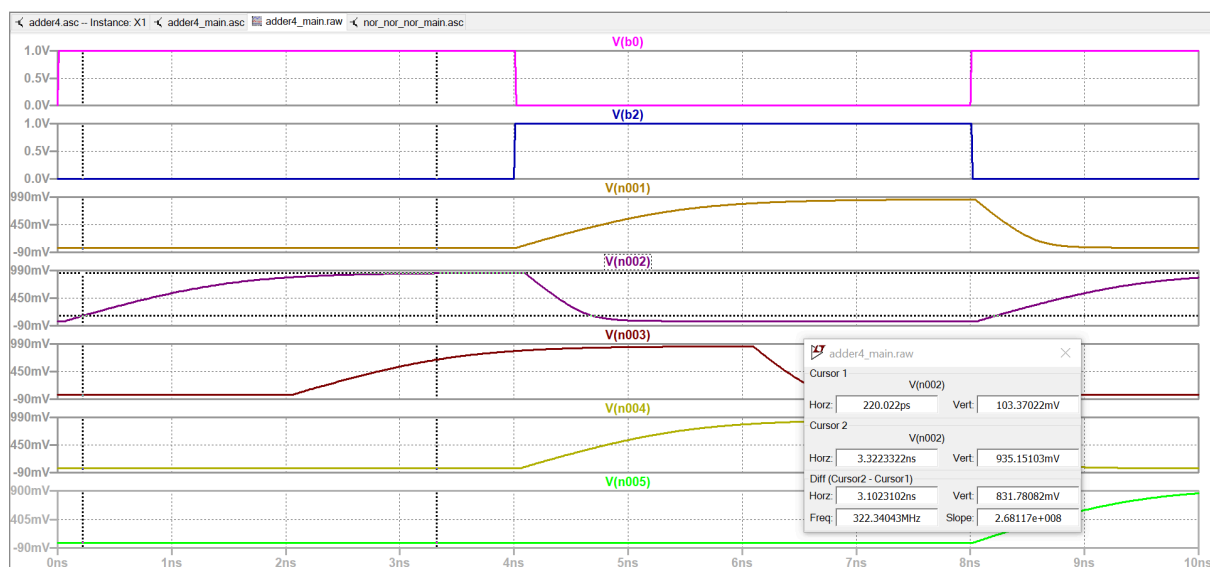


Рисунок 25 – Длительность фронта четырехразрядного сумматора

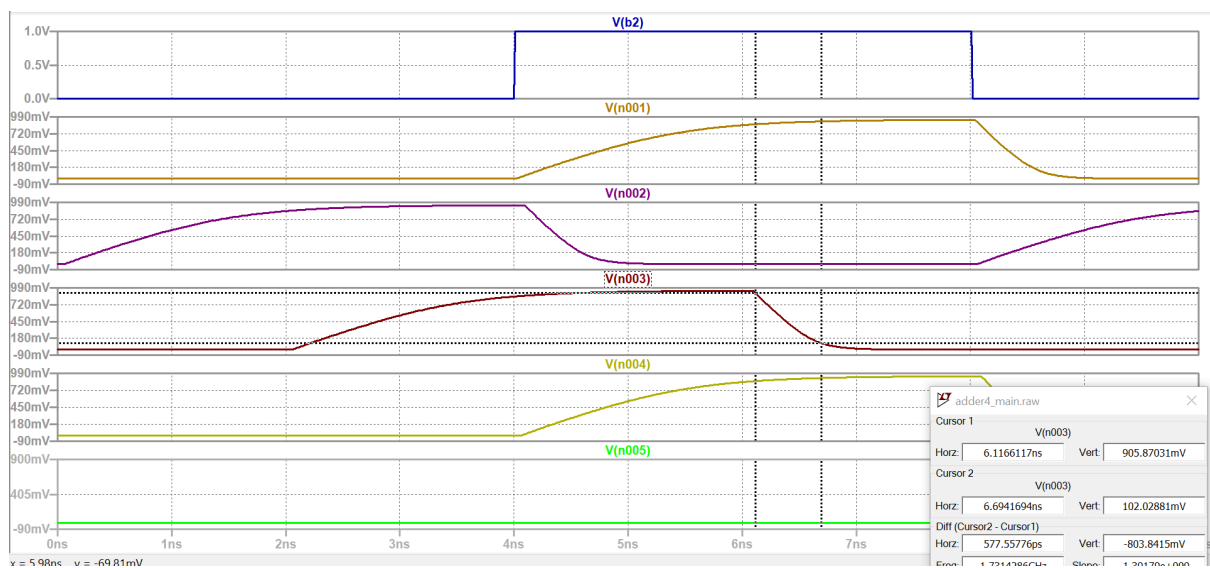


Рисунок 26 – Длительность спада четырехразрядного сумматора

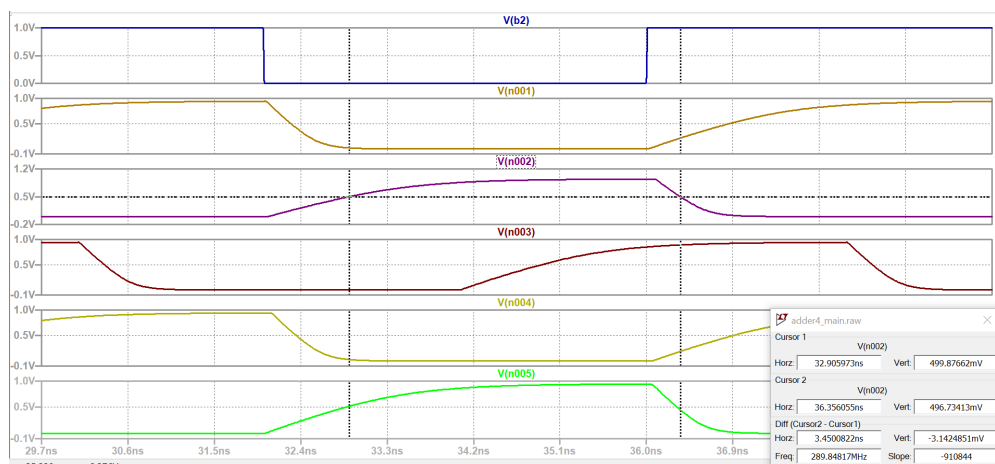


Рисунок 27 – Длительность импульса четырехразрядного сумматора

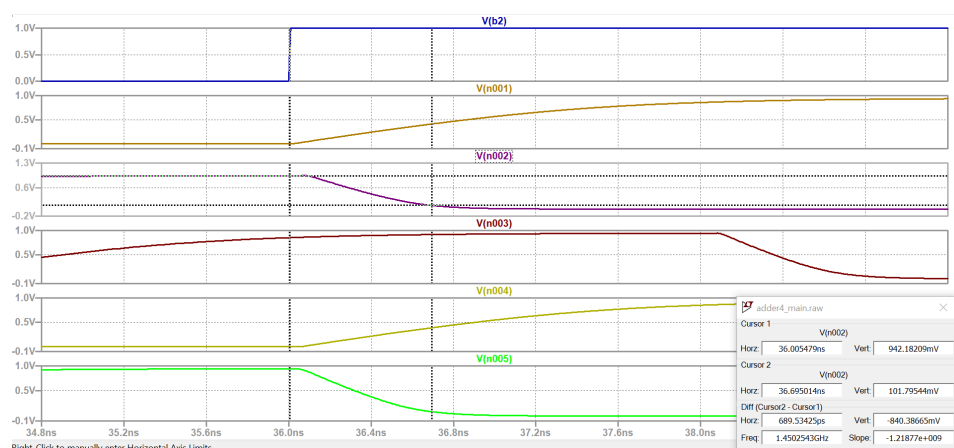


Рисунок 28 – Задержка распространения сигнала (спада) четырехразрядного сумматора

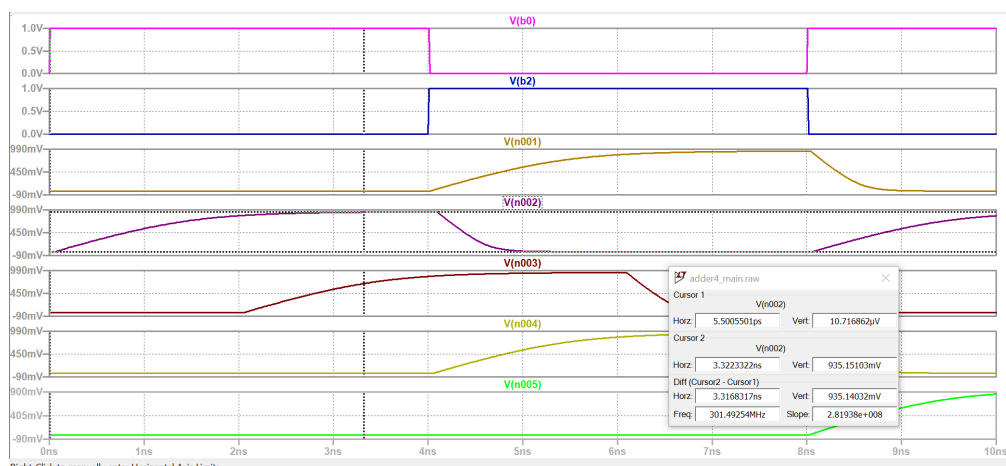


Рисунок 29 – Задержка распространения сигнала (фронта) четырехразрядного сумматора

Таблица 3 – Тестирование четырехразрядного сумматора

Величина	T1, ns	T2, ns	Результат
Длительность фронта	3.32	0.22	3.102ns
Длительность спада	6.69	6.11	0.577ns
Длительность импульса	36.35	32.9	3.45ns
Задержка распространения по фронту	3.432	0.5	3.392ns
Задержка распространения по спаду	36.69	36.0	0.689ns

9. Определите максимальную частоту изменения входных сигналов, при которой построенная схема **“Четырехразрядный двоичный сумматор с переносом”** сохраняет работоспособность.

Максимальная частота изменения входных сигналов:

$$\nu = 1 / (T_{front} + T_{rec}) = 1 / (3.102 + 0.57) = 1 / 3.5 = 0,285 \text{ ГГц} = 285 \text{ МГц}.$$

Часть 2

1. Опишите на Verilog HDL на вентиляльном уровне модуль, реализующий функцию БОЭ в указанном логическом базисе согласно варианту задания

Ниже (на рисунке 30) приведен код (реализация) модуля для одноразрядного сумматора с переносом на Verilog.

```
`timescale 1ns / 1ps
// Module Name: adder
// Description: This module is a sequential transfer adder.
module adder(
    input p1,
    input a,
    input b,
    output s,
    output p0
);
    wire nor_a_b, nor_a_ab, nor_b_ab, nor_aab_bab,
    nor_p1__aab_bab, nor_p1__p1__aab_bab, nor_aab_bab__p1__aab_bab;

    nor(nor_a_b, a, b);
    nor(nor_a_ab, a, nor_a_b);
    nor(nor_b_ab, b, nor_a_b);
    nor(nor_aab_bab, nor_b_ab, nor_a_ab);
    nor(nor_p1__aab_bab, p1, nor_aab_bab);
    nor(nor_p1__p1__aab_bab, p1, nor_p1__aab_bab);
    nor(nor_aab_bab__p1__aab_bab, nor_aab_bab, nor_p1__aab_bab);
    nor(s, nor_aab_bab__p1__aab_bab, nor_p1__p1__aab_bab); // result s
    nor(p0, nor_a_b, nor_p1__aab_bab); // result p0
endmodule
```

Рисунок 30 – Модуль одноразрядного сумматора с переносом

Ниже (на рисунках 31 и 32) приведен код (реализация) для четырехразрядного сумматора с переносом.

```
`timescale 1ns / 1ps

// Module Name: adder4

// Description: This module is four-digit adder.

module adder4(

    input [3:0] a,
    input [3:0] b,
    input p1,
    output [3:0] s,
    output p0

);
    wire add1_p0, add2_p0, add3_p0;

    adder adder0(
        .a(a[0]),
        .b(b[0]),
        .p1(p1),
        .s(s[0]),
        .p0(add1_p0)
    );

    adder adder1(
        .a(a[1]),
        .b(b[1]),
        .p1(add1_p0),
        .s(s[1]),
        .p0(add2_p0)
    );
```

Рисунок 31 – Модуль одноразрядного сумматора с переносом

```
adder adder2(  
    .a(a[2]),  
    .b(b[2]),  
    .p1(add2_p0),  
    .s(s[2]),  
    .p0(add3_p0)  
);  
  
adder adder3(  
    .a(a[3]),  
    .b(b[3]),  
    .p1(add3_p0),  
    .s(s[3]),  
    .p0(p0)  
);  
endmodule
```

Рисунок 32 – Модуль одноразрядного сумматора с переносом

2. Разработайте тестовое окружение для созданного модуля.

Ниже (на рисунках 33 – 35) приведен код модуля тестирования. Для тестирования был разработан промежуточный модуль для сумматор adder4_calc.

```

`timescale 1ns / 1ps

module adder4_calc(
    input [3:0] a,
    input [3:0] b,
    input p1,
    output [3:0] s,
    output p0);
    assign {p0, s} = a + b + p1;
endmodule

`timescale 1ns / 1ps

module adder4_test();
    reg [3:0] a_in, b_in;
    reg p1_in;
    wire [3:0] s_real;
    wire p0_real;

    adder4 adder_real(
        .a(a_in),
        .b(b_in),
        .p1(p1_in),
        .s(s_real),
        .p0(p0_real)
    );

    wire [3:0] s_expected;
    wire p0_expected;
    adder4_calc adder_expected(

```

Рисунок 33 – Модуль тестирования


```

        .a(a_in),
        .b(b_in),
        .p1(p1_in),
        .s(s_expected),
        .p0(p0_expected)
    );
integer i, j, k;

wire [4:0] result_real;
wire [4:0] result_expected;

assign result_real = {s_real, p0_real};
assign result_expected = {s_expected, p0_expected};

initial begin
    for (k = 0; k < 2; k = k + 1) begin
        for(i = 0; i < 16; i = i + 1) begin
            for(j = 0; j < 16; j = j + 1) begin
                a_in = i;
                b_in = j;
                p1_in = k;
                #10
                if(result_real != result_expected) begin
                    $display("TEST FAILED %b + %b != %b", i, j, result_expected);
                end else begin
                    $display("TEST PASSED %b + %b", i, j);
                end
            end
        end
    end
    #10 $stop;
end
endmodule

```

Рисунок 34 - Модуль тестирования

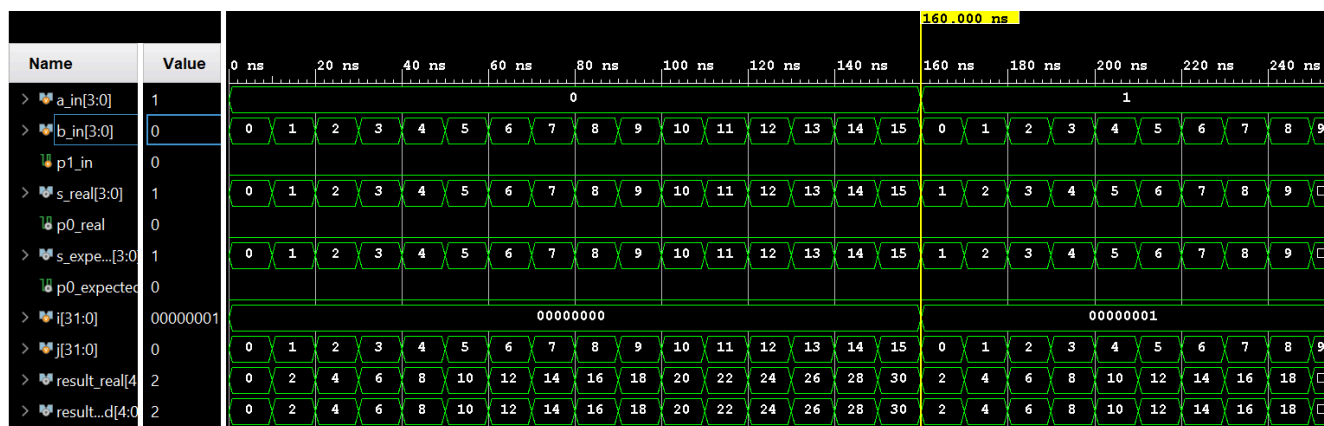


Рисунок 37 – Временная диаграмма тестирования сумматора

Выводы

В результате выполнения лабораторной работы я ознакомилась и поработала с инструментами LTSpice и Vivado. С помощью Vivado я изучила Verilog и построила временные диаграммы для разработанных модулей для четырехразрядного сумматора с переносом.

В результате, были подсчитаны задержки распространения для базового элемента NOR. Она составила для фронта - **1.96ns**, для спада - **0.28ns**.

Задержка распространения для одноразрядного сумматора составила для фронта - **2.44ns**, для спада - **0.625ns**.

Для четырехразрядного сумматора задержка распространения составила для фронта - **3.392ns**, для спада - **0.689ns**.

Важно заметить, что несмотря на количество базисных элементов NOR внутри схемы (их 9), задержка увеличивается не так уж и сильно. Задержка распространения возникает из-за переключения транзисторов и других факторов.

В приложении А можно найти измерения задержек на базовом элементе без нагрузки при питании от источника и при питании через другой базовый элемент. Приведенные измерения объясняют разницу в задержках распространения базового элемента и БОЭ.

Приложение А

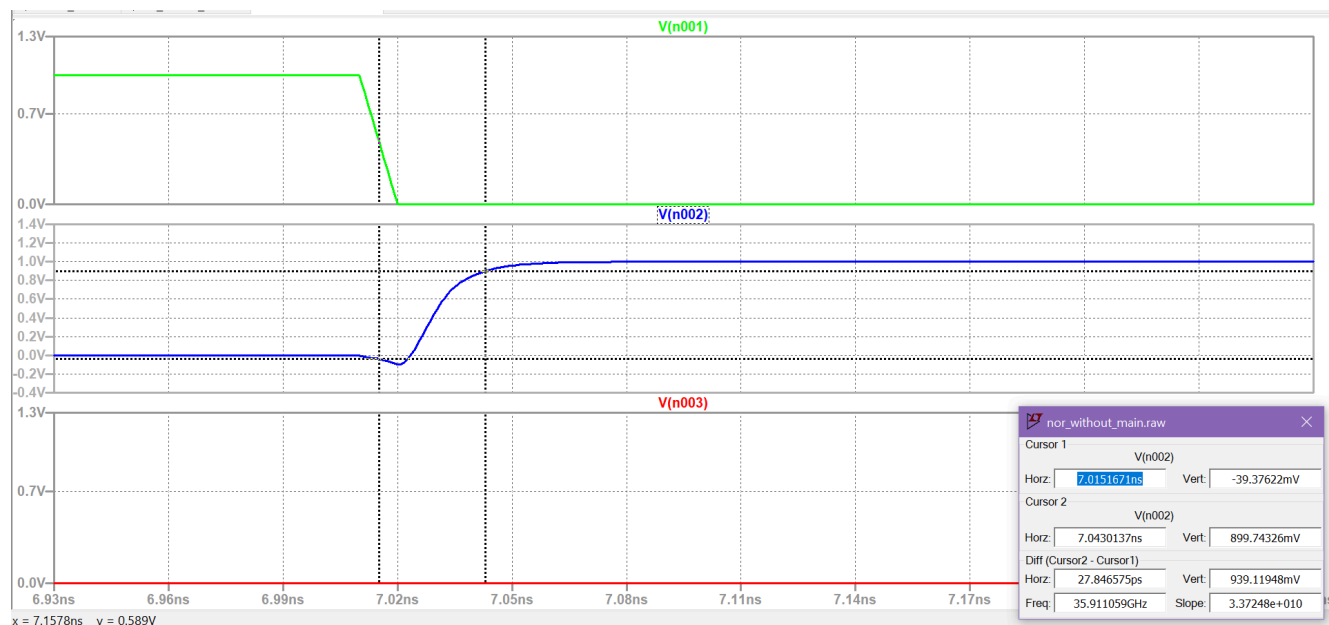


Рисунок А1 – Задержка распространения NOR по фронту от V без нагрузок 28ps

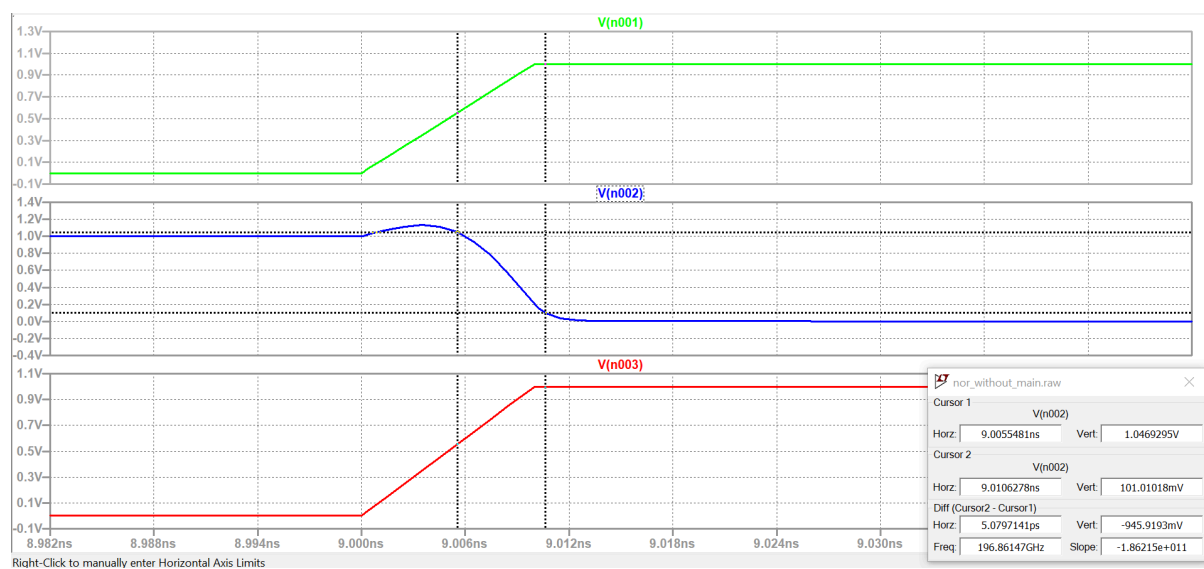


Рисунок А2 – Задержка распространения NOR по спаду от V без нагрузок 5ps

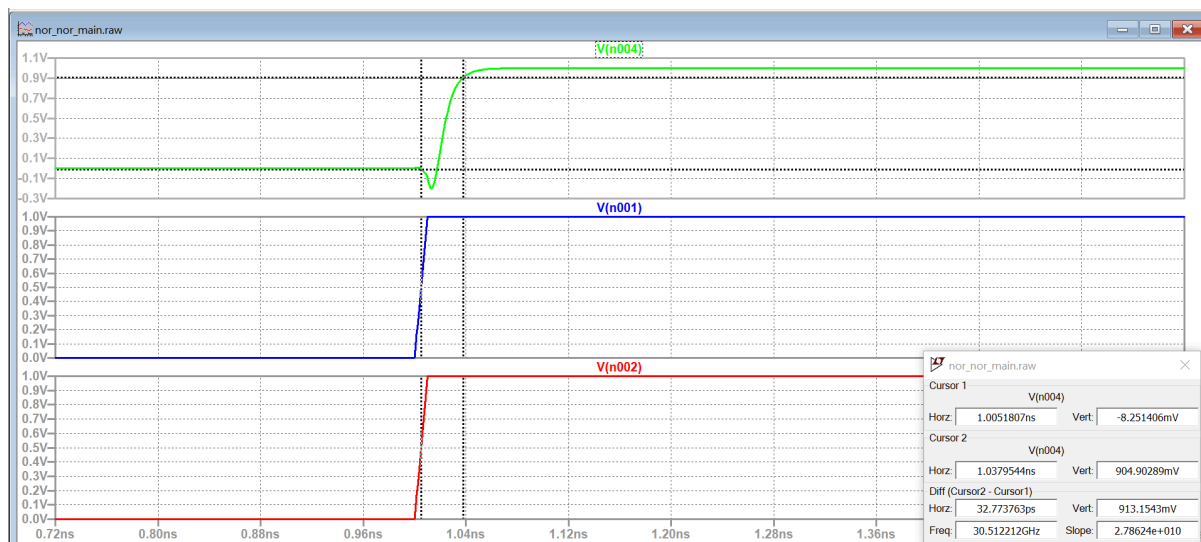


Рисунок А3 - Задержка распространения NOR по фронту от NOR без нагрузок 33ps

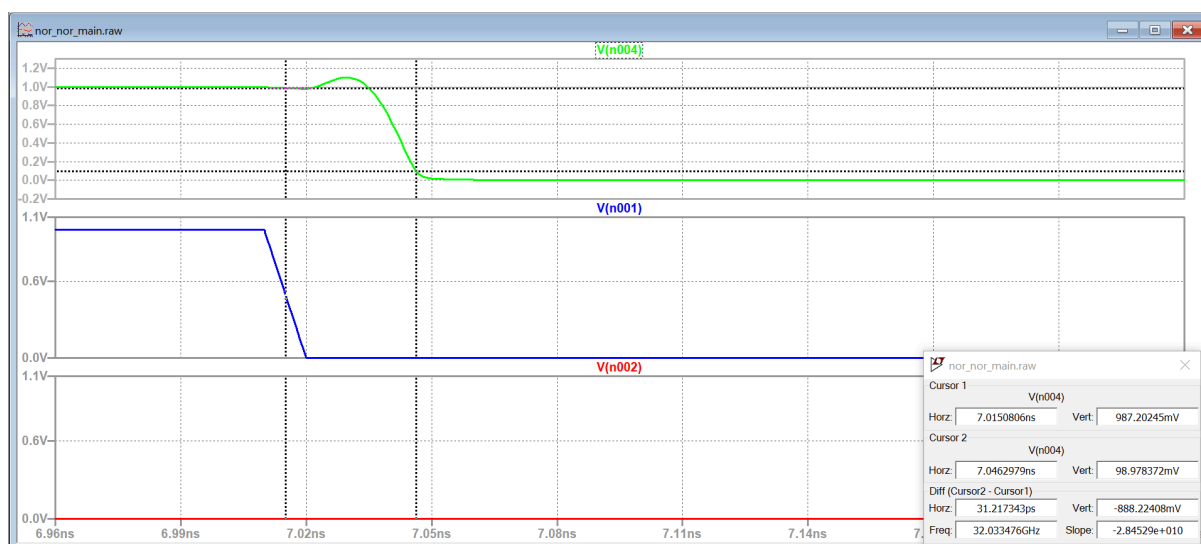


Рисунок А4 - Задержка распространения NOR по спаду от NOR без нагрузок 32ps

Критический путь для одноразрядного сумматора равен 11 пор элементов.

- Общая задержка по фронту $28\text{ps} + 10 \cdot 33\text{ps} = 358\text{ps}$.
Для фронта: у NOR – 1.96ns, у БОЭ – 2.47ns.

- Общая задержка по спаду $5\text{ps} + 10 \cdot 32\text{ps} = 325\text{ps}$.

Для спада: у NOR – 0.28ns, у БОЭ – 0.689ns.

Критический путь для четырехразрядного сумматора равен 44 пор элементов.

- Общая задержка по фронту $28 + 43 \cdot 33 = 1447\text{ps}$.
Для фронта: у NOR – 1.96ns, у БОЭ – 3.392ns.