

МИНИСТЕРСТВО ОБРАЗОВАНИЯ И НАУКИ РФ

Федеральное государственное автономное
образовательное учреждение высшего образования

«Национальный исследовательский университет ИТМО»

**ФАКУЛЬТЕТ ПРОГРАММНОЙ ИНЖЕНЕРИИ И КОМПЬЮТЕРНОЙ
ТЕХНИКИ**



ЛАБОРАТОРНАЯ РАБОТА №3

по дисциплине

"Функциональная схемотехника"

Вариант №9

Выполнила:

студентка группы Р33082

Савельева Диана Александровна

Преподаватель:

Кустарев Павел Валерьевич

Санкт-Петербург, 2024

1. Цель работы

Получить навыки разработки цифровых устройств на базе программируемых логических интегральных схем (ПЛИС).

2. Задание (Вариант №9)

Порядок выполнения работы

1. Доработайте схему функционального блока, разработанного в лабораторной работе №2, в соответствии с рисунком 3.1. Необходимо добавить возможность работы с блоком посредством дискретных портов ввода/вывода, подключенных к переключателям, светодиодам и кнопкам платы Nexys 4 DDR:

- значения операндов должны вводиться с помощью переключателей (SW);
- результат должен выводиться на светодиоды (LEDS);
- с целью повышения удобства работы пользователя допускается использование дополнительных кнопок, переключателей и светодиодов;
- интерфейс пользователя должен обеспечивать возможность многократного проведения вычислений без постоянного нажатия на кнопку сброса.

2. Разработайте тестовое окружение и проведите моделирование.

3. Проведите синтез и размещение схемы для ПЛИС XC7A100T-1CSG324C, входящей в состав отладочной платы Nexys 4 DDR.

4. Определите количество и тип используемых ресурсов ПЛИС после размещения схемы.

5. Проверьте работоспособность схемы на отладочной плате Nexys 4 DDR.

6. Составьте отчет по результатам выполнения работы.

Вариант	Функция	Ограничения
9	$y = \sqrt[3]{a} + \sqrt{b}$	2 сумматора и 1 умножитель

3. Схему (рисунок) сопряжения разработанного блока и устройств ввода/вывода (переключателей, светодиодов, кнопок и др.). Копирование схемы из задания не допускается. На схеме должно быть указано актуальное количество используемых устройств ввода/вывода.

Для заданной функции используется 25 устройств ввода/вывода:

- input [15:0] SW – устройства ввода значений. С помощью данных устройств осуществляется ввод двух аргументов а и b. Аргумент а вводится для устройств SW [7:0]. Аргумент b вводится для устройств SW [15:8]. Верхнее положение переключателя соответствует логической 1, нижнее – 0.
- input CLK - устройство, посылающее синхроимпульсы.
- input BTNC – устройство (кнопка), которое сообщает о начале вычислений в блоке. Сигнал старта расчета функции start_i подается по нажатию на BTNC (PIN N17).
- input BTNU– устройство (кнопка), которое сообщает о сбросе. Активируется нажатием на кнопку BTNU (PIN M18).
- output BUSY – устройство, сообщающее о занятости блока вычислениями (светодиод LED16).
- output [4:0] LEDS – устройства, которые хранят и выводят результат вычислений блока.

На рисунках ниже представлена конфигурация для сопряжения разработанного блока функции и устройств ввода/вывода.

▼ Scalar ports (4)							
BTNC	IN		N17	▼	<input checked="" type="checkbox"/>	14	LVC MOS33* ▼
BTNU	IN		M18	▼	<input checked="" type="checkbox"/>	14	LVC MOS33* ▼
BUSY	OUT		R12	▼	<input checked="" type="checkbox"/>	14	LVC MOS33* ▼
CLK	IN		E3	▼	<input checked="" type="checkbox"/>	35	LVC MOS33* ▼

Рисунок 1 - Конфигурация для сопряжения разработанного блока функции и устройств ввода/вывода

▼ LEDS (5)	OUT			<input checked="" type="checkbox"/>	(Multiple)	LVC MOS33* ▼
LEDS[4]	OUT		R18	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
LEDS[3]	OUT		N14	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
LEDS[2]	OUT		J13	▼	<input checked="" type="checkbox"/>	15 LVC MOS33* ▼
LEDS[1]	OUT		K15	▼	<input checked="" type="checkbox"/>	15 LVC MOS33* ▼
LEDS[0]	OUT		H17	▼	<input checked="" type="checkbox"/>	15 LVC MOS33* ▼

Рисунок 2 - Конфигурация для сопряжения разработанного блока функции и устройств ввода/вывода

▼ SW (16)	IN			<input checked="" type="checkbox"/>	(Multiple)	LVC MOS33* ▼
SW[15]	IN		V10	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[14]	IN		U11	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[13]	IN		U12	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[12]	IN		H6	▼	<input checked="" type="checkbox"/>	35 LVC MOS33* ▼
SW[11]	IN		T13	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[10]	IN		R16	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[9]	IN		U8	▼	<input checked="" type="checkbox"/>	34 LVC MOS33* ▼
SW[8]	IN		T8	▼	<input checked="" type="checkbox"/>	34 LVC MOS33* ▼
SW[7]	IN		R13	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[6]	IN		U18	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[5]	IN		T18	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[4]	IN		R17	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[3]	IN		R15	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[2]	IN		M13	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[1]	IN		L16	▼	<input checked="" type="checkbox"/>	14 LVC MOS33* ▼
SW[0]	IN		J15	▼	<input checked="" type="checkbox"/>	15 LVC MOS33* ▼

Рисунок 3 - Конфигурация для сопряжения разработанного блока функции и устройств ввода/вывода

На рисунке 4 представлена схема разработанного блока функции.

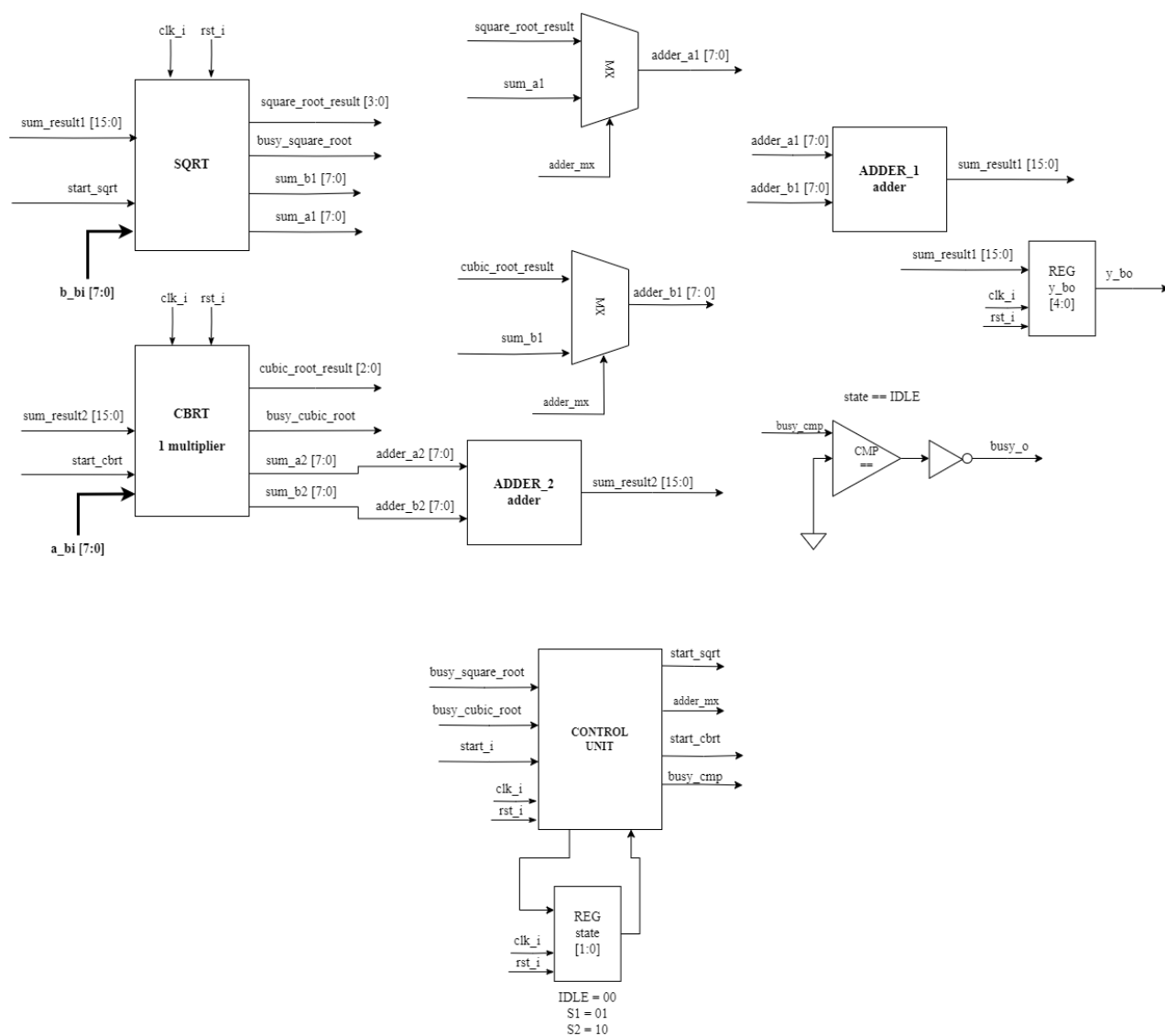


Рисунок 4 – Схема разработанного блока функции

На рисунке 5 представлена схема сопряжения разработанного блока и устройств ввода/вывода.

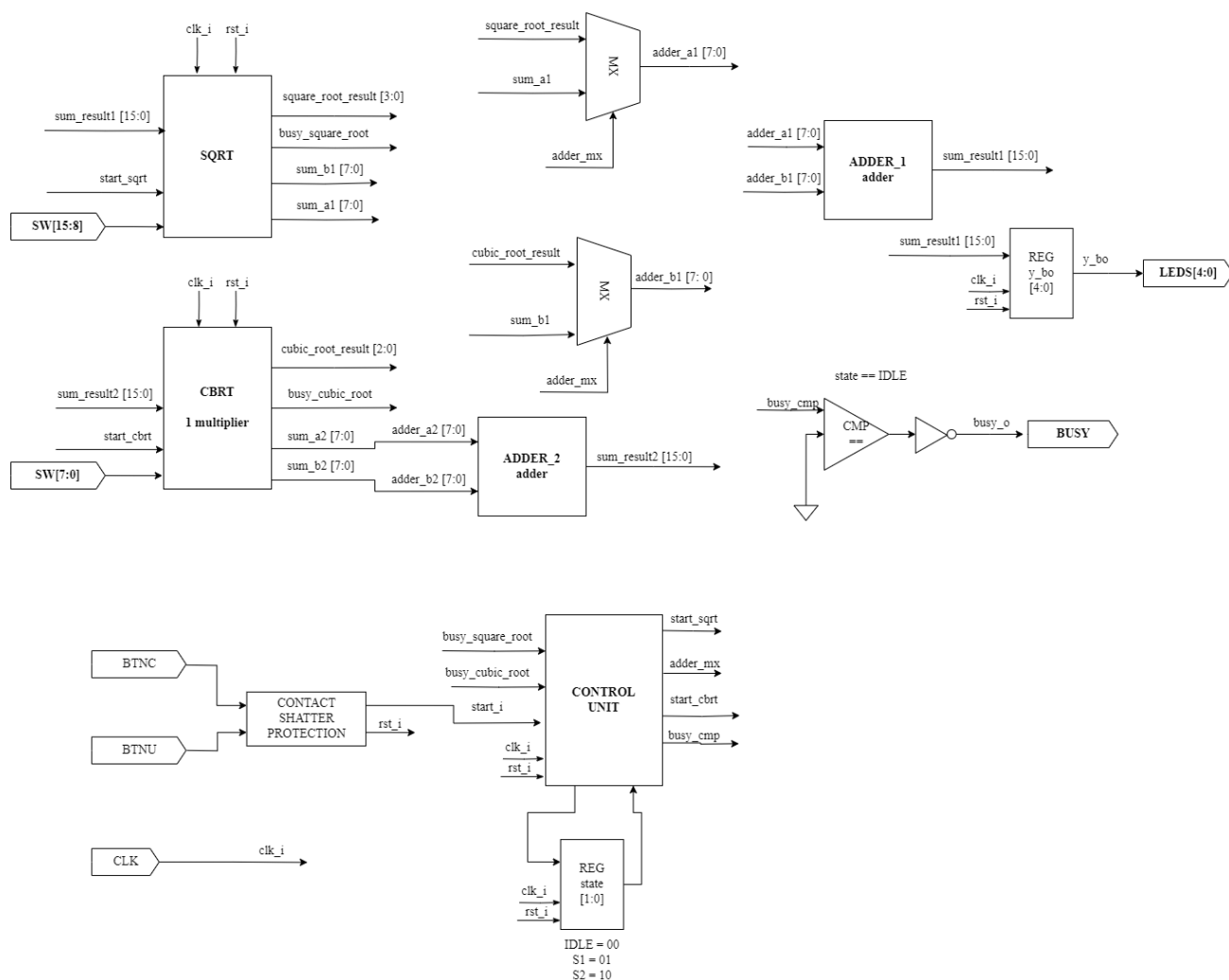


Рисунок 5 - Схема сопряжения разработанного блока и устройств ввода/вывода

4. Описание алгоритма работы пользователя. Приводится схема алгоритма и краткое описание порядка взаимодействия пользователя с устройством, то есть указывается, какие кнопки/переключатели в какой последовательности нажимать/переключать, где смотреть и как интерпретировать результат работы

На рисунке ниже представлена последовательность действий пользователя с платой для получения результата работы блока функции $y = \sqrt[3]{a} + \sqrt{b}$. Далее будет представлено словесное описание.

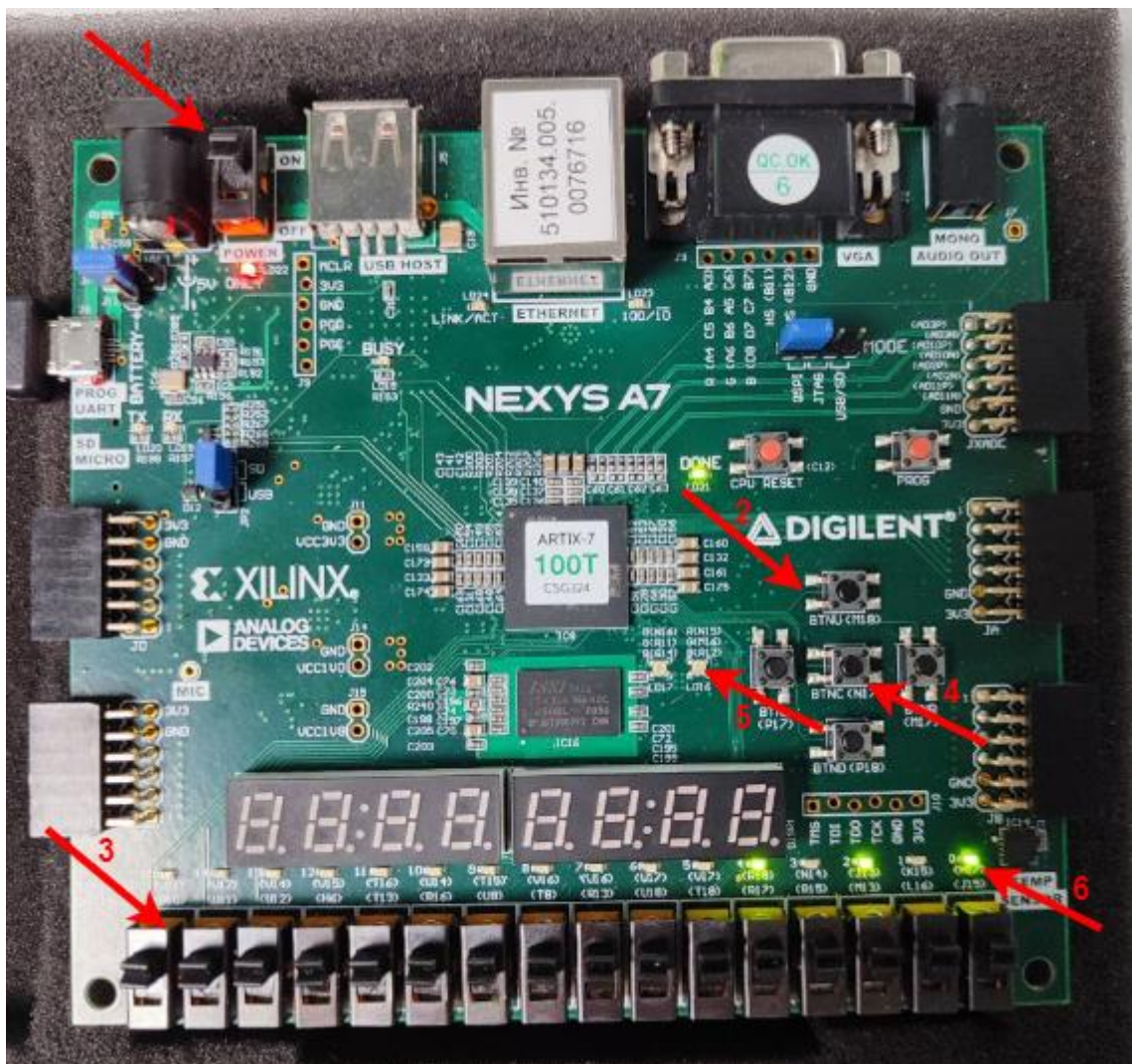


Рисунок 6 – Последовательность действий с платой

Для получения результата работы блока функции $y = \sqrt[3]{a} + \sqrt{b}$. необходимо:

1. Убедиться, что плата включена и готова к работе. Если переключатель установлен в значение, которое показано на рисунке 6, значит плата готова для использования.
2. Далее необходимо нажать кнопку BTNU. Она сбросит результаты предыдущего вычисления.
3. Далее необходимо выставить значения a и b на переключателях SW. Аргумент a вводится для устройств SW [7:0] (левые 8 переключателей). Аргумент b вводится для устройств SW [15:8] (правые 8 переключателей). Верхнее положение переключателя соответствует логической 1, нижнее – 0.
4. Далее необходимо нажать на кнопку BTNC для начала вычисления результата.
5. На светодиоде LED16 можно увидеть, занят ли блок функции вычислениями. Если светодиод загорелся, значит, идет расчет значения.
6. Как только светодиод LED16 перестал гореть, результат вычислений появляется на 5 светодиодах LEDS справа. Результат интерпретируется как число в двоичной системе счисления. Если светодиод LEDS горит – 1, иначе – 0. Результат интерпретируется слева направо.

5. Результат тестирования блока в симуляторе (временные диаграммы).

Для модуля функции предусмотрено 10 тестов с различным набором входных данных. На рисунке представлен скриншот с частью пройденных тестов.

```
Test passed. On values : a=126;b= 26. Expected      10 found 10.
Test passed. On values : a=216;b=255. Expected      21 found 21.
Test passed. On values : a=255;b= 24. Expected      10 found 10.
Test passed. On values : a= 19;b= 81. Expected      11 found 11.
Test passed. On values : a= 96;b= 50. Expected      11 found 11.
Test passed. On values : a=  8;b=100. Expected      12 found 12.
Test passed. On values : a= 28;b=225. Expected      18 found 18.
Test passed. On values : a=  0;b=  1. Expected       1 found  1.
Test passed. On values : a=218;b=196. Expected      20 found 20.
Test passed. On values : a= 93;b= 10. Expected       7 found  7.
All tests passed!
```

Рисунок 7 - Тестирование модуля функции

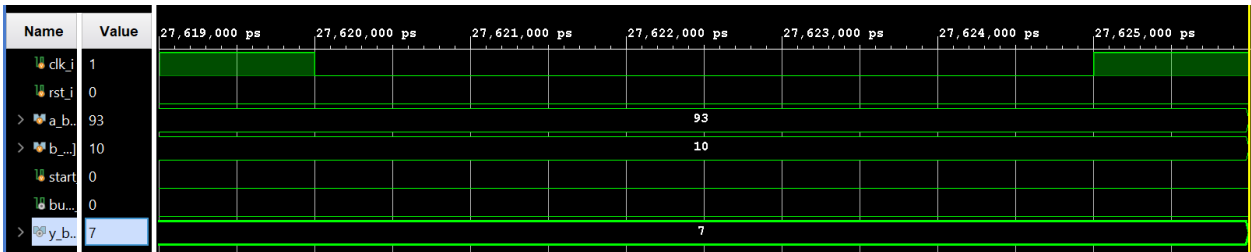


Рисунок 8 - Временная диаграмма тестирования модуля функции

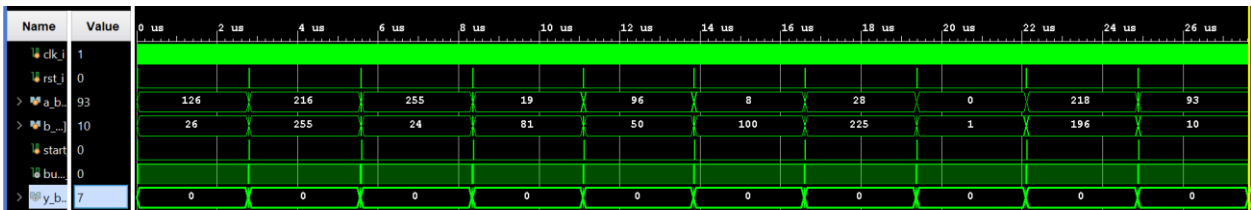


Рисунок 9 - Временная диаграмма тестирования модуля функции

6. Таблицу с данными об использовании ресурсов ПЛИС.

На рисунках ниже представлены таблицы с данными об использовании ресурсов ПЛИС.

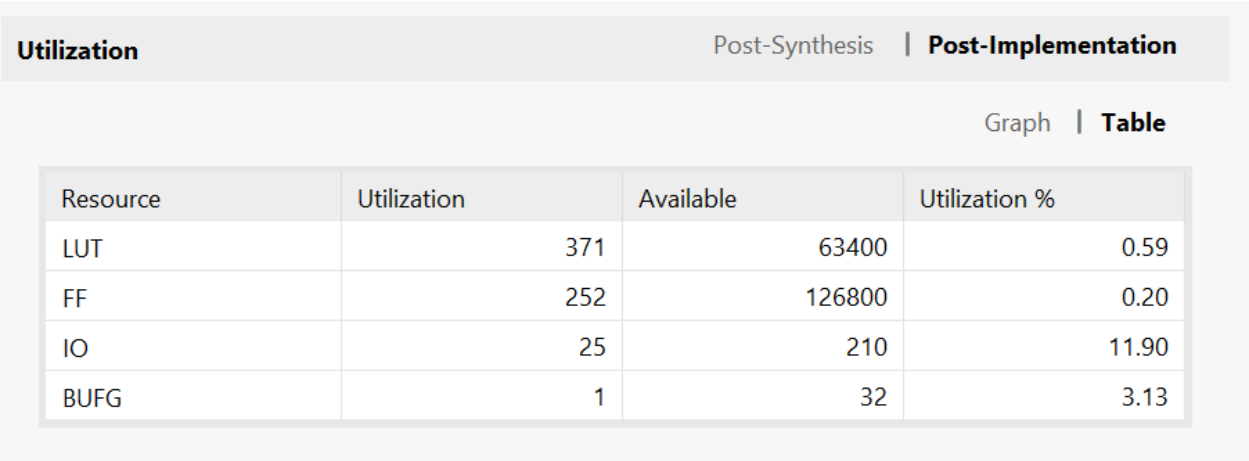


Рисунок 10 – Данные об использовании ресурсов ПЛИС

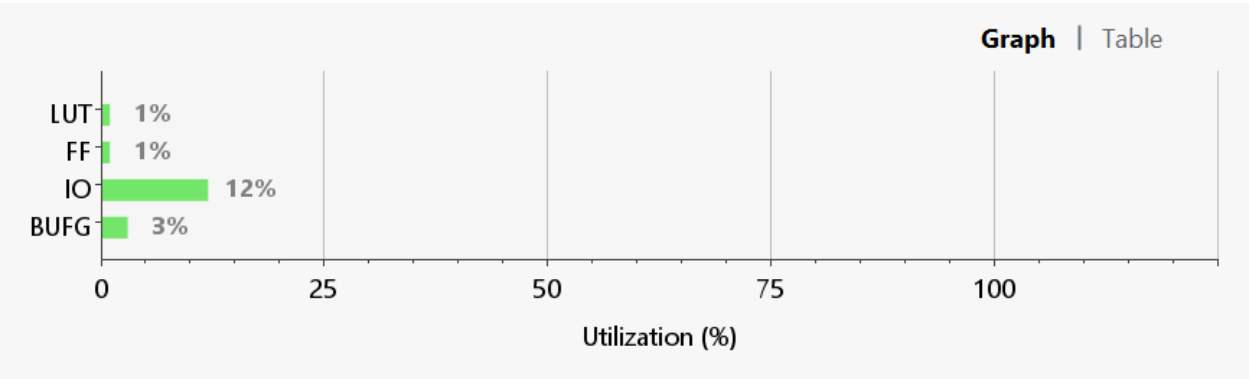


Рисунок 11 – Данные об использовании ресурсов ПЛИС

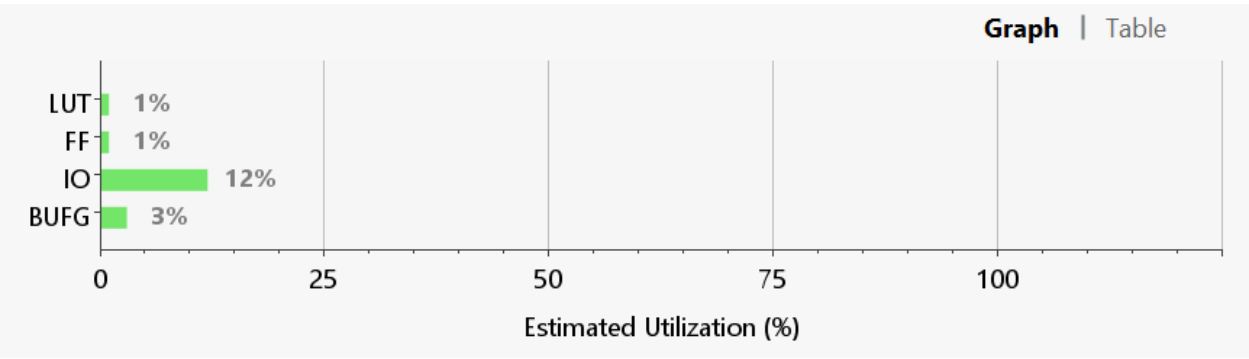


Рисунок 12 – Данные об использовании ресурсов ПЛИС

Utilization				Post-Synthesis	Post-Implementation
				Graph	Table
Resource	Estimation	Available	Utilization %		
LUT	371	63400	0.59		
FF	252	126800	0.20		
IO	25	210	11.90		
BUFG	1	32	3.13		

Рисунок 13 – Данные об использовании ресурсов ПЛИС

Status: ✔ Complete Messages: ⚠ 17 warnings Part: xc7a100tcs9324-1 Strategy: Vivado Synthesis Defaults Report Strategy: Vivado Synthesis Default Reports Incremental synthesis: None				Status: ✔ Complete Messages: ⚠ 1 warning Part: xc7a100tcs9324-1 Strategy: Vivado Implementation Defaults Report Strategy: Vivado Implementation Default Reports Incremental implementation: None			
DRC Violations				Timing			
Summary: ⚠ 1 warning Implemented DRC Report				Setup Hold Pulse Width			
				Worst Negative Slack (WNS): 4.908 ns Total Negative Slack (TNS): 0 ns Number of Failing Endpoints: 0 Total Number of Endpoints: 581 Implemented Timing Report			
Utilization				Power			
Post-Synthesis Post-Implementation				Summary On-Chip			
Graph Table				Total On-Chip Power: 0.107 W Junction Temperature: 25,5 °C Thermal Margin: 59,5 °C (12,9 W) Effective θJA: 4,6 °C/W Power supplied to off-chip devices: 0 W Confidence level: Low Implemented Power Report			
Resource	Utilization	Available	Utilization %				
LUT	371	63400	0.59				
FF	252	126800	0.20				
IO	25	210	11.90				
BUFG	1	32	3.13				

Рисунок 14 – Данные об использовании ресурсов ПЛИС

Tcl Console Messages Log Reports Design Runs																
Q [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon] [icon]																
Name	Constraints	Status	WNS	TNS	WHS	THS	TPWS	Total Power	Failed Routes	LUT	FF	BRAMs	URAM	DSP	Start	Elapsed
✓ synth_1	constrs_1	synth_design Complete!								371	252	0.0	0	0	6/11/24, 12:50 PM	00:00:33
✓ impl_1	constrs_1	write_bitstream Complete!	4.908	0.000	0.056	0.000	0.000	0.107	0	371	252	0.0	0	0	6/11/24, 12:51 PM	00:01:26

Рисунок 15 – Данные об использовании ресурсов ПЛИС

7. Выводы по работе

В ходе выполнения лабораторной работы я познакомилась с Nexys A7, научилась синтезировать для нее конфигурацию по Verilog коду в программном комплексе Vivado. Также были созданы конфигурационные файлы для связки разработанного модуля с внешними устройствами.

В ходе работы я столкнулась с проблемой разработки модуля для защиты от дребезгов контактов, а также изначально были некоторые сложности при связке модуля функции с устройствами.

При имплементации выяснилось, что теоретическое количество устройств ввода-вывода совпадает с практическим количеством.