دانشکده مهندسی برق

امیررضا رهبر

شماره دانشجویی : ۴۰۰۴۱۲۲۳۸

فهرست مطالب

۱ - طراحی و پیاده‌سازی فیلتر دیجیتال FIR پایین‌گذر هفت‌ضربه‌ای ۵

۲ - هدف پروژه ۵

۳ - مبانی فیلتر FIR ۵

۴ - رابطه و ضرایب فیلتر طراحی‌شده ۵

۵ - معماری سخت‌افزاری فیلتر ۶

۶ - توضیح کد Verilog ۶

۷ - تست‌بنچ و سناریوهای آزمون ۸

۸ - نتایج شبیه‌سازی ۸

۸ - ۱ - پاسخ به ورودی پله‌ای ۸

۸ - ۲ - پاسخ به تغییر سریع ۹

۸ - ۳ - پاسخ ضربه ۱۰

۸ - ۴ - پاسخ به سینوسی کم‌فرکانس ۱۰

۸ - ۵ - پاسخ به سینوسی پرفرکانس ۱۱

۹ - تحلیل فرکانسی ساده ۱۱

۱۰ - جمع‌بندی ۱۲

فهرست اشکال

شکل ۱ - تعریف ماژول، ورودی‌ها، خروجی‌ها، خط تأخیر و ضرایب فیلتر ۶

شکل ۲ - پیاده‌سازی خط تأخیر و عملیات شیفت نمونه‌ها ۷

شکل ۳ - ضرب در ضرایب، جمع حاصل‌ضرب‌ها و تولید خروجی نهایی ۷

شکل ۴ - پاسخ فیلتر به ورودی پله‌ای ۹

شکل ۵ - پاسخ فیلتر به ورودی با تغییر سریع..... ۹

شکل ۶ - پاسخ ضربه فیلتر FIR ۱۰

شکل ۷ - پاسخ فیلتر به ورودی سینوسی کم‌فرکانس..... ۱۱

شکل ۸ - پاسخ فیلتر به ورودی سینوسی پرفرکانس..... ۱۱

فهرست جداول

جدول ۱ - بخش‌های اصلی معماری فیلتر FIR ۶

جدول ۲ - سناریوهای استفاده‌شده در تست‌بنچ ۸

۱ - طراحی و پیاده‌سازی فیلتر دیجیتال FIR پایین‌گذر هفت‌ضربه‌ای

این گزارش به طراحی، پیاده‌سازی و شبیه‌سازی یک فیلتر دیجیتال FIR پایین‌گذر در سطح انتقال ریجستری می‌پردازد. فرض شده است که نمونه‌برداری و تبدیل آنالوگ به دیجیتال پیش از ورود به ماژول انجام شده و ورودی فیلتر به صورت نمونه‌های دیجیتال ۸ بیتی در اختیار مدار قرار می‌گیرد.

۲ - هدف پروژه

هدف پروژه، پیاده‌سازی یک فیلتر دیجیتال پایین‌گذر با زبان Verilog و در سطح RTL است. فیلتر باید بتواند چند نمونه اخیر ورودی را در خط تأخیر نگه دارد، هر نمونه را در ضریب متناظر ضرب کند، حاصل‌ضرب‌ها را جمع کند و خروجی فیلترشده را تولید نماید. در این پروژه تمرکز اصلی بر پیاده‌سازی سخت‌افزاری با مفاهیم مطرح‌شده در درس مدار منطقی پیشرفته است.

۳ - مبانی فیلتر FIR

فیلتر FIR نوعی فیلتر دیجیتال است که خروجی آن از جمع وزن‌دار تعداد محدودی از نمونه‌های ورودی به دست می‌آید. در این نوع فیلتر، خروجی‌های قبلی در محاسبه خروجی جدید دخالت ندارند و به همین دلیل ساختار آن برای پیاده‌سازی سخت‌افزاری ساده، قابل فهم و مناسب برای طراحی RTL است.

$$y[n] = \Sigma\, h[k]\, x[n-k]$$

در رابطه بالا، x[n] نمونه ورودی، h[k] ضرایب فیلتر و y[n] خروجی فیلتر است. تعداد ضرایب مشخص می‌کند که فیلتر چند ضربه‌ای است.

۴ - رابطه و ضرایب فیلتر طراحی‌شده

در نسخه نهایی پروژه از یک فیلتر FIR هفت‌ضربه‌ای با ضرایب وزن‌دار و متقارن استفاده شده است. این انتخاب باعث می‌شود رفتار پایین‌گذر نسبت به میانگین‌گیر ساده واضح‌تر باشد، اما همچنان پیاده‌سازی در سطح جزوه باقی بماند.

$$y[n] = \frac{x[n] + 2x[n-1] + 3x[n-2] + 4x[n-3] + 3x[n-4] + 2x[n-5] + x[n-6]}{16}$$

$$h = [1, 2, 3, 4, 3, 2, 1]$$

$$\Sigma h[k] = 16$$

مجموع ضرایب برابر ۱۶ است؛ بنابراین تقسیم نهایی بر ۱۶ باعث می‌شود بهره فیلتر برای ورودی ثابت برابر یک باقی بماند. به بیان ساده، اگر ورودی پس از گذرای اولیه ثابت شود، خروجی نیز به همان مقدار ثابت خواهد رسید.

۵ - معماری سخت‌افزاری فیلتر

معماری سخت‌افزاری فیلتر از چهار بخش اصلی تشکیل شده است: خط تأخیر، واحد ضرب در ضرایب، جمع‌کننده و واحد مقیاس‌سازی خروجی. با هر لبه مثبت کلاک، نمونه جدید وارد اولین ریجستر شده و نمونه‌های قبلی به مراحل بعدی منتقل می‌شوند.

جدول ۱ - بخش‌های اصلی معماری فیلتر FIR

نقش در مدار	بخش
نگهداری هفت نمونه اخیر ورودی در ریجسترهای X[0] تا X[6]	خط تأخیر
ضرب هر نمونه ذخیره‌شده در ضریب متناظر	ضرب در ضرایب
جمع هفت حاصل‌ضرب و تولید سیگنال sum	جمع‌کننده
تقسیم خروجی بر ۱۶ با انتخاب بیت‌های بالاتر sum	مقیاس‌سازی

۶ - توضیح کد Verilog

ماژول اصلی با نام fir_lowpass_7tap می‌باشد. ورودی x_in به صورت ۸ بیتی تعریف شده و خروجی y_out نیز ۸ بیت است. ریجسترهای x[0] تا x[6] خط تأخیر را تشکیل می‌دهند و ضرایب h[0] تا h[6] به صورت parameter تعریف شده‌اند.

```verilog
`timescale 1ns/100ps

module fir_lowpass_7tap(clk, rst, x_in, y_out);
input clk, rst;
input [7:0] x_in;
output [7:0] y_out;

reg [7:0] x0, x1, x2, x3, x4, x5, x6;
wire [9:0] p0, p1, p2, p3, p4, p5, p6;
wire [11:0] sum;

parameter h0 = 1;
parameter h1 = 2;
parameter h2 = 3;
parameter h3 = 4;
parameter h4 = 3;
parameter h5 = 2;
parameter h6 = 1;
```

شکل ۱ - تعریف ماژول، ورودی‌ها، خروجی‌ها، خط تأخیر و ضرایب فیلتر

در بلوک always، ریست به صورت آسنکرون و فعال با سطح یک در نظر گرفته شده است. با فعال شدن rst، تمام ریجسترهای خط تأخیر صفر می‌شوند. در حالت عادی، با هر لبه مثبت کلاک، نمونه‌ها یک مرحله در خط تأخیر شیفت پیدا می‌کنند.

```
always @(posedge clk or posedge rst)
begin
    if (rst)
    begin
        x0 <= 8'b00000000;
        x1 <= 8'b00000000;
        x2 <= 8'b00000000;
        x3 <= 8'b00000000;
        x4 <= 8'b00000000;
        x5 <= 8'b00000000;
        x6 <= 8'b00000000;
    end
    else
    begin
        x6 <= x5;
        x5 <= x4;
        x4 <= x3;
        x3 <= x2;
        x2 <= x1;
        x1 <= x0;
        x0 <= x_in;
    end
end
```

شکل ۲ - پیاده‌سازی خط تأخیر و عملیات شیفت نمونه‌ها

پس از ذخیره نمونه‌ها، هر نمونه در ضریب متناظر خود ضرب می‌شود. سپس حاصل‌ضرب‌ها با افزایش عرض مناسب جمع می‌شوند تا سرریز رخ ندهد. در انتها با انتخاب بیت‌های ۴ تا ۱۱ سیگنال sum، تقسیم بر ۱۶ انجام می‌شود.

```
assign p0 = x0 * h0;
assign p1 = x1 * h1;
assign p2 = x2 * h2;
assign p3 = x3 * h3;
assign p4 = x4 * h4;
assign p5 = x5 * h5;
assign p6 = x6 * h6;

assign sum = {2'b00, p0} + {2'b00, p1} + {2'b00, p2} + {2'b00, p3}
           + {2'b00, p4} + {2'b00, p5} + {2'b00, p6};
assign y_out = sum[11:4];

endmodule
```

شکل ۳ - ضرب در ضرایب، جمع حاصل‌ضرب‌ها و تولید خروجی نهایی

۷- تست‌بنچ و سناریوهای آزمون

برای بررسی دقیق‌تر عملکرد فیلتر، در تست‌بنچ چند نمونه از فیلتر به صورت همزمان استفاده شده است. هر نمونه یک ورودی متفاوت دریافت می‌کند و خروجی متناظر همان ورودی را تولید می‌نماید. این روش باعث می‌شود پاسخ فیلتر به چند نوع شکل موج به صورت جداگانه قابل مشاهده باشد.

جدول ۲ - سناریوهای استفاده‌شده در تست‌بنچ

هدف آزمون	ورودی	سناریو
بررسی پاسخ گذرا و نرم شدن تغییر ناگهانی	تغییر از ۰ به ۲۰۰	پله‌ای
بررسی تضعیف مؤلفه‌های سریع	تغییر متناوب ۰ و ۲۰۰	تغییر سریع
نمایش پاسخ ضربه و شکل ضرایب فیلتر	یک نمونه با مقدار ۲۵۵	ضربه
بررسی عبور بهتر مؤلفه کم‌فرکانس	جدول ۳۲ نمونه‌ای	سینوسی کم‌فرکانس
بررسی تضعیف مؤلفه پرفرکانس	جدول ۴ نمونه‌ای	سینوسی پرفرکانس

۸- نتایج شبیه‌سازی

۸-۱- پاسخ به ورودی پله‌ای

در این آزمون، ورودی از صفر به ۲۰۰ تغییر می‌کند. خروجی فیلتر به صورت ناگهانی به ۲۰۰ نمی‌رسد، بلکه با توجه به ضرایب فیلتر طی چند کلاک افزایش پیدا می‌کند. این رفتار نشان می‌دهد فیلتر تغییر ناگهانی را نرم می‌کند.

شکل ۴ – پاسخ فیلتر به ورودی پله‌ای

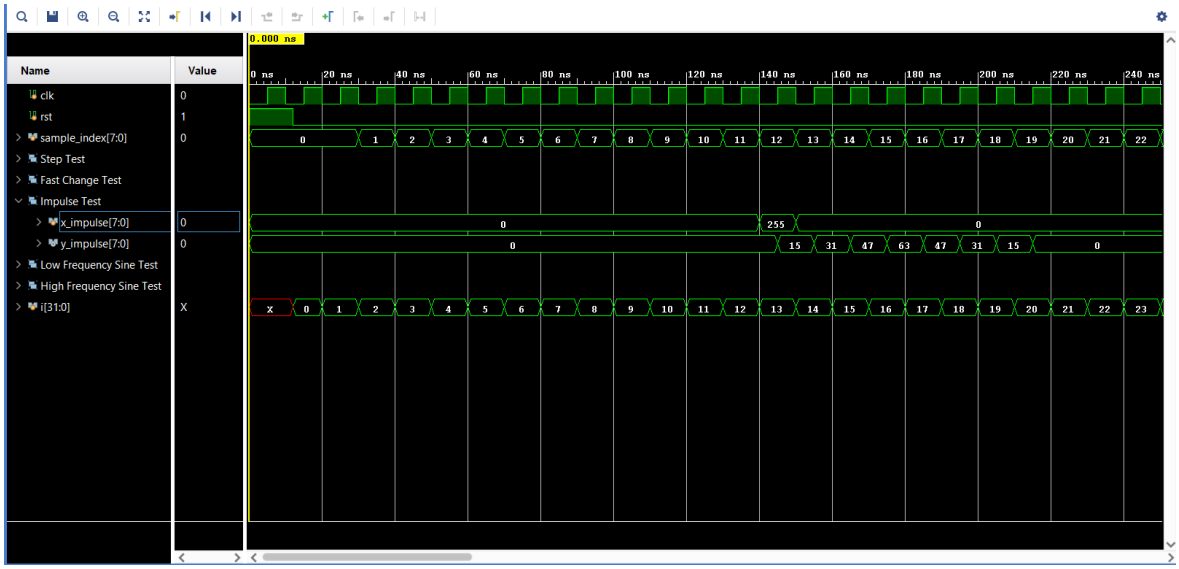
۸-۲- پاسخ به تغییر سریع

در ورودی تغییر سریع، مقدار ورودی بین صفر و ۲۰۰ جابه‌جا می‌شود. خروجی فیلتر برخلاف ورودی، تغییرات تیز ندارد و پس از گذرای اولیه به مقدار میانگین نزدیک می‌شود. این نتیجه نشان‌دهنده خاصیت پایین‌گذر فیلتر است.

شکل ۵ – پاسخ فیلتر به ورودی با تغییر سریع

۸ - ۳ - پاسخ ضربه

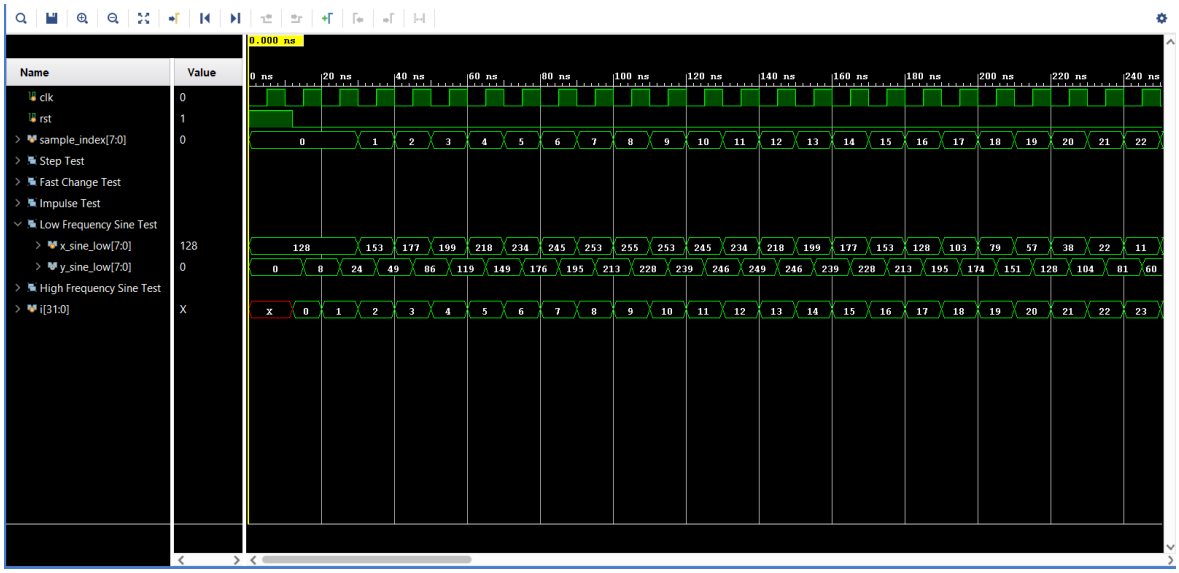
در آزمون ضربه، فقط یک نمونه با مقدار ۲۵۵ به ورودی اعمال می‌شود. خروجی تولیدشده به ترتیب متناسب با ضرایب ۱، ۲، ۳، ۴، ۳، ۲ و ۱ شکل می‌گیرد. این آزمون عملاً پاسخ ضربه فیلتر را نشان می‌دهد.



شکل ۶ - پاسخ ضربه فیلتر FIR

۸ - ۴ - پاسخ به سینوسی کم‌فرکانس

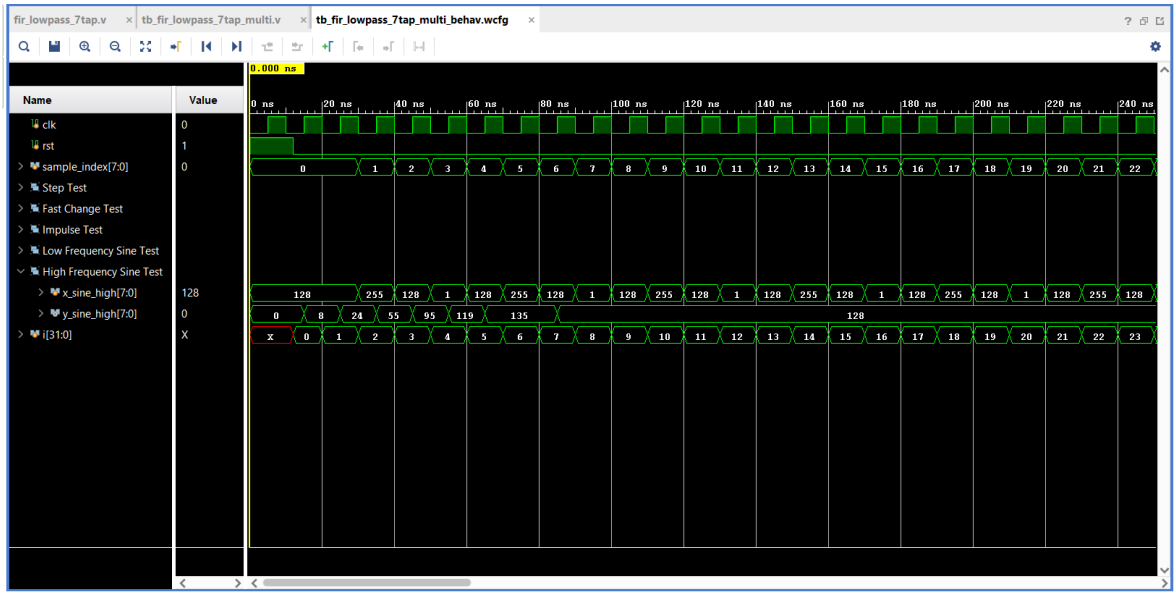
برای ورودی سینوسی کم‌فرکانس از یک جدول ۳۲ نمونه‌ای بدون علامت استفاده شده است. چون ورودی ۸ بیتی بدون علامت است، موج سینوسی حول مقدار ۱۲۸ ساخته شده و از صفر شروع نمی‌شود. خروجی شکل کلی موج را حفظ می‌کند، اما با کمی تأخیر و نرم‌شدگی همراه است.



شکل ۷ - پاسخ فیلتر به ورودی سینوسی کم‌فرکانس

۸ - ۵ - پاسخ به سینوسی پرفرکانس

در ورودی سینوسی پرفرکانس، نمونه‌ها با سرعت زیادی بین مقدارهای ۱۲۸، ۲۵۵، ۱۲۸ و ۱ تغییر می‌کنند. خروجی فیلتر پس از گذرای اولیه به مقدار متوسط نزدیک می‌شود. بنابراین بخش ثابت موج عبور کرده، اما نوسان سریع آن تا حد زیادی حذف شده است.



شکل ۸ - پاسخ فیلتر به ورودی سینوسی پرفرکانس

۹ - تحلیل فرکانسی ساده

در تست‌بنچ، کلاک با دستور forever #۵ clk = ~clk تولید شده است. بنابراین دوره کامل کلاک ۱۰ نانوثانیه است.

$$T_{clk} = 10\ \text{ns}$$

$$F_s = \frac{1}{T_{clk}} = 100\ \text{MHz}$$

سینوسی کم‌فرکانس در هر دوره ۳۲ نمونه دارد؛ بنابراین فرکانس آن برابر است با:

$$f_{low} = \frac{F_s}{32} = 3.125\ \text{MHz}$$

سینوسی پرفرکانس در هر دوره ۴ نمونه دارد؛ بنابراین فرکانس آن برابر است با:

$$f_{high} = \frac{F_s}{4} = 25\ \text{MHz}$$

برای ضرایب انتخاب‌شده، فرکانس قطع تقریبی در نقطه ۳ دسی‌بل حدود ۰.۰۸۲ برابر فرکانس نمونه‌برداری است. بنابراین در این تست‌بنچ پهنای باند تقریبی فیلتر برابر حدود ۸.۲ مگاهرتز خواهد بود.

$$f_c \approx 0.082\, F_s \approx 8.2\ \text{MHz}$$

با توجه به این مقدار، سینوسی کم‌فرکانس با فرکانس ۳.۱۲۵ مگاهرتز در ناحیه عبور فیلتر قرار می‌گیرد، اما سینوسی پرفرکانس با فرکانس ۲۵ مگاهرتز خارج از پهنای باند اصلی فیلتر است و باید تضعیف شود. نتایج شبیه‌سازی همین رفتار را نشان می‌دهند.

۱۰ - جمع‌بندی

در این پروژه، یک فیلتر دیجیتال FIR پایین‌گذر هفت‌ضربه‌ای در سطح RTL طراحی و شبیه‌سازی شد. نتایج شبیه‌سازی نشان داد که فیلتر نسبت به تغییرات سریع ورودی حساسیت کمتری دارد، موج کم‌فرکانس را بهتر عبور می‌دهد و مؤلفه پرفرکانس را نسبت به مؤلفه کم‌فرکانس بیشتر تضعیف می‌کند.