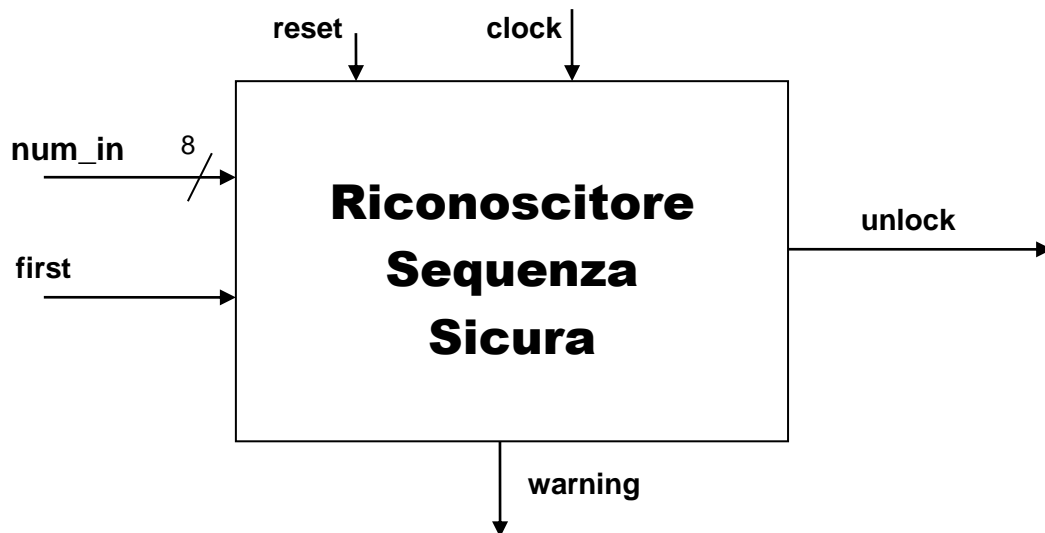


Sequenza sicura

Si chiede di progettare ed implementare in VHDL un riconoscitore di sequenza con le seguenti caratteristiche: il riconoscitore è sincrono; le sequenze sono composte da 5 numeri espressi su 8 bit (ed in particolare è: 36, 19, 56, 101, 73); il primo numero significativo deve essere accompagnato da un segnale di *first*; le cifre successive devono essere presentate al componente con la cadenza di un ciclo di clock ciascuna; il segnale di *first* deve essere alto solo durante il primo numero, altrimenti il riconoscitore mette il segnale di *warning* a 1 e smette di riconoscere sequenze fintanto che non viene resettato (a questo scopo c'è il piedino di *reset*); la durata di un riconoscimento è sempre pari a 5 cicli di clock (anche nel caso in cui il primo numero fosse sbagliato); se, dopo 5 cicli di clock, la sequenza viene riconosciuta, al ciclo successivo al riconoscimento dell'ultimo numero, il piedino *unlock* viene messo a 1 per un ciclo di clock altrimenti il piedino *warning* viene messo a 1 per un ciclo di clock; se si fallisce il riconoscimento per 3 volte consecutive, il piedino *warning* viene messo costantemente ad 1 e il riconoscitore smette di funzionare fintanto che non viene resettato. Al reset, entrambi i piedini *unlock* e *warning* sono messi a 0.

Il segnale di reset può essere a scelta attivo alto oppure attivo basso.



La relazione finale del progetto deve contenere:

- Introduzione (descrizione algoritmo, possibili applicazioni, possibili architetture, etc.)
- Descrizione dell'architettura (diagramma a blocchi, ingressi/uscite, etc.)
- Codice VHDL (con commenti dettagliati)
- Test-plan e relativi Testbench per la verifica
- Risultati della sintesi logica automatica su piattaforma Xilinx FPGA Zync: risorse utilizzate (slice, LUT, etc.), massima frequenza di funzionamento, cammino critico, etc. commentando eventuali messaggi di warnings.
- Conclusioni