

«Московский государственный технический университет имени Н.Э. Баумана (национальный исследовательский институт)»

(МГТУ им. Н.Э. Баумана)

ФАКУЛЬТЕТ Информатика и системы управления КАФЕДРА ИУ7

Отчёт

по лабораторной работе № 2

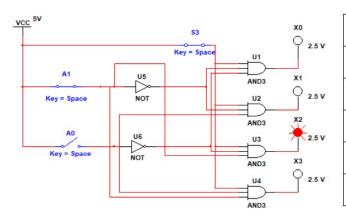
Дисциплина: Архитектура ЭВМ

Тема лабораторной работы работы: исследование дешифраторов

Студент гр. ИУ7-41		Лучина Е.Д.
	(Подпись, дата)	(И.О. Фамилия)
Преподаватель		Попов А. Ю.
	(Подпись, дата)	(И.О. Фамилия)

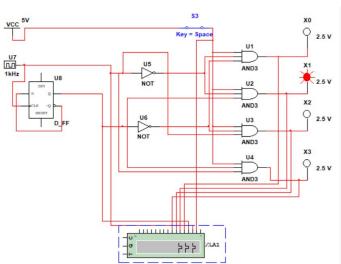
1. Исследование линейного двухвходового дешифратора с инверсными выходами:

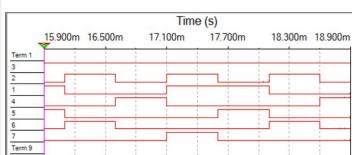
Схема и таблица истинности

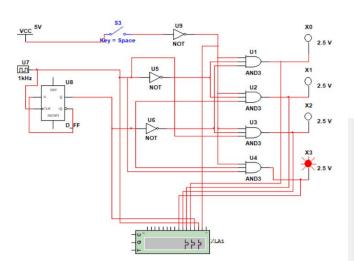


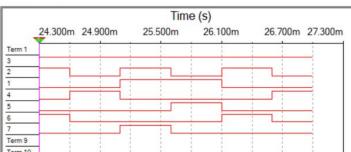
EN	Al	A2	F0	F1	F2	F3
0	X	X	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

Временные диаграммы для прямого и инверсного EN



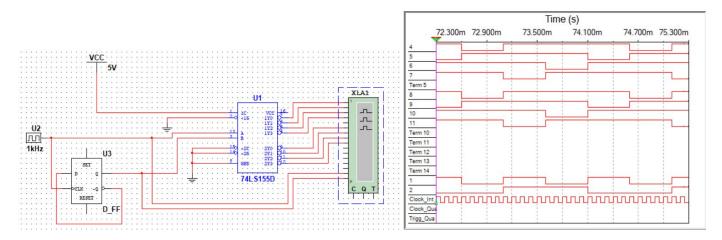




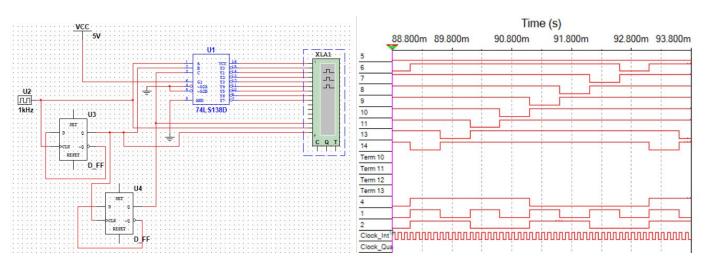


2. Исследование дешифраторов ИС К155ИД4 (74LS155):

CD 2-8 с наращиванием числа адресных входов



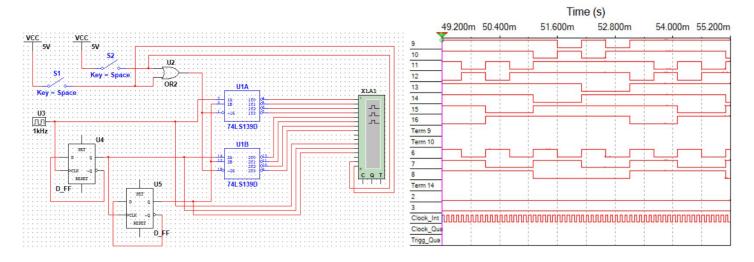
CD 3-8



EN	A0	A1	A2	F0	F1	F2	F3	F4	F5	F6	F7
0	X	X	X	1	1	1	1	1	1	1	1
1	0	0	0	0	1	1	1	1	1	1	1
1	0	0	1	1	0	1	1	1	1	1	1
1	0	1	0	1	1	0	1	1	1	1	1
1	0	1	1	1	1	1	0	1	1	1	1
1	1	0	0	1	1	1	1	0	1	1	1
1	1	0	1	1	1	1	1	1	0	1	1
1	1	1	0	1	1	1	1	1	1	0	1
1	1	1	1	1	1	1	1	1	1	1	0

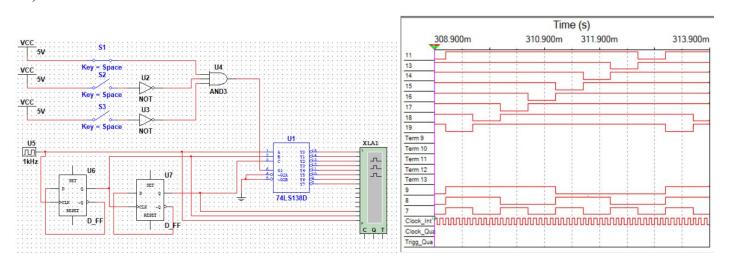
3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B) с раздельными адресными входами и разрешения. Входы разрешения — инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции $1 \cdot 2$, ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов — 1.



4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138):

a) DC 3-8

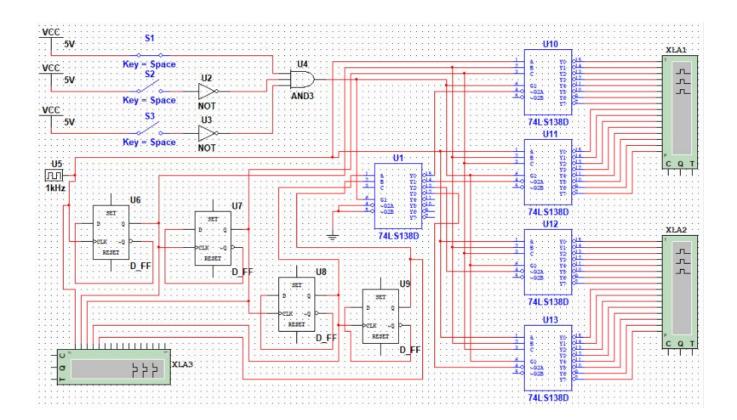


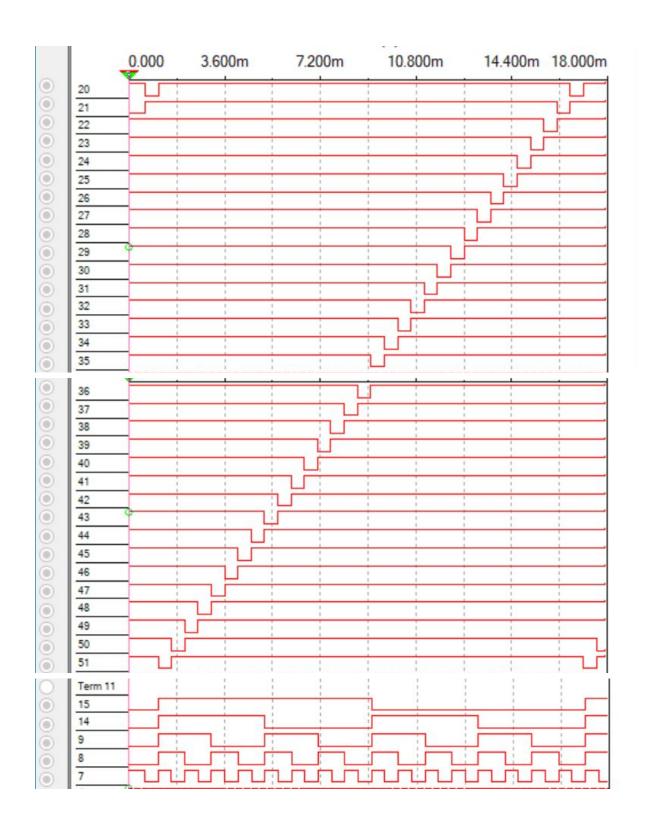
б) дешифратор DC 5-32, собранный согласно методике наращивания числа входов и его временная диаграмма.

Количество каскадов K =]5/3[= 2 и следовательно во входном каскаде будет неполный дешифратор.

Количество простых дешифраторов DC 3-8 в выходном каскаде: 32/8 = 4.

3 младших разряда подаются параллельно на адресные входы простых дешифраторов выходного каскада и 2 старших разряда на вход входного каскада. Выходы входного каскада подключаются к входам разрешения простых дешифраторов выходного каскада.





Контрольные вопросы

1. Что называется дешифратором?

Дешифратором называется комбинационный узел с п входами и N выходами, преобразующий каждый набор двоичных входных сигналов в активный сигнал на выходе, соответствующий этому набору. Дешифратор расшифровывает поданный на его входы двоичный код числа и формирует активный сигнал только на соответствующем выходе, на всех остальных выходах дешифратора сигналы неактивные. Поэтому дешифратор является преобразователем двоичного кода в код "1 из N". Дешифратор с п входами и N выходами обозначается DC n-N, где DC –decoder.

2. Какой дешифратор называется полным (неполным)?

В дешифраторе с n входами и N выходами n N 2 . Дешифратор, имеющий 2n выходов, называется полным, при меньшем числе выходов - неполным

3. Определите закон функционирования дешифратора аналитически и таблично.

Таблица истинности дешифратора DC n-N

Таблина 1

Входы						Выходы						
EN	A _{n-1}	A _{n-2}	A _{n-3}		\mathbf{A}_1	A_0	F ₀	F ₁	F ₂		F _{N-2}	F _{N-1}
0	×	×	×		×	×	0	0	0		0	0
1	0	0	0		0	0	1	0	0		0	0
1	0	0	0		0	1	0	1	0		0	0
1	0	0	0		1	0	0	0	1		0	0
												y •
1	1	1	1		1	0	0	0	0		1	0
1	1	1	1		0	1	0	0	0		0	1

Как следует из табл. 1, аналитическое описание дешифратора можно представить совокупностью логических функций в СДНФ:

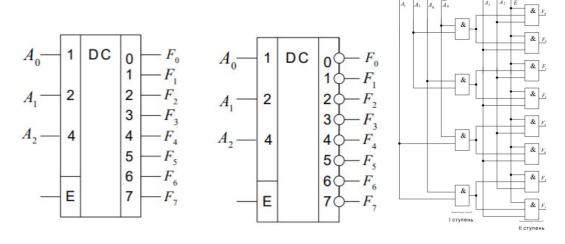
где $A_i(i=0,n-1)$ - входные сигналы (переменные) дешифратора,

 $F_{j}(j=\overline{1,N-1})$ - выходные сигналы (функции) дешифратора,

ЕN- сигнал разрешения (стробирования) работы дешифратора.

4. Поясните основные способы построения дешифраторов.

По способу построения дешифраторы разделяют на линейные и каскадные. Разновидностями последних являются пирамидальные и ступенчатые дешифраторы.



- 1) Линейный с прямыми выходами, на трех входах, на ЛЭ ИЛИ-НЕ
- 2) Линейный с инверсными выходами, на трех входах, на ЛЭ И-НЕ
- 3) Пирамидный дешифратор, строятся на основе только двухвходовых конъюнкторов.
- 4) каскадный дешифратор, наращивание числа адресных входов

5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n-N используются простые дешифраторы DC n1-N1, причем n1 n, следовательно и N1 N

- 1) Число каскадов равно K = n/n1. Если K целое число, то во всех каскадах используются полные дешифраторы DC n1-N1. Если K правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n1-N1. 9
- 2) Количество простых дешифраторов DC n1-N1 в выходном каскаде равно N/N1, в предвыходном N/N1 2, в предпредвыходном N/N1 3 и т.д.; во входном каскаде N/N1 к. Если N/N1 к правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
- 3) В выходном каскаде дешифрируются n1 младших разрядов адреса сложного дешифратора, в предвыходном следующие n1 младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому n1 младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие n1 младших разрядов адреса на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
- 4) Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада с входами разрешения простых дешифраторов предвыходного каскада и тд