



**«Московский государственный технический университет  
имени Н.Э. Баумана (национальный исследовательский  
институт)»**

**(МГТУ им. Н.Э. Баумана)**

---

ФАКУЛЬТЕТ Информатика и системы управления  
КАФЕДРА ИУ7

## **Отчёт**

### **по лабораторной работе № 2**

**Дисциплина: Архитектура ЭВМ**

**Тема лабораторной работы: исследование дешифраторов**

Студент гр. ИУ7-41

\_\_\_\_\_  
(Подпись, дата)

**Лучина Е.Д.**

(И.О. Фамилия)

Преподаватель

\_\_\_\_\_  
(Подпись, дата)

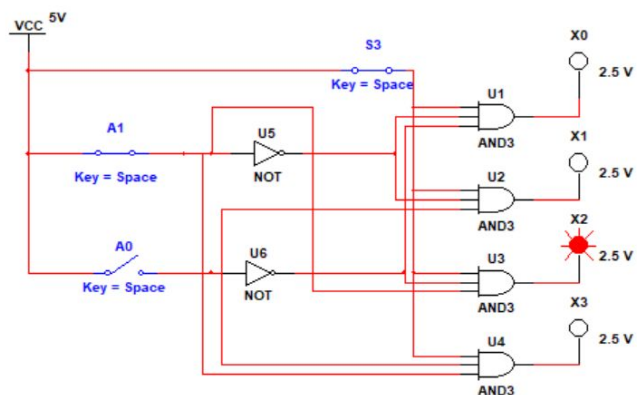
**Попов А. Ю.**

(И.О. Фамилия)

Москва, 2018г

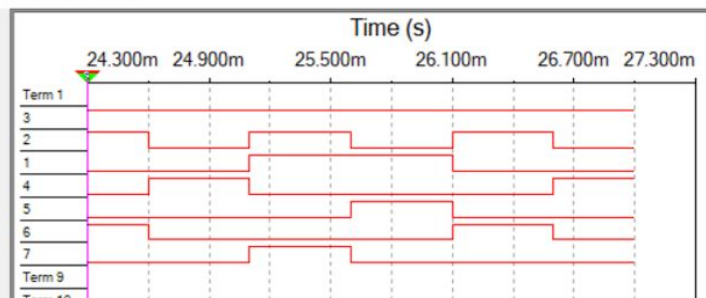
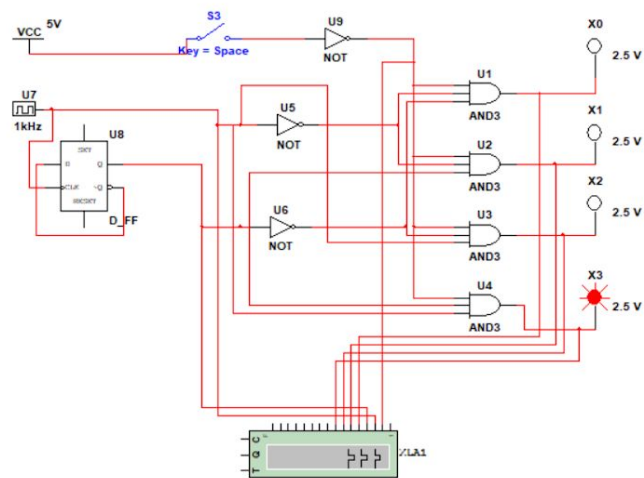
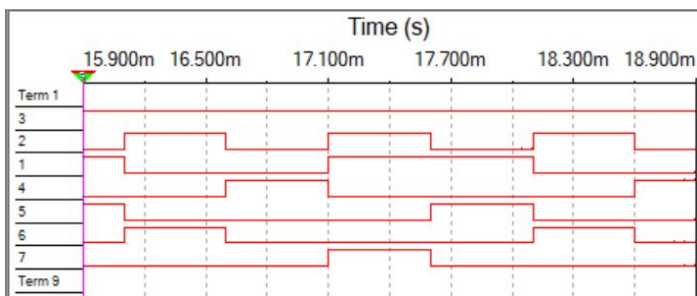
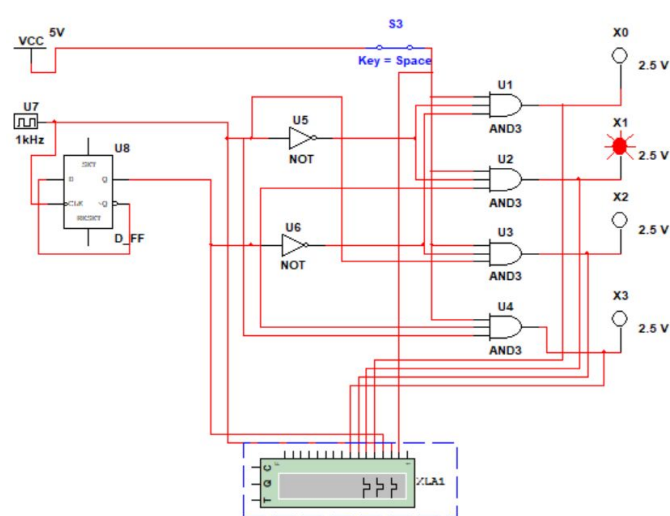
# 1. Исследование линейного двухвходового дешифратора с инверсными выходами:

Схема и таблица истинности



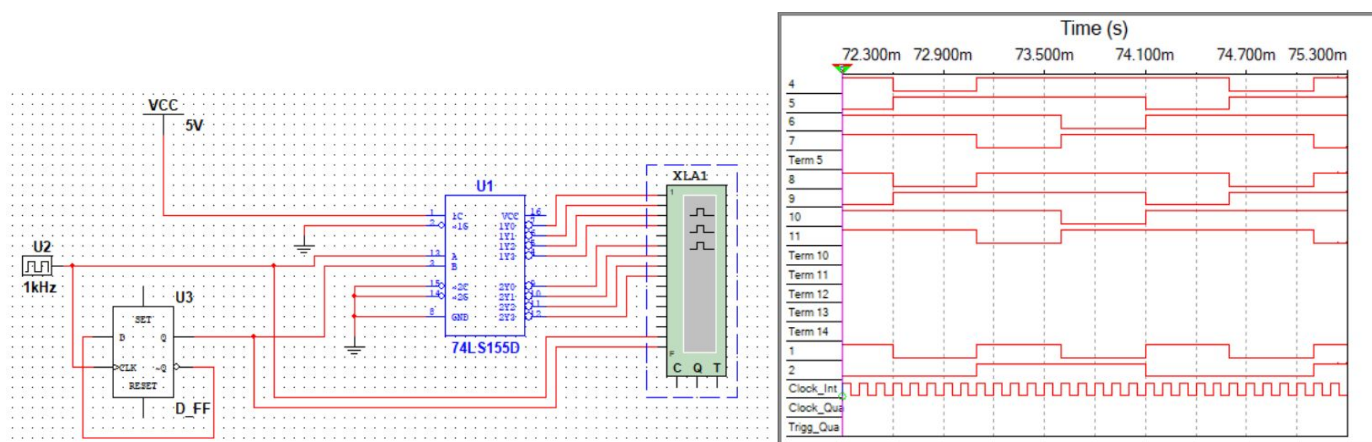
EN	A1	A2	F0	F1	F2	F3
0	x	x	0	0	0	0
1	0	0	1	0	0	0
1	0	1	0	1	0	0
1	1	0	0	0	1	0
1	1	1	0	0	0	1

Временные диаграммы для прямого и инверсного EN

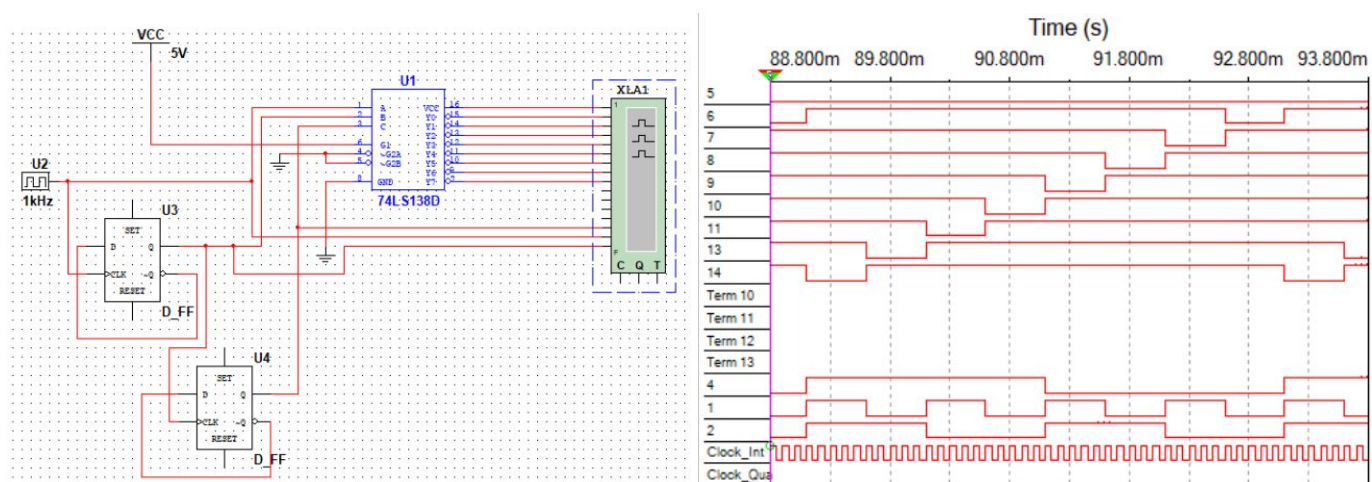


## 2. Исследование дешифраторов ИС К155ИД4 (74LS155):

## CD 2-8 с наращиванием числа адресных входов

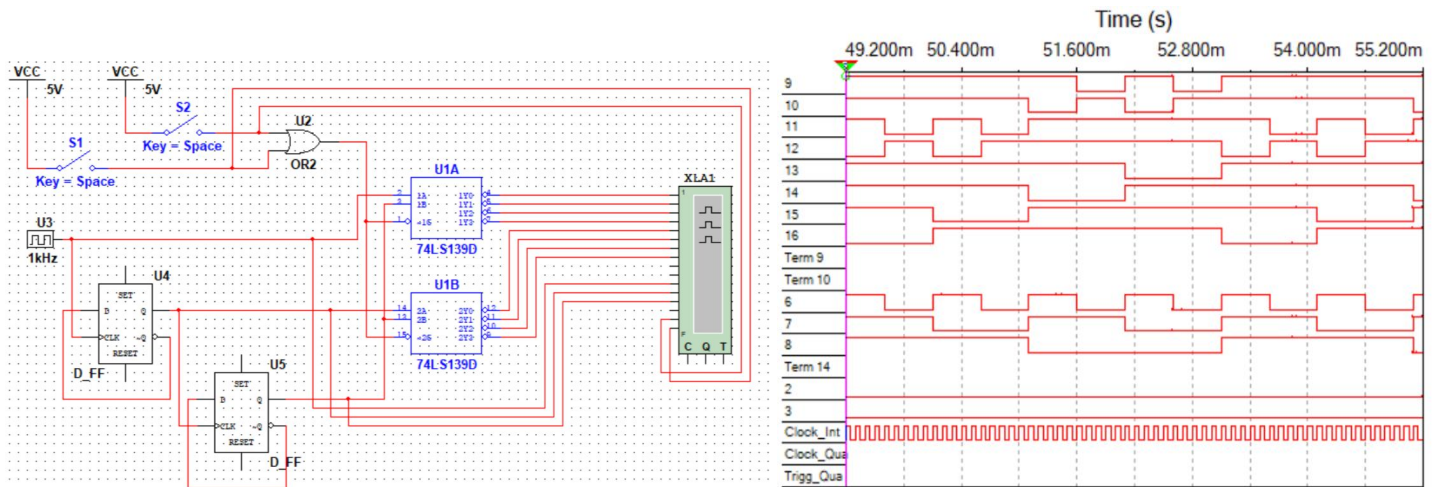


CD 3-8

[illegible]

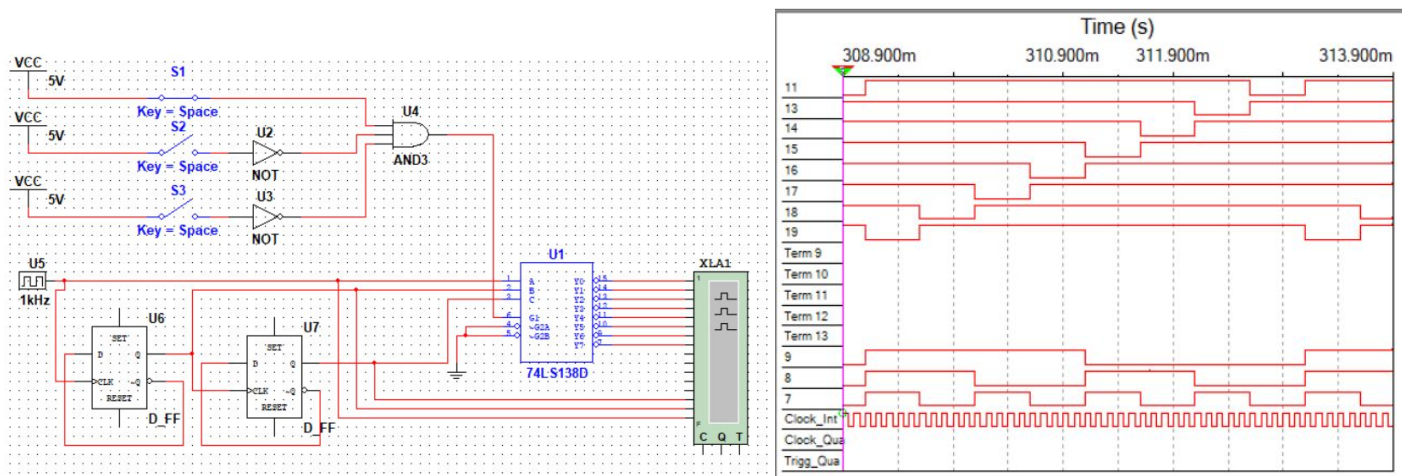
### 3. Исследование дешифраторов ИС КР531ИД14 (74LS139)

ИС 74LS139 содержит два дешифратора DC 2-4 (U1A и U1B) с отдельными адресными входами и разрешения. Входы разрешения – инверсные. Так как каждый дешифратор имеет один вход разрешения, то для образования двух инверсных входов необходимо перед входом разрешения включить двухвходовой ЛЭ. Чтобы на выходе ЛЭ получить функцию конъюнкции  $1 \cdot 2$ , ЛЭ при наборе 00 входных сигналов должен формировать выходной сигнал 0, а на остальных наборах входных сигналов – 1.



### 4. Исследовать работоспособность дешифраторов ИС 533ИД7 (74LS138):

а) DC 3-8



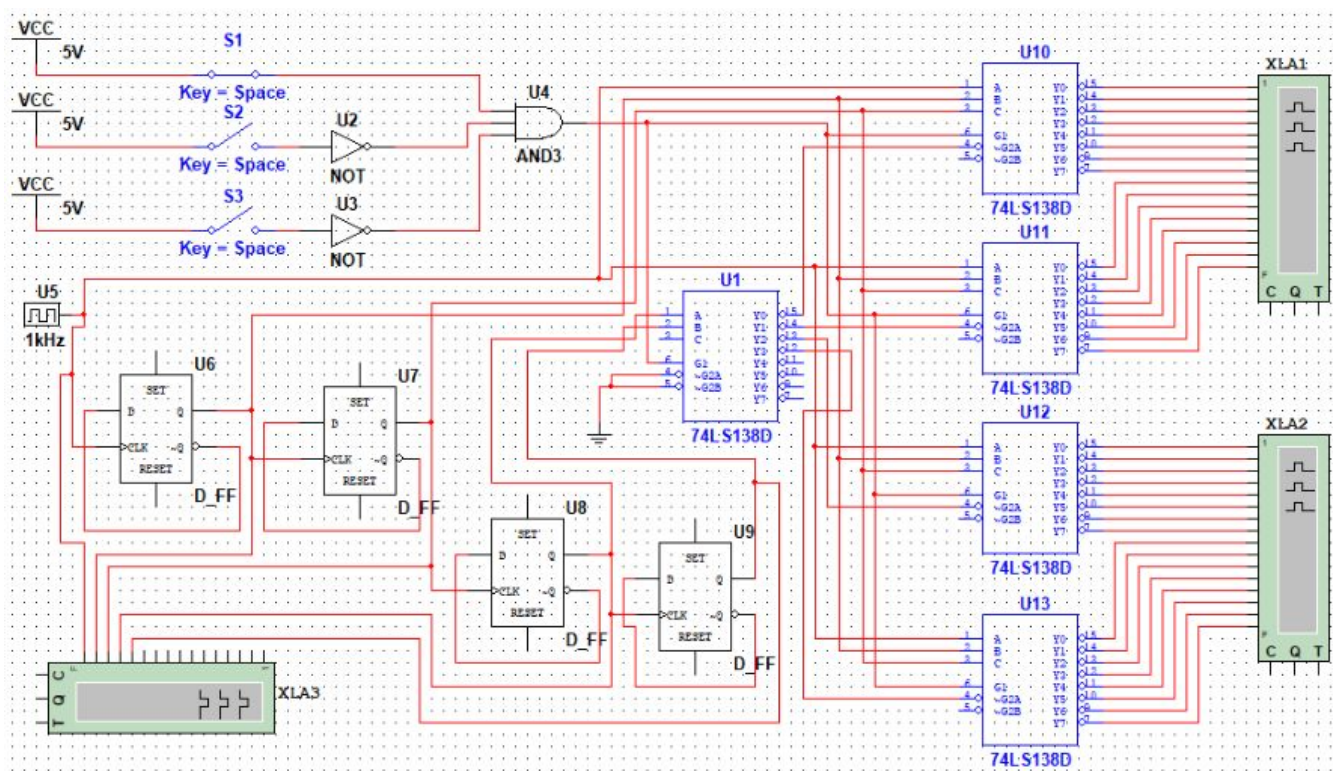


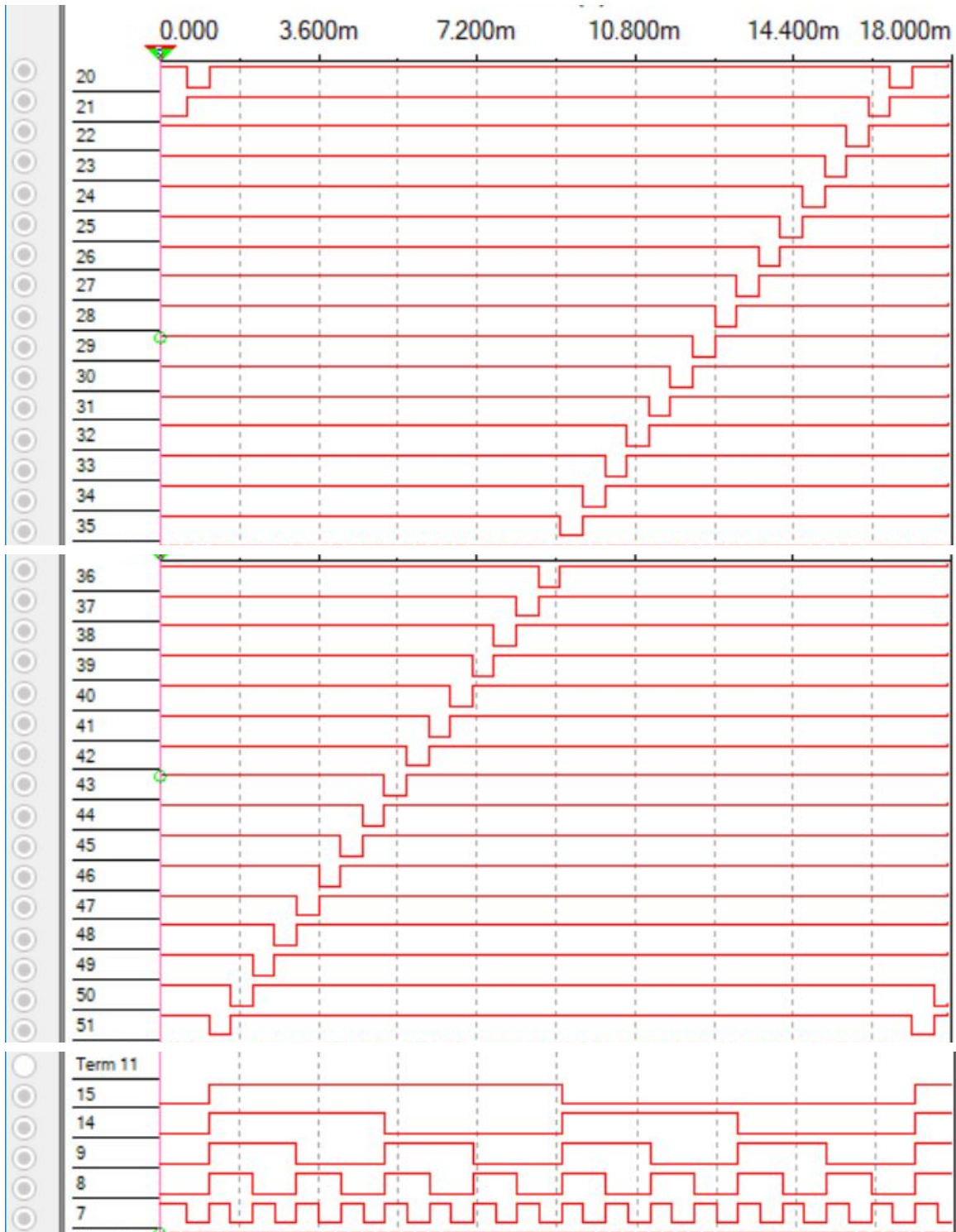
б) дешифратор DC 5-32, собранный согласно методике наращивания числа входов и его временная диаграмма.

Количество каскадов  $K = \lceil 5/3 \rceil = 2$  и следовательно во входном каскаде будет неполный дешифратор.

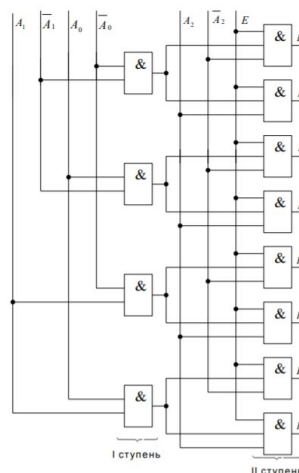
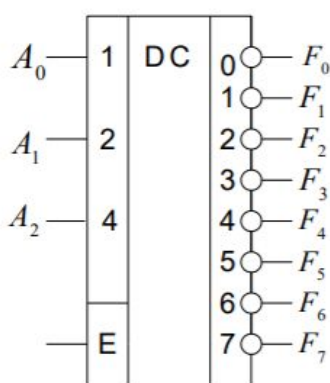
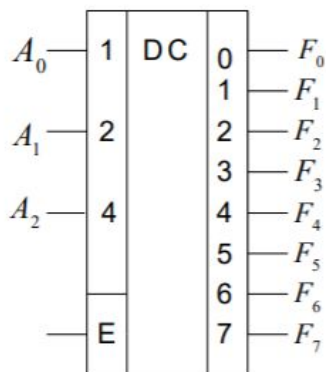
Количество простых дешифраторов DC 3-8 в выходном каскаде:  $32/8 = 4$ .

3 младших разряда подаются параллельно на адресные входы простых дешифраторов выходного каскада и 2 старших разряда на вход входного каскада. Выходы входного каскада подключаются к входам разрешения простых дешифраторов выходного каскада.









- 1) Линейный с прямыми выходами, на трех входах, на ЛЭ ИЛИ-НЕ
- 2) Линейный с инверсными выходами, на трех входах, на ЛЭ И-НЕ
- 3) Пирамидный дешифратор, строятся на основе только двухвходовых конъюнкторов.
- 4) каскадный дешифратор, наращивание числа адресных входов

### 5. Что называется гонками и как устраняются ложные сигналы, вызванные гонками?

Вследствие переходных процессов и временных задержек сигналов в цепях логических элементов могут возникнуть так называемые гонки (состязания), приводящие к появлению ложных сигналов на выходах схемы. Основным средством, позволяющим исключить гонки, является стробирование (выделение из информационного сигнала той части, которая свободна от искажений, вызываемых гонками).

### 6. Каковы способы наращивания дешифраторов по количеству входов и выходов и как они реализуются схемотехнически?

Пусть для построения сложного дешифратора DC n-N используются простые дешифраторы DC n1-N1, причем  $n_1 \leq n$ , следовательно и  $N_1 \leq N$

- 1) Число каскадов равно  $K = n/n_1$ . Если  $K$  – целое число, то во всех каскадах используются полные дешифраторы DC n1-N1. Если  $K$  – правильная или смешанная дробь, то во входном каскаде используется неполный дешифратор DC n1-N1.
- 2) Количество простых дешифраторов DC n1-N1 в выходном каскаде равно  $N/N_1$ , в предвыходном -  $N/N_1 - 1$ , в предпредвыходном -  $N/N_1 - 2$  и т.д.; во входном каскаде -  $N/N_1 - k$ . Если  $N/N_1 - k$  – правильная дробь, то это означает, что во входном каскаде используется неполный простой дешифратор.
- 3) В выходном каскаде дешифрируются  $n_1$  младших разрядов адреса сложного дешифратора, в предвыходном – следующие  $n_1$  младших разрядов адреса сложного дешифратора и т.д. Во входном каскаде дешифрируется полная или неполная группа старших разрядов адреса. Поэтому  $n_1$  младших разрядов адреса сложного дешифратора подаются параллельно на адресные входы всех дешифраторов выходного каскада, следующие  $n_1$  младших разрядов адреса – на адресные входы всех дешифраторов предвыходного каскада и т.д.; группа старших разрядов адреса подается на адресные входы дешифратора.
- 4) Выходы дешифраторов предвыходного каскада соединяются с входами разрешения простых дешифраторов выходного каскада, выходы дешифраторов предпредвыходного каскада – с входами разрешения простых дешифраторов предвыходного каскада и т.д.