

bulid 後執行 extract 而 extract 拿取最大值後必須重新排序因此又回到 bulid 狀態執行 max_heapify 演算法。dat2、dat3 測試資料以此類推。

此次作業 Functional simulation 我有通過，但在 Gate-level simulation 我一直無法成功合成出電路，目前我還在找尋問題的原因。

*Scoring = (Total logic elements + total memory bit + 9*embedded multiplier 9-bit element) × (Total cycle used*clock width)*