

2024 Digital IC Design Homework II

NAME	黃奕淳		
Student ID	N26112291		
Functional Simulation Result			
Pass	Pass	Pass	
Stage 1			
There are total 0 errors in FIFO !!			
Stage 2			
There are total 0 errors in FIFO2 !!			
Stage 3			
There are total 0 errors in LIFO !!			
Description of your design			
<p>第一題是要設計一個 FIFO 電路，我有三個 reg 分別是 people、valid1、done1 且依照 posedge clk 利用 ASCII 判斷輸入是英文字母則存入 people 且同時把 valid1 賦值 1 做為有效輸出，其餘狀況則 valid1=0，最終判斷結束符號為”\$”則輸入結束，將 done1=1，最後將 reg 分別 assign 給輸出 done_fifo，people_thing_out，valid_fifo。</p> <p>第二、三題分別要設計一個 LIFO 及 FIFO 電路，用來模擬拿取行李及剩餘的行李，可以用 FSM 來實現，我有設計幾個狀態用來執行不同狀態時的操作 Init_State:初始狀態，判斷輸入(ready_lifo)有訊號則進入下一個狀態(Catch_Thing)、Catch_Thing:用來接收輸入(thing_in)及判斷是否遇到符號”,”，若碰到符號”,”則改變狀態(Send_get)，反之則利用 reg(count)及輸入(thing_num)計算拿取的數量且將輸入存入 reg(temp)，這邊會遇到行李數量為 0 或 thing_num 為 0 或兩者皆為 0 的情況，因此要判斷執行不一樣的操作、Send_get:判斷是否全部輸出完，若是則跳下一狀態(Save_left)，反之則維持在(Send_get)，執行操作為，若拿取數量(thing_num)為 0 則輸出 0(8'h30)，反之</p>			

從 reg(temp)分別輸出資料、Save_left:用來記錄未拿取的資料、Done:用來初始狀態，因為每次碰到符號”;"會停止拿取資料，必須待輸出(done_thing)喇起才又開始送資料，且將一些 reg 初始為 0、Delay:判斷是否碰到輸入符號”\$”若是的話，則跳入下一狀態(Send_left)處理剩下資料，反之跳入狀態(Catch_Thing)繼續處理 LIFO 資料、Send_left、Done2: 用來初始化參數的狀態、Finish:結束的狀態。

```
*****
**                                     **
**      Congratulations!!            **      |__||
**                                     **      / 0.0 |
**                                     **      /_____|
**      Simulation PASS!!            **      / ^ ^ ^ \ |
**                                     **      | ^ ^ ^ ^ |w|
**                                     **      \m__m_|_|
*****

Correct / Total :   100 / 100
```