

2024 Digital IC Design Homework 1

NAME	黃奕淳		
Student ID	N26112291		
Functional Simulation Result			
Stage 1 Pass / Fail	Stage 2 Pass / Fail	Stage 3 Pass / Fail	
Stage 1			
<pre>-----Stage 1----- ----- ALU Simulation Begin ----- ----- ALU Simulation Success ----- ----- ALU Simulation End -----</pre>			
Stage 2			
<pre>-----Stage 2----- ----- Comparater Simulation Begin ----- ----- Comparater Simulation Success ----- ----- Comparater Simulation End -----</pre>			
Stage 3			
<pre>-----Stage 3----- ----- 2-input MAS Simulation Begin ----- ----- 2-input MAS Simulation Success ----- ----- 2-input MAS Simulation End -----</pre>			
Description of your design			
<p>此次作業是利用 verilog 完成一個兩個輸入、三個輸出的運算模組且大致可分為三個部分。</p> <p>第一部份 ALU 利用信號線(Sel)的值判斷兩個輸入（Din1 和 Din2）該進行加法或減法的運算，如果 Sel 是 00，則將 Din1 和 Din2 相加；如果 Sel 是 11，則將 Din1 減去 Din2；否則，將 Din1 保持不變，接著，將計算結果利用暫存器(register)存在 temp1 中，再將 temp1 的值賦予輸出(TDout)。</p> <p>第二部份 Comparator 用來判斷第一階段輸出(TDout)的值與模數（Q）的</p>			

關係，若  $TDout \geq Q$  則 Tcmp 輸出為 2b'11； $Q > TDout \geq 0$  則 Tcmp 輸出為 2b'01； $0 > TDout$  則 Tcmp 輸出為 2b'00。

第三部份 ALU 根據第二階段輸出結果 Tcmp 判斷 TDout 與 Q 要進行的數學運算，如果 Tcmp 為 11，則 Dout 等於 TDout 減去 Q；如果 Tcmp 為 01，則 Dout 等於 TDout；否則，Dout 等於 TDout 加上 Q，最後輸出結果為 Dout。

