2024 Digital IC Design Homework 1

|  |  |  |  |
| --- | --- | --- | --- |
| NAME | 黃奕淳 | | |
| Student ID | N26112291 | | |
| **Functional Simulation Result** | | | |
| **Stage 1 Pass / Fail** | | **Stage 2 Pass / Fail** | **Stage 3 Pass / Fail** |
| **Stage 1** | | | |
| 一張含有 文字, 字型, 螢幕擷取畫面, 行 的圖片  自動產生的描述 | | | |
| **Stage 2** | | | |
|  | | | |
| **Stage 3** | | | |
|  | | | |
| **Description of your design** | | | |
| 此次作業是利用verilog完成一個兩個輸入、三個輸出的運算模組且大致可分為三個部分。  第一部份ALU利用信號線(Sel)的值判斷兩個輸入（Din1和Din2）該進行加法或減法的運算，如果Sel是00，則將Din1和Din2相加；如果Sel是11，則將Din1減去Din2；否則，將Din1保持不變，接著，將計算結果利用暫存器(register)存在temp1中，再將temp1的值賦予輸出(TDout)。  第二部份Comparator用來判斷第一階段輸出(TDout)的值與模數（Q）的關係，若TDout>=Q則Tcmp輸出為2b’11；Q>TDout>=0則Tcmp輸出為2b’01；0>TDout則Tcmp輸出為2b’00。  第三部份ALU根據第二階段輸出結果Tcmp判斷TDout與Q要進行的數學運算，如果Tcmp為11，則Dout等於TDout減去Q；如果Tcmp為01，則Dout等於TDout；否則，Dout等於TDout加上Q，最後輸出結果為Dout。 | | | |

一張含有 行, 電子藍, 圖表, 螢幕擷取畫面 的圖片

自動產生的描述