2024 Digital IC Design Homework II

|  |  |  |  |
| --- | --- | --- | --- |
| NAME | 黃奕淳 | | |
| Student ID | N26112291 | | |
| **Functional Simulation Result** | | | |
| **Pass** | | **Pass** | **Pass** |
| **Stage 1** | | | |
|  | | | |
| **Stage 2** | | | |
|  | | | |
| **Stage 3** | | | |
|  | | | |
| **Description of your design** | | | |
| 第一題是要設計一個FIFO電路，我有三個reg分別是people、valid1、done1且依照posedge clk利用ASCII判斷輸入是英文字母則存入people且同時把valid1賦值1做為有效輸出，其餘狀況則valid1=0，最終判斷結束符號為”$”則輸入結束，將done1=1，最後將reg分別assign給輸出done\_fifo，people\_thing\_out，valid\_fifo。  第二、三題分別要設計一個LIFO及FIFO電路，用來模擬拿取行李及剩餘的行李，可以用FSM來實現，我有設計幾個狀態用來執行不同狀態時的操作Init\_State:初始狀態，判斷輸入(ready\_lifo)有訊號則進入下一個狀態(Catch\_Thing)、Catch\_Thing:用來接收輸入(thing\_in)及判斷是否遇到符號”;”，若碰到符號”;”則改變狀態(Send\_get)，反之則利用reg(count)及輸入(thing\_num)計算拿取的數量且將輸入存入reg(temp)，這邊會遇到行李數量為0或thing\_num為0或兩者皆為0的情況，因此要判斷執行不一樣的操作、Send\_get:判斷是否全部輸出完，若是則跳下一狀態(Save\_left)，反之則維持在(Send\_get)，執行操作為，若拿取數量(thing\_num)為0則輸出0(8'h30)，反之從reg(temp)分別輸出資料、Save\_left:用來記錄未拿取的資料、Done:用來初始狀態，因為每次碰到符號”;”會停止拿取資料，必須待輸出(done\_thing)喇起才又開始送資料，且將一些reg初始為0、Delay:判斷是否碰到輸入符號”$”若是的話，則跳入下一狀態(Send\_left)處理剩下資料，反之跳入狀態(Catch\_Thing)繼續處理LIFO資料、Send\_left、Done2: 用來初始化參數的狀態、Finish:結束的狀態。 | | | |

一張含有 文字, 螢幕擷取畫面, 行, 字型 的圖片

自動產生的描述