2024 Digital IC Design

Homework 4: Max-Priority Queue

|  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- |
| NAME | | 黃奕淳 | | | | | | |
| Student ID | | N26112291 | | | | | | |
| **Simulation Result** | | | | | | | | |
| Functional simulation | 100 | | Gate-level simulation | 0 | Clock  width | ns | Gate-level simulation time | ns |
|  | | | | |  | | | |
| **Synthesis Result** | | | | | | | | |
| Total logic elements | | | | | 2286 | | | |
| Total memory bit | | | | | 0 | | | |
| Embedded multiplier 9-bit element | | | | | 0 | | | |
|  | | | | | | | | |
| **Description of your design** | | | | | | | | |
| 在這次LAB要實作一個MPQ電路，一開始在接收資料的狀態中依序存取資料後，接著必須判斷cmd要執行的動作，分別有build、extract、increase、insert、write狀態，其中build時必須執行max\_heapify演算法，而每種動作我分別定義不同的狀態。  程式依照cmd在不同狀態間切換，例如:dat0測試資料中必須執行bulid及wrtie; dat1測試資料中必須執行bulid、extract及wrtie，一開始將資料bulid後執行extract而extract拿取最大值後必須重新排序因此又回到bulid狀態執行max\_heapify演算法。dat2、dat3測試資料以此類推。  此次作業Functional simulation我有通過，但在Gate-level simulation我一直無法成功合成出電路，目前我還在找尋問題的原因。 | | | | | | | | |

*Scoring = (Total logic elements + total memory bit + 9\*embedded multiplier 9-bit element) (Total cycle used\*clock width)*