

# 113 學年第一學期計算機系統設計期中考

- 請以圖 1 中的架構實現下面運算，並設計一個 FSM 控制此架構。

$$\begin{bmatrix} M_0 & M_1 \\ M_2 & M_3 \end{bmatrix} = \begin{bmatrix} a & b \\ c & d \end{bmatrix} \odot \begin{bmatrix} e & f \\ g & h \end{bmatrix} = \begin{bmatrix} ae & bf \\ cg & dh \end{bmatrix}$$

$$\begin{bmatrix} S_0 & S_1 \\ S_2 & S_3 \end{bmatrix} = \begin{bmatrix} M_0 & M_1 \\ M_2 & M_3 \end{bmatrix} + \begin{bmatrix} S_0 & S_1 \\ S_2 & S_3 \end{bmatrix}$$

$$W = S_0 - S_1 + S_2 - S_3$$

- 架構及演算法如下面說明，實現完畢請比對波形圖，評分標準在本卷最後面。

架構圖：



此顏色代表組合邏輯電路



此顏色代表 DFF，每個 DFF 都有 clk 和 rst 腳

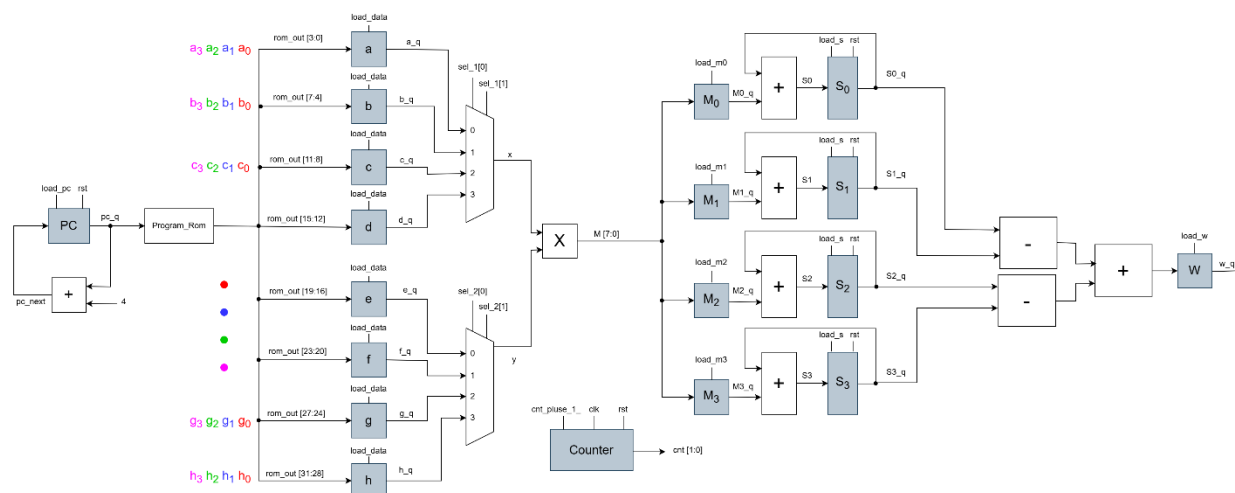


圖 1

## testbench:

```
module testbench;

    logic clk, rst;
    logic [7:0] w_q;

    TOP u_TOP(
        .rst(rst),
        .clk(clk),
        .w_q(w_q)
    );

    always #10 clk = ~clk;
    initial begin
        clk = 0; rst = 1;
        #15 rst = 0;
        #10000 $stop;
    end
endmodule
```

## Program\_Rom 的測試資料:

```
module Program_Rom(
    input  logic [3:0] Rom_addr_in,
    output logic [31:0] Rom_data_out
);

    always_comb begin
        case (Rom_addr_in)
            4'h0 : Rom_data_out = 32'h44216a93; // a0=3, b0=9, c0=a, d0=6, e0=1, f0=2, g0=4, h0=4
            4'h4 : Rom_data_out = 32'h65125748; // a1=8, b1=4, c1=7, d1=5, e1=2, f1=1, g1=5, h1=6
            4'h8 : Rom_data_out = 32'hffb00193; // a2=3, b2=9, c2=1, d2=0, e2=0, f2=b, g2=f, h2=f
            4'hc : Rom_data_out = 32'h156778dc; // a3=c, b3=d, c3=8, d3=7, e3=7, f3=6, g3=5, h3=1
            default: Rom_data_out = 32'h0;
        endcase
    end
endmodule
```

### ● 請實現圖 1 的硬體架構

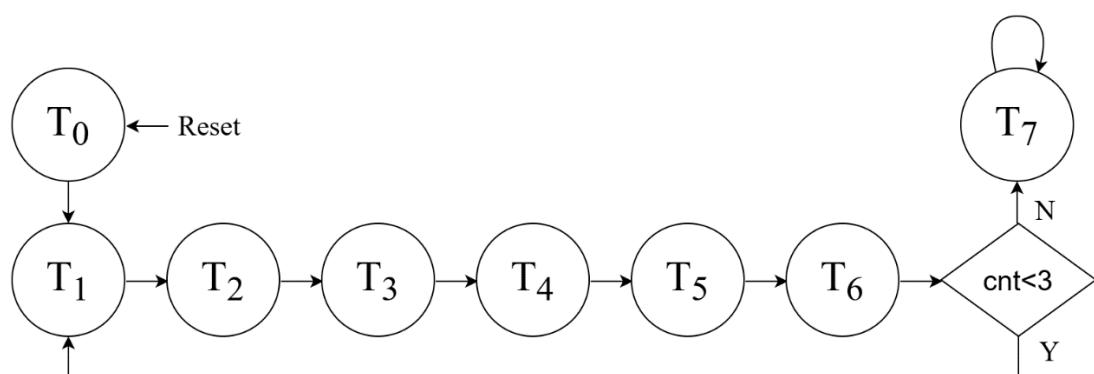
1. Program\_Rom 的輸出為 32bit
2.  $a\_q = \text{rom\_out}[3:0]$
3.  $b\_q = \text{rom\_out}[7:4]$
4.  $c\_q = \text{rom\_out}[11:8]$
5.  $d\_q = \text{rom\_out}[15:12]$
6.  $e\_q = \text{rom\_out}[19:16]$
7.  $f\_q = \text{rom\_out}[23:20]$
8.  $g\_q = \text{rom\_out}[27:24]$
9.  $h\_q = \text{rom\_out}[31:28]$
10. 請使用助教提供的 Program\_ROM 程式碼
11.  $S_0\_q = a_0e_0 + a_1e_1 + a_2e_2 + a_3e_3$
12.  $S_1\_q = b_0f_0 + b_1f_1 + b_2f_2 + b_3f_3$
13.  $S_2\_q = c_0g_0 + c_1g_1 + c_2g_2 + c_3g_3$
14.  $S_3\_q = d_0h_0 + d_1h_1 + d_2h_2 + d_3h_3$
15.  $W\_q = S_0 - S_1 + S_2 - S_3$

### Datapath 描述:

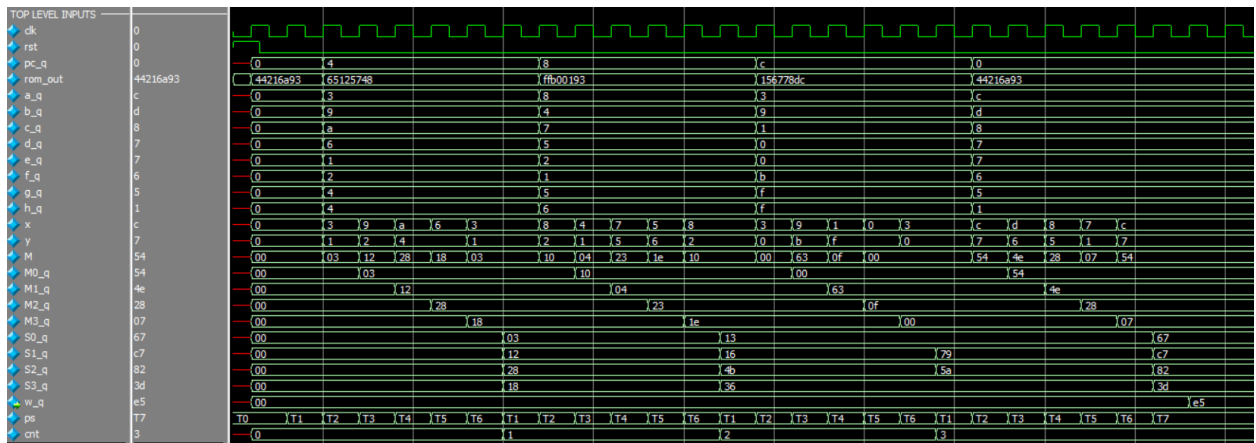
1. PC、a、b、c、d、e、f、g、h 為 4bit 暫存器
2. M<sub>0</sub>、M<sub>1</sub>、M<sub>2</sub>、M<sub>3</sub>、S<sub>0</sub>、S<sub>1</sub>、S<sub>2</sub>、S<sub>3</sub>、W 為 8bit 暫存器
3. Counter 為一個兩位元的計數器，從零開始計數，每當完成一筆輸入資料後 (執行到載入 S<sub>0~3</sub> 暫存器)，計數器都會加 1，直到 Program\_Rom 內的四筆測資都執行完畢。

### Controller 描述(所有 FSM 發出的控制訊號都會在晚 1 個 clk 後才讓資料發生改變)

- Reset 時，所有暫存器清除為 0，FSM 跳至 T<sub>0</sub>。
- T<sub>0</sub>：不動作，下一個狀態跳到 T<sub>1</sub>。
- T<sub>1</sub>：將 rom\_out 讀入暫存器 a、b、c、d、e、f、g、h 中，同時將新的 pc\_q 加 4 載入 PC 暫存器中，下一個狀態跳到 T<sub>2</sub>。
- T<sub>2</sub>：將  $a \times e$  的結果載入暫存器 M<sub>0</sub>，下一個狀態跳到 T<sub>3</sub>。
- T<sub>3</sub>：將  $b \times f$  的結果載入暫存器 M<sub>1</sub>，下一個狀態跳到 T<sub>4</sub>。
- T<sub>4</sub>：將  $c \times g$  的結果載入暫存器 M<sub>2</sub>，下一個狀態跳到 T<sub>5</sub>。
- T<sub>5</sub>：將  $d \times h$  的結果載入暫存器 M<sub>3</sub>，下一個狀態跳到 T<sub>6</sub>。
- T<sub>6</sub>：將  $M_i\_q + S_i\_q$  的結果載入暫存器 S<sub>i</sub>， $i = 0 \sim 3$ 。此時如果 Counter 內的數值(cnt) 小於 3，則發出 cnt\_pluse\_1\_ 訊號使 Counter 加 1，下一個狀態跳到 T<sub>1</sub>；否則下一個狀態跳到 T<sub>7</sub>。
- T<sub>7</sub>：將  $S_0\_q - S_1\_q + S_2\_q - S_3\_q$  的結果存入暫存器 w，下一個狀態跳到 T<sub>7</sub>。



輸出結果波形圖：



若結果無誤或是有任何提問請舉手

分數分配：

1. 越早交越高分
2. 正確描述完架構圖上的 Datapath，0~30 分
3. 可以順利將 Program\_Rom 的值正確載入 a、b、c、d、e、f、g、h

暫存器中，30~50 分

4. 可以將乘法器的結果儲存到正確的  $M_0 \sim M_3$  暫存器上，50~60 分
5. 可以至少運算出一筆正確的測資，60~80 分
6. 四筆測資全部算完並且跟波形圖一樣，80~100 分