

## 111 學年第一學期計算機系統設計期中考

- 請實現下面架構圖，並設計一個 FSM 計算下式結果。

$$W = (a + d) * b - c$$

- 請看完以下題目描述與架構圖在硬體中實現以上演算法，並比對下面的波形圖，評分標準在本卷最後面

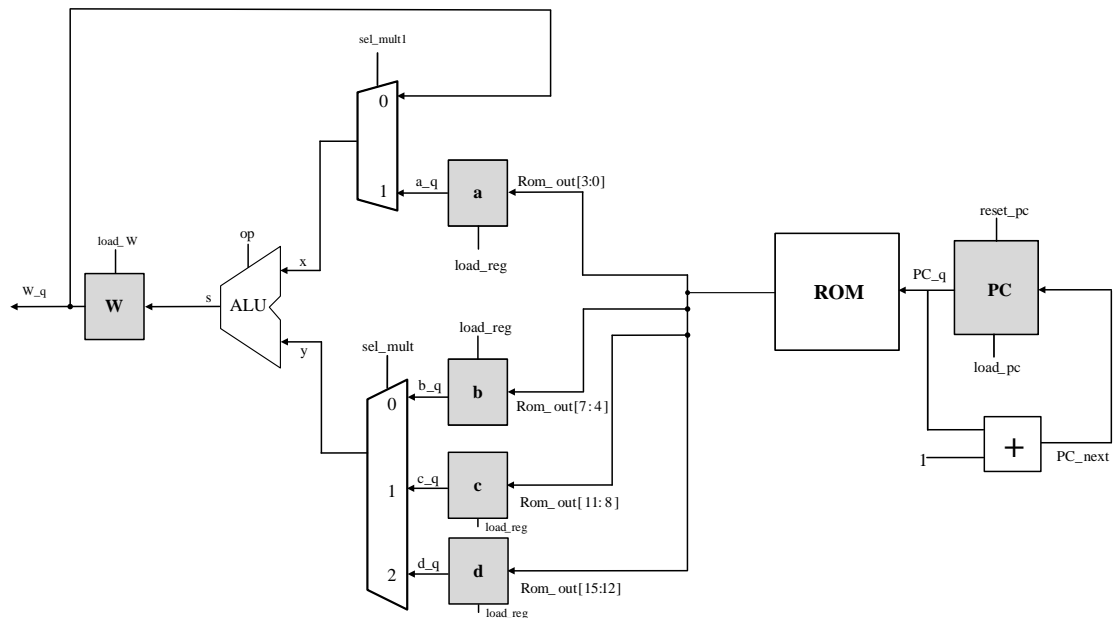
架構圖：



此顏色代表組合邏輯電路



此顏色代表序向邏輯電路



## testbench:

```
module testbench;

    logic clk, rst;
    logic [7:0] W_q;

    top top1(
        .clk(clk),
        .rst(rst),
        .W_q(W_q)
    );

    always #5 clk = ~clk;

    initial begin
        clk = 0; rst = 1;
        #10 rst = 0;
        #500 $stop;
    end

endmodule
```

## ROM 的測試資料:

```
module Program_Rom(
    output logic [15:0] Rom_data_out,
    input [3:0] Rom_addr_in
);

    always_comb
    begin
        case (Rom_addr_in)
            4'h0: Rom_data_out = 16'h1234; //a = 4, b = 3, c = 2, d = 1, W_q = (a + d) * b - c = 13
            4'h1: Rom_data_out = 16'h2138; //a = 8, b = 3, c = 1, d = 2, W_q = (a + d) * b - c = 29
            4'h2: Rom_data_out = 16'h1256; //a = 6, b = 5, c = 2, d = 1, W_q = (a + d) * b - c = 33
            4'h3: Rom_data_out = 16'h7757; //a = 7, b = 5, c = 7, d = 7, W_q = (a + d) * b - c = 63
            default: Rom_data_out = 16'h0;
        endcase
    end

endmodule
```

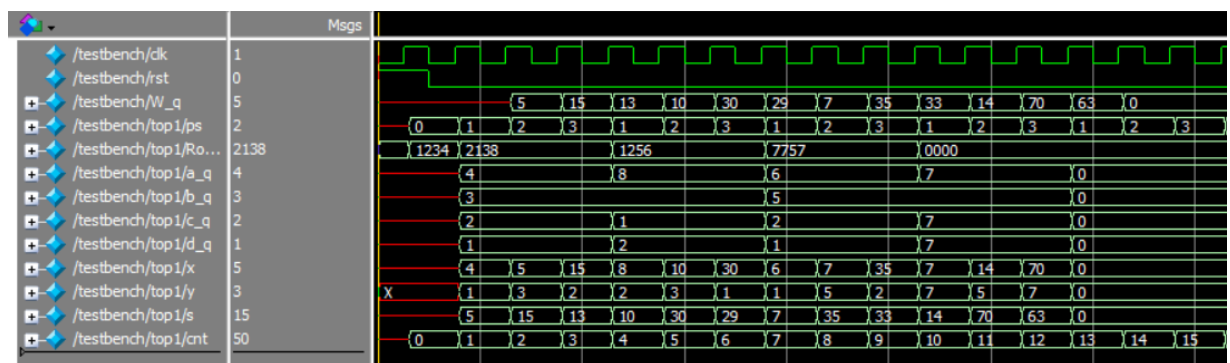
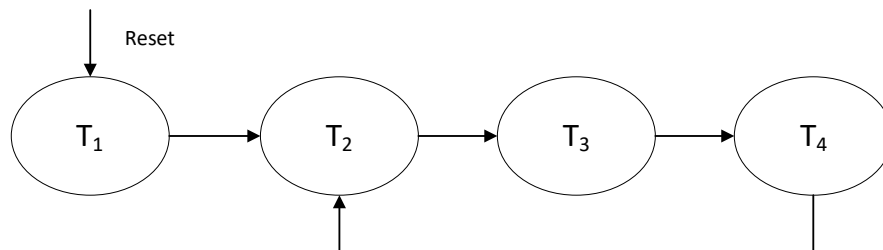
1. Rom 的輸出為 16bit
2.  $a = \text{Rom\_data\_out}[3:0]$
3.  $b = \text{Rom\_data\_out}[7:4]$
4.  $c = \text{Rom\_data\_out}[11:8]$
5.  $d = \text{Rom\_data\_out}[15:12]$
6. 請使用助教提供的 ROM 程式碼

## Datapath 描述:

1. PC、a、b、c、d 為 4bit 暫存器
2. W 為 8bit 暫存器
3. ALU 與多工器輸出為 8bit，ALU 內包含+、-、×的功能
4. 多工器的 a、b、c、d 輸入前 4bit 為 0，如 {4'h0, a\_q}
5. 另外撰寫一個 8bit counter，reset = 1 時歸 0，其他時間 clk 發生時就 +1 (用來對照 clk 發生次數)

## Controller 描述(所有序向邏輯的描述都會在晚 1 個 clk 後資料才真正發生改變)

- T<sub>1</sub>: 將 Rom\_out 讀入 a、b、c、d 暫存器中，同時將新的 PC\_q 加 1 載入 pc 暫存器中，下一個狀態跳到 T<sub>2</sub>。
- T<sub>2</sub>: 將 a + d 的結果載入 w 暫存器，下一個狀態跳到 T<sub>3</sub>。
- T<sub>3</sub>: 將 W\_q × b 的結果載入 w 暫存器，下一個狀態跳到 T<sub>4</sub>。
- T<sub>4</sub>: 將 W\_q - c 的結果存入 w 暫存器，同時將下一筆 Rom\_out 讀入 a、b、c、d 暫存器中，並將新的 PC\_q 加 1 載入 pc 暫存器中，下一個狀態跳到 T<sub>2</sub>。



若結果無誤或是有任何提問請舉手

## 分數分配:

1. 越早交越高分
2. 正確描述完架構圖上的 Datapath，0~40 分
3. 可以順利將 Rom 的值正確載入 a、b、c、d 暫存器中 40~60 分
4. 可以至少運算出一筆正確的測資 60~80 分
5. 四筆測資全部算完並且 counter 的 clk 數跟波形圖一樣 80~100 分