

## **INTERRUPCIONES** (Section 6: Interrupts)

El microcontrolador PIC24 cuenta con un vector de interrupción (IVT, *Interrupt Vector Table*) que puede tener hasta 126 componentes, con lo que se pueden gestionar hasta 126 interrupciones diferentes, aunque normalmente no se utilizan todas. A cada interrupción le corresponde un componente en el vector, y en él se guarda la información necesaria para poder saltar a la rutina de atención correspondiente. Los elementos del vector están en direcciones consecutivas. Además del IVT, dispone de una segunda tabla alternativa: AIVT, *Alternate Interrupt Vector Table*, que está orientada al proceso de debugging. Para acceder a esta segunda tabla se utiliza el bit ALTIVT del registro de control INTCON2.

Los primeros componentes del vector corresponden a las interrupciones del procesador o TRAPs. Dichas interrupciones TRAP son las generadas por el sistema y generalmente se deben a un error ocurrido en la CPU. Se distinguen dos tipos: *Hard Traps* y *Soft Traps*.

Las denominadas *Hard Trap* no se pueden enmascarar y tienen prioridad fija. Cuando se produce una de estas interrupciones, el programa en ejecución es siempre interrumpido.

Las denominadas *Soft Trap* se gestionan igual que las interrupciones generales, es decir, que sí se pueden enmascarar.

Relacionada con las interrupciones, el micro dispone de una instrucción especial, 'DISI' (*Disable Interrupts*), que permite inhibir las interrupciones cierto número de ciclos (hasta 16384). Esta instrucción deshabilita las interrupciones de prioridad 1-6, pero no las de prioridad 7, ni tampoco los TRAPS. Es una instrucción pensada para la ejecución de segmentos de código críticos.

Las interrupciones son anidables, es decir, una rutina de atención puede a su vez ser interrumpida por una interrupción de prioridad superior. Pero el anidamiento puede habilitarse o no mediante el bit NSTDIS del registro INTCON1.

Para realizar el control de las interrupciones el microcontrolador PIC24 cuenta con los siguientes 30 registros: INTCON1, INTCON2, IFS0 – IFS4 (5 registros), IEC0 – IEC4 (5 registros), IPC0 – IPC17 (18 registros).

- En el registro de control INTCON1, además del bit NSTDIS se encuentran los bits de estado de las interrupciones TRAP.
- En el registro de control INTCON2 además del bit ALTIVT, se controla el estado de las interrupciones externas (INT0EP – INT4EP) y de la instrucción DISI.
- En los registros IFSi (*Interrupt Flag Status*) se encuentran los bits de petición de interrupción (xxIF). Cada bit pertenece a un módulo periférico concreto, de modo que cuando dicho módulo genera una petición de interrupción, su correspondiente IF se activa. Dichos bits pueden ser también activados por el programador vía software. **Cuando una interrupción es aceptada, la rutina de atención correspondiente debe desactivar el bit de interrupción correspondiente en todos los casos.**
- En los registros IECi (*Interrupt Enable Control*) se encuentran los bits que habilitan cada una de las interrupciones (xxIE).
- En los registros IPCi se guarda la prioridad de las interrupciones enmascarables: 3 bits para cada interrupción; el valor 7 corresponde a la máxima prioridad y el valor 0 a la menor, que es equivalente a deshabilitar la interrupción.

En el registro SR (*CPU Status Register*), los bits IPL2:IPL0 (bits <7-5>) indican el nivel de prioridad actual permitido y su valor puede ser modificado por el usuario. Si por ejemplo el valor de esos tres bits es IPL2<2:0>=3, la CPU no es interrumpida por ninguna fuente cuya prioridad sea 0, 1, 2 o 3.

El bit IPL3 del registro CORCON (*Core Control*) indica el nivel de prioridad actual de las TRAPs y es de solo lectura, ya que el usuario no lo puede modificar.

A modo de resumen, puede decirse que cada interrupción tiene asociados tres indicadores: xxIE, xxIF y xxIP.

- El bit xxIE (IE: *Interrupt Enable*) habilita o deshabilita la interrupción correspondiente: '0' = deshabilita; '1' = habilita.
- El bit xxIF (IF: *Interrupt Flag*) se activa (toma el valor 1) cuando el módulo correspondiente genera una petición de interrupción. Dicho bit debe ser desactivado por software en la rutina de atención de la interrupción.
- Los 3 bits xxIP indican la prioridad de la interrupción xx:
  - 111= 7, máxima prioridad
  - - -
  - 001= 1, mínima prioridad
  - 000= Interrupción deshabilitada

La tabla de la siguiente página recoge la estructura y contenido de todos los registros mencionados.

## Resumen de los registros y bits para la gestión de las interrupciones en el PIC24

File Name	Addr	Bit 15	Bit14	Bit13	Bit12	Bit11	Bit10	Bit9	Bit8	Bit7	Bit6	Bit5	Bit4	Bit3	Bit2	Bit1	Bit0	All Resets
INTCON1	0080	NSTDIS	—	—	—	—	—	—	—	—	DIV0ERR	DMACERR	MATHERR	ADDRERR	STKERR	OSCFAIL	—	0000
INTCON2	0082	ALTIVT	DISI	—	—	—	—	—	—	—	—	—	INT4EP	INT3EP	INT2EP	INT1EP	INT0EP	0000
IFS0	0084	—	DMA1IF	AD1IF	U1TXIF	U1RXIF	SPI1IF	SPI1EIF	T3IF	T2IF	OC2IF	IC2IF	DMA0IF	T1IF	OC1IF	IC1IF	INT0IF	0000
IFS1	0086	U2TXIF	U2RXIF	INT2IF	T5IF	T4IF	OC4IF	OC3IF	DMA2IF	IC8IF	IC7IF	AD2IF	INT1IF	CNIF	—	MI2C1IF	SI2C1IF	0000
IFS2	0088	T6IF	DMA4IF	—	OC8IF	OC7IF	OC6IF	OC5IF	IC6IF	IC5IF	IC4IF	IC3IF	DMA3IF	C1IF	C1RXIF	SPI2IF	SPI2EIF	0000
IFS3	008A	—	—	DMA5IF	—	—	—	—	C2IF	C2RXIF	INT4IF	INT3IF	T9IF	T8IF	MI2C2IF	SI2C2IF	T7IF	0000
IFS4	008C	—	—	—	—	—	—	—	—	C2TXIF	C1TXIF	DMA7IF	DMA6IF	—	U2EIF	U1EIF	—	0000
IFS5	008E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IEC0	0094	—	DMA1IE	AD1IE	U1TXIE	U1RXIE	SPI1IE	SPI1EIE	T3IE	T2IE	OC2IE	IC2IE	DMA0IE	T1IE	OC1IE	IC1IE	INT0IE	0000
IEC1	0096	U2TXIE	U2RXIE	INT2IE	T5IE	T4IE	OC4IE	OC3IE	DMA32IE	IC8IE	IC7IE	AD2IE	INT1IE	CNIE	—	MI2C1IE	SI2C1IE	0000
IEC2	0098	T6IE	DMA4IE	—	OC8IE	OC7IE	OC6IE	OC5IE	IC6IE	IC5IE	IC4IE	IC3IE	DMA3IE	C1IE	C1RXIE	SPI2IE	SPI2EIE	0000
IEC3	009A	—	—	DMA5IE	—	—	—	—	C2IE	C2RXIE	INT4IE	INT3IE	T9IE	T8IE	MI2C2IE	SI2C2IE	T7IE	0000
IEC4	009C	—	—	—	—	—	—	—	—	C2TXIE	C1TXIE	DMA7IE	DMA6IE	—	U2EIE	U1EIE	—	0000
IEC5	009E	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	0000
IPC0	00A4	—	T1IP<2:0>			—	OC1IP<2:0>			—	IC1IP<2:0>			—	INT0IP<2:0>			4444
IPC1	00A6	—	T2IP<2:0>			—	OC2IP<2:0>			—	IC2IP<2:0>			—	DMA0IP<2:0>			4444
IPC2	00A8	—	U1RXIP<2:0>			—	SPI1IP<2:0>			—	SPI1EIP<2:0>			—	T3IP<2:0>			4444
IPC3	00AA	—	—	—	—	—	DMA1IP<2:0>			—	AD1IP<2:0>			—	U1TXIP<2:0>			4444
IPC4	00AC	—	CNIP<2:0>			—	—	—	—	—	MI2C1IP<2:0>			—	SI2C1IP<2:0>			4444
IPC5	00AE	—	IC8IP<2:0>			—	IC7IP<2:0>			—	AD2IP<2:0>			—	INT1IP<2:0>			4444
IPC6	00B0	—	T4IP<2:0>			—	OC4IP<2:0>			—	OC3IP<2:0>			—	DMA2IP<2:0>			4444
IPC7	00B2	—	U2TXIP<2:0>			—	U2RXIP<2:0>			—	INT2IP<2:0>			—	T5IP<2:0>			4444
IPC8	00B4	—	C1IP<2:0>			—	C1RXIP<2:0>			—	SPI2IP<2:0>			—	SPI2EIP<2:0>			4444
IPC9	00B6	—	IC5IP<2:0>			—	IC4IP<2:0>			—	IC3IP<2:0>			—	DMA3IP<2:0>			4444
IPC10	00B8	—	OC7IP<2:0>			—	OC6IP<2:0>			—	OC5IP<2:0>			—	IC6IP<2:0>			4444
IPC11	00BA	—	T6IP<2:0>			—	DMA4IP<2:0>			—	—	—	—	—	OC8IP<2:0>			4444
IPC12	00BC	—	T8IP<2:0>			—	MI2C2IP<2:0>			—	SI2C2IP<2:0>			—	T7IP<2:0>			4444
IPC13	00BE	—	C2RXIP<2:0>			—	INT4IP<2:0>			—	INT3IP<2:0>			—	T9IP<2:0>			4444
IPC14	00C0	—	—	—	—	—	—	—	—	—	—	—	—	—	C2IP<2:0>			4444
IPC15	00C2	—	—	—	—	—	—	—	—	—	DMA5IP<2:0>		—	—	—	—	—	4444
IPC16	00C4	—	—	—	—	—	U2EIP<2:0>			—	U1EIP<2:0>		—	—	—	—	—	4444
IPC17	00C6	—	C2TXIP<2:0>			—	C1TXIP<2:0>			—	DMA7IP<2:0>		—	—	DMA6IP<2:0>			4444
IPC18	00C8	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	—	4444
INTTREG	00E0	—	—	—	—	ILR<3:0>				—	VECNUM<6:0>							0000

**NSTDIS:** habilita/deshabilita el anidamiento de las interrupciones: 1= habilitado / 0= deshabilitado

**DIV0ERR, DMACERR, MATHERR, ADDRERR, STKERR, OSCFAIL:**

1= se ha producido el correspondiente error

**ALTIVT:** Para acceder al vector de interrupciones alternativo: 0= estandar

**DISI:** Estado de las interrupciones, 1 = habilitado

**INT4EP, INT3EP, INT2EP, INT1EP, INT0EP:**

El bit INTxEP determina el modo de activación de las interrupciones externas:

1 = flanco descendente // 0 = flanco ascendente

**ILR:** Nuevo nivel de prioridad de interrupción (sólo de lectura)

## VECTOR DE INTERRUPCIONES EN EL PIC24H

(IVT: *Interrupt Vector Table*)

Interrupt Request (IRQ) Number	DIRECCIÓN IVT	DIRECCIÓN AIVT	Generador de la interrupción	_ISR _Generador
<b>Indices para los TRAP</b>				
0	0x000004	0x000084	Reservado	
1	0x000006	0x000086	Fallo en el oscilador	_OscillatorFail
2	0x000008	0x000088	Dirección errónea	_AddressError
3	0x00000A	0x00008A	Error de pila	_StackError
4	0x00000C	0x00008C	Error matemático	_MathError
5	0x00000E	0x00008E	Error DMA	_DMACError
6	0x000010	0x000090	Reservado	
7	0x000012	0x000092	Reservado	
<b>Indices para los periféricos</b>				
8	0x000014	0x000114	INT0 – interrupción externa 0	_INT0Interrupt
9	0x000016	0x000116	IC1 – <i>Input Capture</i> 1	_IC1Interrupt
10	0x000018	0x000118	OC1 – <i>Output Compare</i> 1	_OC1Interrupt
11	0x00001A	0x00011A	T1 – <i>Timer</i> 1	_T1Interrupt
12	0x00001C	0x00011C	DMA0 – DMA 0 kanala	_DMA0Interrupt
13	0x00001E	0x00011E	IC2 – <i>Input Capture</i> 2	_IC2Interrupt
14	0x000020	0x000120	OC2 – <i>Output Compare</i> 2	_OC2Interrupt
15	0x000022	0x000122	T2 – <i>Timer</i> 2	_T2Interrupt
16	0x000024	0x000124	T3 – <i>Timer</i> 3	_T3Interrupt
17	0x000026	0x000126	SPI1E – Error SPI1	_SPI1ErrInterrupt
18	0x000028	0x000128	SPI1 – SPI1 Transferencia finalizada	_SPI1Interrupt
19	0x00002A	0x00012A	U1RX – Receptor UART1	_U1RXInterrupt
20	0x00002C	0x00012C	U1TX – Emisor UART1	_U1TXInterrupt
21	0x00002E	0x00012E	ADC1 – CA/D 1	_ADC1Interrupt
22	0x000030	0x000130	DMA1 – Canal 1 DMA	_DMA1Interrupt
23	0x000032	0x000132	Reservado	
24	0x000034	0x000134	SI2C1 – I2C1 evento en el esclavo	_SI2C1Interrupt
25	0x000036	0x000136	MI2C1 – I2C1 evento en el maestro	_MI2C1Interrupt
26	0x000038	0x000138	Reservado	
27	0x00003A	0x00013A	CN – <i>Change Notificación</i>	_CNInterrupt
28	0x00003C	0x00013C	INT1 – interrupción externa 1	_INT1Interrupt
29	0x00003E	0x00013E	ADC2 – CA/D 2	_ADC2Interrupt
30	0x000040	0x000140	IC7 – <i>Input Capture</i> 7	_IC7Interrupt
31	0x000042	0x000142	IC8 – <i>Input Capture</i> 8	_IC8Interrupt
32	0x000044	0x000144	DMA2 – Canal 2 DMA	_DMA2Interrupt
33	0x000046	0x000146	OC3 – <i>Output Compare</i> 3	_OC3Interrupt
34	0x000048	0x000148	OC4 – <i>Output Compare</i> 4	_OC4Interrupt
35	0x00004A	0x00014A	T4 – <i>Timer</i> 4	_T4Interrupt
36	0x00004C	0x00014C	T5 – <i>Timer</i> 5	_T5Interrupt
37	0x00004E	0x00014E	INT2 – interrupción externa 2	_INT2Interrupt
38	0x000050	0x000150	U2RX – Receptor UART2	_U2RXInterrupt
39	0x000052	0x000152	U2TX – Emisor UART2	_U2TXInterrupt
40	0x000054	0x000154	SPI2E – Error SPI2	_SPI2ErrInterrupt
41	0x000056	0x000156	SPI2 – SPI2 Transferencia finalizada	_SPI2Interrupt
42	0x000058	0x000158	C1RX – ECAN1 recogida datos lista	_C1RxRdyInterrupt
43	0x00005A	0x00015A	C1 – ECAN1 evento	_C1Interrupt
44	0x00005C	0x00015C	DMA3 – Canal 3 DMA	_DMA3Interrupt
45	0x00005E	0x00015E	IC3 – <i>Input Capture</i> 3	_IC3Interrupt
46	0x000060	0x000160	IC4 – <i>Input Capture</i> 4	_IC4Interrupt
47	0x000062	0x000162	IC5 – <i>Input Capture</i> 5	_IC5Interrupt
48	0x000064	0x000164	IC6 – <i>Input Capture</i> 6	_IC6Interrupt
49	0x000066	0x000166	OC5 – <i>Output Compare</i> 5	_OC5Interrupt
50	0x000068	0x000168	OC6 – <i>Output Compare</i> 6	_OC6Interrupt
51	0x00006A	0x00016A	OC7 – <i>Output Compare</i> 7	_OC7Interrupt

52	0x00006C	0x00016C	OC8 – <i>Output Compare</i> 8	_OC8Interrupt
53	0x00006E	0x00016E	Reservado	
54	0x000070	0x000170	DMA4 – DMA 4 kanala	_DMA4Interrupt
55	0x000072	0x000172	T6 – <i>Timer</i> 6	_T6Interrupt
56	0x000074	0x000174	T7 – <i>Timer</i> 7	_T7Interrupt
57	0x000076	0x000176	SI2C2 – I2C2 evento en el esclavo	_SI2C2Interrupt
58	0x000078	0x000178	MI2C2 – I2C2 evento en el maestro	_MI2C2Interrupt
59	0x00007A	0x00017A	T8 – <i>Timer</i> 8	_T8Interrupt
60	0x00007C	0x00017C	T9 – <i>Timer</i> 9	_T9Interrupt
61	0x00007E	0x00017E	INT3 – interrupción externa 3	_INT3Interrupt
62	0x000080	0x000180	INT4 – interrupción externa 4	_INT4Interrupt
63	0x000082	0x000182	C2RX – ECAN2 recogida datos lista	_C2RxRdyInterrupt
64	0x000084	0x000184	C2 – ECAN2 evento	_C2Interrupt
65-68	0x000086- 0x00008C	0x000186- 0x00018C	Reservado	_DCIErrInterrupt
69	0x00008E	0x00018E	DMA5 – Canal 5 DMA	_DCIInterrupt
70-72	0x000090- 0x000094	0x000190- 0x000194	Reservado	
73	0x000096	0x000196	U1E – Error UART1	_U1ErrInterrupt
74	0x000098	0x000198	U2E – Error UART2	_U2ErrInterrupt
75	0x00009A	0x00019A	Reservado	
76	0x00009C	0x00019C	DMA6 – Canal 6 DMA	_DMA6Interrupt
77	0x00009E	0x00019E	DMA7 – Canal 7 DMA	_DMA7Interrupt
78	0x0000A0	0x0001A0	C1TX – ECAN1 Petición transmisión datos	_C1TxReqInterrupt
79	0x0000A2	0x0001A2	C2TX – ECAN2 Petición transmisión datos	_C2TxReqInterrupt
80-125	0x0000A4- 0x0000FE	0x0001A4- 0x0001FE	Reservado	