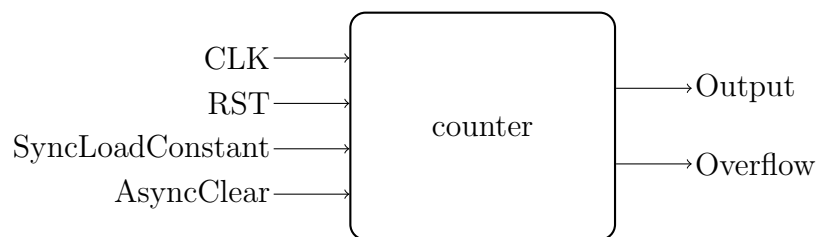


# Counter

Ihre Aufgabe ist es, das Verhalten einer Entity namens „counter“ zu programmieren. Die Entity ist in der angehängten Datei „counter.vhdl“ deklariert und hat folgende Eigenschaften:

- Eingang: CLK vom Typ std\_logic
- Eingang: RST vom Typ std\_logic
- Eingang: SyncLoadConstant vom Typ std\_logic
- Eingang: AsyncClear vom Typ std\_logic
- Ausgang: Overflow vom Typ std\_logic
- Ausgang: Output vom Typ std\_logic\_vector und der Länge 3



Verändern Sie die Datei „counter.vhdl“ nicht!

Die „counter“ Entity soll den Ausgangsvektor Output bei jeder steigenden Flanke des Taktsignals CLK inkrementieren. Der Eingang RST ist ein synchroner Reset, der Initialwert am Ausgang Output nach dem Reset soll „000“ betragen. Wenn der Eingang SyncLoadConstant auf '1' gesetzt ist, dann soll der Ausgang Output bei der steigenden Flanke des Taktes auf den konstanten Wert „111“ gesetzt werden. Wenn der Eingang AsyncClear auf '1' gesetzt ist, dann soll der Ausgang Output sofort auf „000“ gesetzt werden. Wenn sich der Ausgangsvektor von „111“ auf „000“ verändert, dann soll das Overflow Signal bis zur nächsten steigenden Flanke des Takts auf '1' gesetzt werden. In allen anderen Fällen soll das Overflow Signal auf '0' gesetzt sein.

Programmieren Sie dieses Verhalten in der angehängten Datei „counter\_beh.vhdl“.

Um Ihre Lösung abzugeben, senden Sie ein E-Mail mit dem Betreff „Result Task 3“ und Ihrer Datei „counter\_beh.vhdl“ an [vhdl-mc+e384@tuwien.ac.at](mailto:vhdl-mc+e384@tuwien.ac.at).

Viel Erfolg und möge die Macht mit Ihnen sein.