

Liaison serie configuration:

9600 bauds, no parity, 8 bits, 1 stop bits.

ne pas oublier de configurer les port C6(tx) et C7(rx) en entr ée pour utiliser le mode USART

Le registre de reception des donn ées sera dans **RCREG**

Le registre de transmission des donn ées sera dans **TXREG**

Le cœur de la transmission série est le registre **TSR**.

Le registre à décalage **STR** obtient ces donn ées de la lecture / écriture tampon de transmission, **TXREG**.

Le registre **TXREG** est chargé avec des donn ées que vous desirez transmettre.

Le registre **TSR** n'est pas chargé tant que le bit d'arr êt n'a pas été transmis du chargement precedent.

D ès que le Bit de stop est transmis, le registre **TSR** est chargé avec les nouvelles donn ées du registre **TXREG** (si disponible).

Une fois que le registre **TXREG** transmet les donn ées vers le registre **TSR**

le registre **TXREG** est vid é et le bit indicateur **TXIF (PIR1 <4>)** est activ é

Cette interruption peut être activ ée/d éactiv ée par definition enable/disable du **TXIE** bits (**PIE1 <4>**).

Le **TXIF** bits "drapeau" sera fix é quel que soit l'état de **TXIE** bits, et ne peut pas être d éactiv é dans le programme.

Elle sera remise à zéro que lorsque de nouvelles donn ées seront charg ées dans le registre **TXREG**.

Bien le bit TXIF indique l'état du registre TXREG,

le bit **TRMT (TXSTA <1>)** indique l'état du registre **TSR**.

le bit est en lecture seule, il est d éfinie lorsque le registre **TSR** est vide.

Aucune logique d'interruption est li ée à ce bit, l'utilisateur doit interroger ce bit afin de d éterminer si le registre **TSR** est vide.

La transmission est activ ée par le bit **TXEN (TXSTA <5>)**.

La transmission réelle ne se fera pas tant que le registre **TXREG** n'a pas été charg ée avec les donn ées et le g énérateur de bauds (**BRG**) definie avec les correspondance BAUD/horloge

La transmission peut être également declanch ée par le premier chargement du registre **TXREG** puis en activant le bit **TXEN**.

Normalement, Au premier d émarage, le registre **TSR** est vide.

À ce point, un transfert sur le registre **TXREG** se traduira par un transfert imm édiat au registre **TSR**, r ésultant en un **TXREG** vide.

Un transfert "back-to-back" est donc possible.

mettre à zero le bit **TXEN** lors d'une transmission causera l'abandon de la transmission et r éinitialisera l'émetteur.

En cons équence, la broche RC6/TX/CK reviendra en haute-imp édance.

Afin de s électionner 9 bits de transmission, le bit **TX9 (TXSTA <6>)** doit être configur é et le neuvi ème bit doit être écrit sur le bit **TX9D (TXSTA <0>)**. **Le neuvi ème bit doit être écrit avant l'écriture des donn ées 8-bit** au registre **TXREG**.

C'est parce qu'une écriture de donn ées dans le registre **TXREG** peut aboutir à un transfert imm édiat des donn ées au registre **TSR** (si le registre **TSR** est vide).

Dans un tel cas, le neuvi ème bit de donn ées ne sera pas charg ées dans le registre **TSR**.

Pour une Transmission Asynchrone , suivre ces etape:

1. Initialiser le registre **SPBRG** pour la vitesse en baud rate, voir tableau. si une vitesse de transmission elev ée est desir ée activer le bit **BRGH**.
2. Activer le port serie asynchrone en effaçant le bit **SYNC** et activer le bit **SPEN**.
3. Si vous desirez activer les interruptions, alors il faut activer le bit **TXIE**.
4. Si vous desirez une transmission de 9-bit, alors activer le bit **TX9**.
5. autoriser la transmission en activant le bit **TXEN**, qui activera le bit **TXIF**.
6. Si une transmission de 9-bit est selectionn ée le neuvieme bit devra etre charg é dans **TX9D**
7. Charger le registre **TXREG** (demarrer la transmission).

8. Si les interruptions sont activées, assurez vous que **GIE** and **PEIE** (bits 7 and 6) du registre **INTCON** sont activés.

Reception Asynchrone :

Les données sont reçues sur la broche **RC7/RX/DT**

Une fois que le mode asynchrone est sélectionné, la réception est activée par le bit **CREN** (**RCSTA <4>**).

Le cœur du récepteur est le registre à décalage (**RSR**).

Après l'échantillonnage du bit d'arrêt, les données reçues dans le **RSR** sont transférées dans le registre **RCREG** (si il est vide).

Si le transfert est terminé le bit flag **RCIF** (**PIR1 <5>**) est activé

L'interruption réelle peut être activée/désactivée en activant/désactivant le bit **RCIE** (**PIE1 <5>**).

Le bit **RCIF** est en lecture seule, il est effacé par le matériel.

Il est effacé lorsque le registre **RCREG** a été lu et est vide.

Le registre **RCREG** est un double tampon (**FIFO**).

Il est possible que deux octets de données soient reçus et transférés au **FIFO RCREG** et un troisième octet vers le registre **RSR**.

Sur la détection du bit d'arrêt du troisième octet, si le registre est **RCREG** encore plein, le dépassement de bit d'erreur **OERR** (**RCSTA <1>**) sera fixé.

Le mot de la **RSR** seront perdues.

Le registre **RCREG** peut être lu deux fois pour récupérer les deux octets dans le **FIFO**.

le bit **OERR** de dépassement doit être désactivé logiquement.

Ceci est fait en réinitialisant la logique de réception (**CREN** est effacé).

Si le bit **OERR** est activé les transferts du registre **RSR** au registre **RCREG** sont inhibés, et aucune donnée ne sera reçue.

Il est donc, essentielle d'effacer le bit d'erreur **OERR** si elle est définie.

la "Framing erreur" bit **FERR** (**RCSTA <2>**) est défini si un bit d'arrêt est détecté comme claire.

FERR et le 9e Bit sont bufferisés la même façon que les données reçues.

La lecture du registre **RCREG** va charger les bits **FERR RX9D** avec de nouvelles valeurs, par conséquent,

il est essentiel pour l'utilisateur de lire le registre **RCSTA** avant de lire le registre **RCREG** Afin de ne pas perdre l'ancienne valeur de **FERR** et l'informations **RX9D**.

LE REGISTRE TXSTA :

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
CSRC : source de l'horloge	TX9 : select 8 bits en reception	TXEN :transmission autorisée	SYNC : mode USART mode asynchrone	non utilisé	BRGH : mode asynchrone haute vitesse	TRMT : status registre transmission (full)	TX9D : neuvieme bit
0	0	1	0	0	1	0	0

valeur en hexadecimal : 0x24

LE REGISTRE RCSTA :

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
SPEN : enable serial	RX9 : select 8 bits en reception	SREN :pas utilisé en asynchrone	CREN : reception en continu autorisée	ADDEN : adresse detection	FERR : pas d'erreurs framing	OERR : pas d'erreurs overrun	RX9D : neuvieme bit
1	0	0	1	0	0	0	0

valeur en hexadecimal : 0x90

LE REGISTRE SPBRG : Tableau correspondance baud rate

LE REGISTRE SPBRG :

horloge à 20 Mhz , vitesse liaison 9600 bauds, donc valeur du registre en decimal = 129 soit 0x81 en hexa

bit7	bit6	bit5	bit4	bit3	bit2	bit1	bit0
1	0	0	0	0	0	0	1

valeur en hexadecimal : 0x81

TABLE 10-3: BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 0)

BAUD RATE (K)	Fosc = 20 MHz			Fosc = 16 MHz			Fosc = 10 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	-	-	-	-	-	-	-	-	-
1.2	1.221	1.75	255	1.202	0.17	207	1.202	0.17	129
2.4	2.404	0.17	129	2.404	0.17	103	2.404	0.17	64
9.6	9.766	1.73	31	9.615	0.16	25	9.766	1.73	15
19.2	19.531	1.72	15	19.231	0.16	12	19.531	1.72	7
28.8	31.250	8.51	9	27.778	3.55	8	31.250	8.51	4
33.6	34.722	3.34	8	35.714	6.29	6	31.250	6.99	4
57.6	62.500	8.51	4	62.500	8.51	3	52.083	9.58	2
HIGH	1.221	-	255	0.977	-	255	0.610	-	255
LOW	312.500	-	0	250.000	-	0	156.250	-	0

BAUD RATE (K)	Fosc = 4 MHz			Fosc = 3.6864 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	0.300	0	207	0.3	0	191
1.2	1.202	0.17	51	1.2	0	47
2.4	2.404	0.17	25	2.4	0	23
9.6	8.929	6.99	6	9.6	0	5
19.2	20.833	8.51	2	19.2	0	2
28.8	31.250	8.51	1	28.8	0	1
33.6	-	-	-	-	-	-
57.6	62.500	8.51	0	57.6	0	0
HIGH	0.244	-	255	0.225	-	255
LOW	62.500	-	0	57.6	-	0

TABLE 10-4: BAUD RATES FOR ASYNCHRONOUS MODE (BRGH = 1)

BAUD RATE (K)	Fosc = 20 MHz			Fosc = 16 MHz			Fosc = 10 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	-	-	-	-	-	-	-	-	-
1.2	-	-	-	-	-	-	-	-	-
2.4	-	-	-	-	-	-	2.441	1.71	255
9.6	9.615	0.16	129	9.615	0.16	103	9.615	0.16	64
19.2	19.231	0.16	64	19.231	0.16	51	19.531	1.72	31
28.8	29.070	0.94	42	29.412	2.13	33	28.409	1.36	21
33.6	33.784	0.55	36	33.333	0.79	29	32.895	2.10	18
57.6	59.524	3.34	20	58.824	2.13	16	56.818	1.36	10
HIGH	4.883	-	255	3.906	-	255	2.441	-	255
LOW	1250.000	-	0	1000.000	-	0	625.000	-	0

BAUD RATE (K)	Fosc = 4 MHz			Fosc = 3.6864 MHz		
	KBAUD	% ERROR	SPBRG value (decimal)	KBAUD	% ERROR	SPBRG value (decimal)
0.3	-	-	-	-	-	-
1.2	1.202	0.17	207	1.2	0	191
2.4	2.404	0.17	103	2.4	0	95
9.6	9.615	0.16	25	9.6	0	23
19.2	19.231	0.16	12	19.2	0	11
28.8	27.798	3.55	8	28.8	0	7
33.6	35.714	6.29	6	32.9	2.04	6
57.6	62.500	8.51	3	57.6	0	3
HIGH	0.977	-	255	0.9	-	255
LOW	250.000	-	0	230.4	-	0

