

**Chamada Universal MCTI/CNPq 2018**  
**Faixa A – até R\$ 30.000,00**

**Proposta:**  
**HaS-CoDeC: Hardware/Software Co-Design para**  
**Codificação de Vídeo de Alta Eficiência Usando**  
**Algoritmos de Machine Learning**

**Proponente: Mateus Grellert**

Universidade Católica de Pelotas  
Programa de Pós-Graduação em Engenharia Eletrônica e de Computação - PPGEEC

Pelotas  
10 de agosto de 2018

# Resumo

Este projeto de pesquisa tem como objetivo a investigação, projeto e implementação de técnicas de Machine Learning para otimização computacional em aplicações de codificação e transcodificação de vídeo. Os sistemas de codificação selecionados incluem o padrão mais recente H.265/HEVC (High Efficiency Video Coding) da ITU-T e o codificador emergente AV1 (AOMedia Video 1) da AOM. O padrão HEVC foi desenvolvido a partir da necessidade de uma maior taxa de compressão para vídeos de resoluções altas como Full HD (*Full High Definition*, 1920x1080). Comparado a seu antecessor, o padrão H.264/AVC, o HEVC é capaz de atingir aproximadamente o dobro de compressão para a mesma qualidade de imagem. No entanto, as novas ferramentas introduzidas no HEVC o tornam até 3 vezes mais complexo que o H.264/AVC. Além disso, o novo codificador AV1 atinge os melhores resultados de compressão entre seus competidores (incluindo o HEVC), mas ao custo de uma complexidade entre 2500 e 3000 vezes maior comparada com os demais. Esses resultados apontam que a codificação em tempo real para codificadores HEVC e AV1 é um grande desafio, portanto soluções que apresentam otimizações computacionais para esses padrões são de extrema importância. Para lidar com esse problema, este projeto irá investigar soluções de otimização computacional para os componentes mais custosos de codificadores de alta eficiência. Duas frentes de trabalho foram delimitadas: a primeira envolve o desenvolvimento de soluções em software com uso de *Machine Learning*, visto que essa abordagem apresentou excelentes resultados em pesquisas recentes; e a segunda se baseia em desenvolvimento de arquiteturas VLSI (*Very Large Scale Integration*) para os kernels mais custosos dos codificadores. Primeiramente, será realizada uma análise em software das aplicações dos codificadores para identificar os módulos mais intensivos em computação. A seguir, técnicas de *Data Mining* serão utilizadas para coletar e processar a informação desses codificadores, a fim de identificar dados relevantes que permitam prever o resultado de algumas operações realizadas na codificação. Utilizando os dados selecionados na etapa anterior, modelos preditivos utilizando técnicas como *Decision Trees* e *Random Forests* serão treinados para reduzir ou eliminar os cálculos necessários nas operações. Além disso, soluções VLSI também serão desenvolvidas com o propósito de otimizar os *kernels* de codificação. Essas arquiteturas serão utilizadas de forma colaborativa com os modelos preditivos, permitindo uma integração entre as otimizações em software e em hardware.

**Palavras-chave:** codificação de vídeo, aprendizado de máquina, hardware/software co-design

# Sumário

<b>1</b>	<b>Identificação e caracterização do problema</b>	<b>4</b>
<b>2</b>	<b>Fundamentação teórica e técnica</b>	<b>9</b>
<b>3</b>	<b>Objetivos e Metodologia</b>	<b>12</b>
3.1	Objetivos Específicos	12
3.2	Metodologia	13
<b>4</b>	<b>Orçamento, metas físicas e cronograma físico-financeiro</b>	<b>15</b>
4.1	Metas físicas e cronograma de atividades	15
4.2	Orçamento detalhado	16
4.3	Justificativa dos itens orçados	16
4.4	Cronograma de utilização dos recursos financeiros	17
4.5	Plano de atividades a serem desenvolvidas pelo(a) bolsista de iniciação científica	17
<b>5</b>	<b>Contribuições esperadas e indicadores de acompanhamento</b>	<b>19</b>
5.1	Contribuições científicas esperadas	19
5.2	Impacto esperado no desenvolvimento da Microeletrônica na região	20
<b>6</b>	<b>Equipe, infraestrutura e recursos</b>	<b>21</b>
6.1	Experiência em pesquisa da equipe no tema do projeto	22
6.2	Colaborações já estabelecidas com outros centros de pesquisa	24
6.3	Infraestrutura e apoio técnico para desenvolvimento do projeto	25
6.4	Estimativa de aporte de recursos financeiros de outras fontes	25
	<b>Referências</b>	<b>27</b>

# 1 Identificação e caracterização do problema

Os constantes avanços em tecnologias de semicondutores impulsionam um crescimento no número de aplicações que manipulam vídeo digital. Serviços de *Video On Demand* (VOD) como Youtube e Netflix estão gradualmente substituindo os meios tradicionais de entretenimento. Outros exemplos são as videoconferências, que se tornam mais frequentes à medida que melhorias nas tecnologias de comunicação permitem bandas mais largas, e o recente interesse por tecnologias de vídeo imersivo e realidade virtual. Para quantificar essa tendência, um artigo publicado pela Cisco em 2017 aponta que vídeos digitais consumiram 73% da banda de internet em 2016, e que esse valor deve passar para 82% em 2021 (CISCO, 2016).

Computacionalmente, vídeos são representados como uma série de matrizes de pixels, sendo que cada pixel armazena uma tripla com as informações de cor. Usualmente, o formato YCbCr é utilizado para as camadas de cor, no qual cada pixel tem a informação de luminância (Y), que representa a intensidade luminosa, croma-luminância azul (Cb) e croma-luminância vermelha (Cr). Uma matriz de pixels é também chamada de quadro, e a dimensão desse quadro define a resolução espacial do vídeo (e.g., 1920x1080). A taxa de captura, o número de quadros por segundo (qps) capturados pela câmera, define a resolução temporal do vídeo.

À medida que o uso de vídeos aumenta, cresce também a demanda por mais qualidade desse tipo de mídia, i.e., por vídeos com maior resolução espacial e temporal. Esses dois parâmetros são diretamente proporcionais à banda requerida para transmissão e à capacidade de memória para armazenamento. Em sequências de vídeo sem compressão, esse valor pode ser quantificado pela equação abaixo:

$$BW = L \times A \times QPS \times BPA \times 3 \text{ bits/s} \quad (1.1)$$

Em (1.1)  $BPA$  representa o tamanho em bits das amostras de cada camada de cor (usualmente 8), enquanto que  $L$ ,  $A$ , e  $QPS$  são respectivamente a largura, a altura e a taxa de quadros do vídeo.

Para um vídeo na resolução *Full HD* (1920x1080 pixels, também chamada de 1080p) capturado a 30 qps, uma banda de 1,49 Gbps é necessária para transmissão no formato sem compressão. Isso também significa que armazenar uma hora de um vídeo *Full HD* a 30 qps exige 336 GB de memória. Muitos dispositivos de captura realizam uma subamostragem no espaço de cores para reduzir esse valor pela metade (chamada subamostragem 4:2:0 (LAMBRECHT, 2013)), mas mesmo os 746 Mbps resultantes são proibitivos nas tecnologias atuais de transmissão. Portanto, técnicas de compressão de

vídeo são necessárias para permitir a ampla utilização desse tipo de mídia.

A compressão (também chamada codificação) de vídeo pode ser resumidamente descrita como um processo que examina quadros e regiões dentro dos quadros (blocos) em busca de informações redundantes ou de pouca relevância para o sistema visual humano. As técnicas de codificação se baseiam em explorar essas características para gerar um *stream* de bits comprimido, o qual deve ser posteriormente decodificado para visualização. Existem diversas técnicas de codificação de vídeo disponíveis, cada uma realizando a mesma tarefa de maneira diferente, portanto padrões de codificação de vídeo foram criados para permitir uma linguagem comum entre codificadores e decodificadores presentes em diferentes plataformas.

O padrão mais atual é conhecido por *High Efficiency Video Coding* (HEVC), registrado na recomendação H.265 da ITU-T (ITU-T, 2013). O HEVC surgiu de um esforço coletivo de vários especialistas da indústria e da academia, que formaram um grupo chamado *Joint Collaborative Team on Video Technology* (JCT-VC). A partir de abril de 2010, várias reuniões do JCT-VC ocorreram com o intuito de decidir se ferramentas propostas deveriam fazer parte do novo padrão.

O padrão HEVC adota uma arquitetura de codificação baseada em blocos, combinando predição com compensação de movimento, transformadas, e codificação entrópica de alta eficiência. No entanto, diferentemente de codificadores anteriores, o HEVC define uma estrutura de codificação mais flexível, a qual a permite blocos de vários tamanhos para a codificação, predição e transformadas. O padrão também implementa intra-predição mais eficiente, predição adaptativa de movimento, um novo filtro para suavização, e uma codificação de entropia avançada com base no CABAC (*Context-Adaptive Binary Arithmetic Coding*) (BOSEN; FLYNN; SÜHRING, 2013). Novas estruturas de abstração para processamento paralelo também são utilizadas. Graças a essas inovações, o HEVC gera um *stream* de bits 39,3% menor que o H.264/AVC para a mesma qualidade de imagem (valor medido com a métrica Bjøntegaard Difference – BD-Bitrate ou simplesmente BD-BR) (GROIS et al., 2013), (BJONTEGAARD, 2001).

Apesar do desempenho superior do HEVC, a indústria tem mostrado cautela antes de adotar esse padrão (a Apple anunciou suporte somente em 2017 <sup>1</sup>), em parte porque o custo associado envolve o pagamento de *royalties*. Grandes companhias como Google, Amazon e Intel se uniram para contornar esse problema, formando a Alliance for Open Media (AOM) em 2015 <sup>2</sup>. O objetivo da AOM era gerar um padrão livre de *royalties* para facilitar sua aplicação na indústria, com foco em vídeos UHD (Ultra High Definition) para serviços de VOD. Desse esforço, surgiu o AOMedia Video 1 (AV1) (GRANGE; QUILLIO, 2018), um projeto de codificador que seria sucessor do codificador VP9 da

<sup>1</sup> Fonte: <https://bitmovin.com/wwdc17-hevc-hls-apple-just-announced-feature-support-box/>

<sup>2</sup> Fonte: <https://aomedia.org/alliance-to-deliver-next-generation-open-media-formats/>

Google (MUKHERJEE et al., 2013).

O AV1 ainda está em desenvolvimento, mas seu objetivo é atingir uma compressão superior ao HEVC para a mesma qualidade. Para atingir esse objetivo, as técnicas de codificação implementadas são mais custosas que as do HEVC (mais particionamentos, modos de predição e transformadas).

Como pode ser visto na Tab. 1, os padrões H.264/AVC (ITU-T, 2003), HEVC e AV1 possuem estruturas e técnicas similares, mas muito diferentes nos modos de operação disponíveis.

Tabela 1 – Ferramentas de codificação utilizadas no H.264/AVC (ITU-T, 2003), no HEVC (ITU-T, 2013) e no AV1 (GRANGE; QUILLIO, 2018)

Ferramenta	H.264/AVC	HEVC	AV1
Tamanhos de Bloco	16x16 - 4x4	64x64 - 8x8	128x128 - 4x4
Modos Intra	9 modos	35 modos	56 modos
Unidades de Predição	4 partições	8 partições	9 partições
Transformadas	2 tamanhos	4 tamanhos	19 tamanhos
Filtros	DF	SAO, DF	CDEF, Wiener, SGF

Ainda não se sabe se o mercado vai optar pelo HEVC, pelo AV1, ou se os dois serão simultaneamente adotados pelos serviços de VOD, portanto os dois codificadores devem ser considerados como tópicos importantes de pesquisa para futuros sistemas de codificação.

As próximas seções apresentam em detalhes toda a estrutura do projeto, seguindo os itens sugeridos pelo edital. Pelo que será exposto no texto pretende-se demonstrar a relevância da execução deste projeto para o grupo de pesquisa do qual o coordenador participa. Também se espera mostrar a relevância da execução deste projeto para o avanço científico e tecnológico nas áreas de concentração do projeto e também para a expansão e qualificação das competências brasileiras em áreas estratégicas, como a microeletrônica e a codificação de vídeos.

## Formulação do problema e proposta

As técnicas avançadas presentes nos codificadores recentes introduzem um problema que é tópico de pesquisa há muitos anos: os requisitos computacionais necessários para aplicações práticas de codificadores de vídeo. De fato, como reportado em (VANNE et al., 2012), o HEVC necessita entre 20% e 50% mais computações para comprimir os dados quando comparado ao H.264/AVC.

A mesma tendência é observada com o AV1. Um documento publicado por pesquisadores da Universidade de Moscou aponta que o AV1 é extremamente mais custoso que outros codificadores de alta eficiência (incluindo HEVC) (VATOLIN et al., 2018). Em

média, o codificador AV1 demora entre 2500 e 3000 vezes mais para codificar vídeos. Isso se deve, em parte, de uma implementação ainda experimental do codificador, pois o AV1 é um projeto muito recente, mas também é resultado das ferramentas definidas no AV1 que são de fato mais complexas. Isso motiva ainda mais as pesquisas com esse codificador, pois existe muito espaço para contribuições.

Aplicações práticas introduzem muitos fatores que não podem ser ignorados em sistemas complexos como codificadores de vídeo. Por exemplo, se uma câmera precisa gravar e transmitir o vídeo instantaneamente (transmissões ao vivo), então é necessário codificar em tempo real (tipicamente mais de 30 quadros por segundo). Ademais, se o dispositivo é alimentado por uma bateria, é importante desenvolver soluções com baixos requisitos energéticos.

Todos esses fatores ensejam a necessidade de soluções capazes de reduzir o custo computacional e energético em codificadores de vídeo. A literatura aborda esse problema de duas formas: reduzindo os modos de codificação avaliados e desenvolvendo arquiteturas dedicadas para aumentar o processamento.

A primeira abordagem se baseia no fato de que codificadores de vídeo testam diversos modos de comprimir cada região (bloco) do quadro, buscando aquele que minimiza a perda de qualidade. É possível, portanto, reduzir o tempo de codificação através da eliminação de alguns desses modos. O desafio está em decidir quais modos podem ser eliminados sem causar perdas na eficiência de compressão.

A segunda estratégia reduz o tempo de codificação através de aceleradores dedicados, capazes de computar os mesmos cálculos de um processador de propósito geral de forma mais rápida e eficiente. Nesse caso, não necessariamente há perda na qualidade de compressão, mas muitas vezes é preciso simplificar algoritmos antes de implementá-los em hardware, o que em geral introduz perdas. O desafio é gerar uma arquitetura eficiente em termos de desempenho e consumo energético e ao mesmo tempo minimizar as perdas introduzidas pelas simplificações.

Este projeto propõe o desenvolvimento de soluções de redução computacional para codificação de vídeo, focando em codificadores de alta eficiência como HEVC e AV1. Duas frentes foram definidas: (i) soluções de otimização computacional em software através do uso de *Machine Learning*; e (ii) desenvolvimento de aceleradores em hardware para as ferramentas mais custosas dos codificadores (a partir daqui referenciadas como *kernels*). As soluções em software e hardware serão projetadas de forma integrada para otimizar a redução de custo computacional e energético de forma global, caracterizando uma metodologia conhecida como *Hardware/Software Co-Design*.

A motivação principal para o uso de soluções em hardware e software vem da natureza mista entre as diferentes formas de otimização. Em algoritmos de *Machine Learning*

como Árvores de Decisão e Florestas Randômicas, o cálculo da predição é uma operação orientada a controle (também chamada *control flow*) baseada em sucessivas comparações, portanto implementações em software são mais interessantes. Por outro lado, as operações mais custosas em codificadores de vídeo são orientadas a dados *data flow*, indicando que soluções em hardware podem trazer ganhos significativos.

O maior desafio agregado deste projeto de pesquisa está na integração dos projetos de Hardware/Software. Esta complexidade se concentra no fato de que a importante aceleração provida pelos algoritmos de *Machine Learning* depende de uma lógica orientada a controle com redução de tempo variável. Este projeto pretende criar estratégias para evitar ou reduzir qualquer tipo de gargalo nessa no fluxo de execução entre os componentes em software e hardware, gerando uma solução que atenda a requisitos de tempo real.

**Área de conhecimento predominante:** esse projeto se enquadra nas áreas de Sistemas de Computação Embarcados e Microeletrônica.

**Instituições participantes:** este projeto conta com a Universidade Católica de Pelotas como instituição sede, e três instituições colaboradoras: Universidades Federal de Pelotas, Universidade Federal do Rio Grande do Sul, e Universidade de Coimbra.



## 2 Fundamentação teórica e técnica

Segundo De Michell, Hardware/Software Co-Design significa atender a objetivos em nível de sistema com a exploração do sinergismo entre hardware e software através de um desenvolvimento concorrente (MICHELL; GUPTA, 1997). Essa metodologia é comumente aplicada em sistemas compostos por processadores de propósito geral e aceleradores dedicados uma tarefa específica no mesmo chip.

Arquiteturas ricas em aceleradores (IYER, 2012; CONG et al., 2014) se baseiam na conexão de processadores de propósito geral acoplados a aceleradores dedicados para otimizar operações custosas de determinada aplicação, caracterizando um sistema de processamento heterogêneo. Neste contexto, alguns trabalhos apresentam um modelo de arquitetura *many-core* rica em aceleradores específicos para codificação de vídeo (KHAN et al., 2013; SHAFIQUE; HENKEL, 2014; HENKEL; KHAN; SHAFIQUE, 2015). Nestes trabalhos, a redução de complexidade ocorre em duas camadas: (i) na camada de software, heurísticas são definidas para filtrar alguns modos de codificação, reduzindo as operações necessárias para computá-los; (ii) na camada de hardware, aceleradores dedicados são utilizados para reduzir o tempo de execução das operações mais custosas (somente nos modos que passaram pela filtragem heurística).

A proposta deste projeto está bastante alinhada com a metodologia de (KHAN et al., 2013; SHAFIQUE; HENKEL, 2014; HENKEL; KHAN; SHAFIQUE, 2015). No entanto, a redução de complexidade na camada de software será realizada através de modelos de *Machine Learning*, os quais apresentam excelentes resultados em codificadores de vídeo.

O trabalho proposto em (GRELLERT et al., 2018) mostra que classificadores SVM (*Support Vector Machines*) podem reduzir significativamente o tempo de codificação HEVC através da limitação do número de modos de particionamento avaliados nesse processo. Os classificadores utilizam a informação do próprio codificador para decidir os particionamentos que podem ser desconsiderados sem que ocorra uma perda significativa na qualidade do vídeo codificado. Os resultados apresentados apontam uma redução de tempo de 48% com uma contrapartida de apenas 0,48% de redução em eficiência de compressão.

Uma estratégia similar utilizando árvores de decisão é proposta em (CORREA et al., 2015) e aperfeiçoada em (GRELLERT et al., 2018), mostrando que através do uso de atributos mais significativos é possível melhorar significativamente o desempenho dos classificadores. Particularmente em (GRELLERT et al., 2018), foi atingida uma importante redução de 47,8% no tempo de codificação com uma redução de apenas 0,24% na

eficiência de compressão.

O trabalho de (GUO et al., 2018) apresenta um mecanismo para inferência do particionamento de blocos no codificador AV1 em aplicações de múltiplos bitrates. Os autores utilizam uma modelagem Bayeasiana para computar a probabilidade de particionamentos utilizando a informação de codificações anteriores do mesmo vídeo. Os resultados apontam uma redução computacional média de 28,5% e uma perda 0,14% na eficiência da compressão. Esse é um dos poucos trabalhos da literatura que apresentam resultados para esse codificador, mostrando que há muito espaço para novas contribuições.

As soluções supracitadas apresentam reduções significativas na complexidade de codificação, mas não eliminam a necessidade de aceleradores em hardware para os *kernels* dos codificadores. Isso porque tanto heurísticas quanto modelos de *Machine Learning* produzem uma redução variável de acordo com as características do vídeo. Vídeos com muita atividade podem atingir uma redução inferior à necessária para atingir o processamento alvo. A segunda frente de pesquisa desse projeto vai trabalhar em aceleradores de hardware para complementar a redução obtida com as soluções em software.

A pesquisa em aceleradores de hardware aponta um foco maior em módulos para as etapas de Estimação de Movimento (EM) e Transformadas, visto que essas são as ferramentas mais custosas de codificadores atuais. O trabalho de (GRELLERT; BAMPI; ZATT, 2016) mostra que 43% do tempo de codificação HEVC é utilizado para a etapa fracionária da EM, enquanto que a parte inteira representa 17,8% do tempo total.

Em (SILVEIRA et al., 2017), um acelerador para cálculo de Soma das Diferenças Absolutas (*Sum of Absolute Differences* – SAD), métrica utilizada na EM. Os autores (dentre os quais se encontra o coordenador deste projeto) utilizam somadores compressores para reduzir o consumo em área e potência do SAD. Diversas arquiteturas de somadores compressores são testadas, sendo a mais eficiente composta por um compressor do tipo 8-2 formado por compressores 4-2 e um somador Kogge-Stone na etapa de recombinação. Essa configuração atingiu uma redução energética de 25,5% com relação à implementação trivial do SAD.

Em (DINIZ, 2015), são apresentadas arquiteturas de hardware dedicadas para o Filtro de Interpolação do HEVC, o filtro de deblocagem do HEVC e o cálculo do SAD. O autor atinge redução com uso de arquiteturas reconfiguráveis, i.e., componentes capazes de realizar mais de uma função dependendo da configuração dos sinais controle. Os resultados obtidos indicam ganhos significativos sobre arquiteturas de hardware do estado da arte. A arquitetura de hardware para o filtro de interpolação atinge taxa de processamento suficiente para processar vídeos de resolução ultra-alta e reduz a área de hardware por cerca de 50% comparado com uma arquitetura estado da arte.

Nenhum trabalho propondo aceleradores para o codificador AV1 foi encontrado até

a data de escrita desta proposta. Técnicas de inter-predição otimizadas para aceleradores em hardware do AV1 são discutidas em (DENG; MOCCAGATTA, 2017), mas os autores não implementaram nenhuma arquitetura na prática. Os resultados apresentados discutem somente os impactos das técnicas propostas na qualidade de compressão.

Com base na discussão deste capítulo e do anterior, fica claro que existe muito espaço para inovação em ambas as frentes de pesquisa definidas para esse projeto. Soluções de *Machine Learning* foram bastante exploradas para as estruturas de particionamento do HEVC, mas existem outras etapas desse codificador que podem se beneficiar dessa estratégia, como a Estimção de Movimento e as Transformadas. Aceleradores em hardware também possuem diversas contribuições, mas novas técnicas de otimização para baixa potência como computação e somadores compressores renovam a busca por arquiteturas cada vez mais otimizadas nesse padrão.

Além disso, a especificação do codificador AV1 foi disponibilizada ainda neste ano, abrindo uma grande espaço para novas contribuições com foco nesse codificador tanto em software quanto em hardware.

## 3 Objetivos e Metodologia

Este projeto tem como objetivo geral a investigação, projeto e implementação de soluções em software e arquiteturas de hardware para codificação nos padrões HEVC e AV1. A investigação busca explorar a redução computacional atingida através de uma abordagem integrada entre as diferentes camadas de do sistema, caracterizando uma metodologia conhecida como *Hardware/Software Co-Design*. As diferentes soluções serão comparadas com o estado da arte em dois aspectos: redução de complexidade, para soluções em software, e taxa de processamento e dissipação de potência para soluções em hardware.

### 3.1 Objetivos Específicos

Para atingir o objetivo geral, serão exploradas as características dos codificadores, estratégias de aquisição de dados para os modelos preditivos, bem como estratégias arquiteturais, incluindo técnicas específicas de projeto ASIC para redução de potência dos circuitos. Os objetivos específicos são divididos nas seguintes etapas:

- Estudo inicial, perfilamento computacional e mineração de dados dos codificadores HEVC e AV1: esta etapa inicia com o estudo das ferramentas de codificação presentes nos dois codificadores definidos no projeto. Em seguida, uma etapa de perfilamento dos softwares de codificação será realizada, a fim de identificar que módulos devem priorizados para redução de complexidade. Durante essa etapa também serão realizados estudos sobre os dados que podem ser adquiridos durante a codificação, bem como as decisões de particionamento dos diferentes codificadores. Isso será útil para entender o mecanismo de decisão de forma geral, bem como elencar os dados que serão utilizados para treinamento dos modelos preditivos.
- Investigação e projeto de modelos preditivos para redução computacional em software: essa etapa consiste em aplicar técnicas de *Data Mining* e *Machine Learning* para reduzir o número de modos avaliados nas decisões de codificação. Inicialmente, as estruturas de partição serão estudadas, mas dependendo do codificador outras decisões podem ser consideradas. Diferentes técnicas serão consideradas, afim de encontrar aquela que mais se adéqua para modelagem das decisões. Alguns exemplos de técnicas são Árvores de Decisão, Florestas Randômicas e SVMs. Os modelos resultantes serão comparados com outras implementações de redução computacional em software.

- Investigação e projeto de aceleradores em hardware para os *kernels* de codificação: o perfilamento realizado na etapa inicial servirá como base para identificação das ferramentas que têm o maior ganho potencial se implementadas em hardware. Os casos mais previsíveis incluem Estimção de Movimento e Transformadas. O desenvolvimento das arquiteturas será feito com dois alvos principais: alta taxa de processamento e baixo consumo de potência comparáveis ao estado da arte. Técnicas de desenvolvimento *low power*, e.g., computação aproximada, somadores compressores e arquiteturas reconfiguráveis, serão estudadas para garantir resultados competitivos com a literatura.

## 3.2 Metodologia

O grupo JCT-VC fornece um software de referência, chamado HEVC Test Model (HM) (ROSEWARNE et al., 2017). Este software é gratuito, possui código aberto, é escrito em C/C++, e implementa o codificador e o decodificador de vídeo conforme o padrão HEVC. A implementação do codificador AV1 é também disponibilizada com licença BSD (código aberto) <sup>1</sup>, e implementa tanto o codificador quanto o decodificador desse formato.

A etapa de perfilamento computacional necessária para identificar os módulos mais custosos pode ser realizada utilizando as ferramentas GNU prof (FENLASON; STALLMAN, 1988) e o *framework* Valgrind (NETHERCOTE; SEWARD, 2007).

As etapas de Data Mining e Machine Learning serão implementadas com scripts descritos na linguagem Python. Python tem se destacado na pesquisa de Ciência de Dados por ser uma linguagem simples e elegante, permitindo o desenvolvimento de sistemas sofisticados com poucas linhas de código. Em especial, a biblioteca Scikit-Learn (PEDREGOSA et al., 2011) provê os principais métodos de mineração e geração de modelos preditivos implementados.

As arquiteturas de hardware desenvolvidas serão implementadas em linguagem de descrição de hardware (HDL - *Hardware Description Language*) aplicando as estratégias arquiteturais de acordo com cada módulo desenvolvido. A partir da descrição HDL, o fluxo de projeto depende se a arquitetura será implementada em ASIC (*Application Specific Integrated Circuit*) ou mapeada para FPGAs (*Field-Programmable Gate Array*). O fluxo de projeto ASIC será feito utilizando ferramentas da Cadence (CADENCE, 2018) que incluem soluções para simulação, síntese lógica, síntese física, e análise de potência de ASICs. Para implementação em FPGA, será utilizado o software Xilinx Vivado (FEIST, 2012), que inclui ferramentas de síntese lógica, síntese física, mapeamento e análise de potência das arquiteturas para dispositivos FPGA. O Xilinx Vivado já inclui uma ferramenta para simulação funcional dos módulos.

<sup>1</sup> Disponível em <https://aomedia.google.com/aom/+/master/aom/>

Por fim, as soluções em software e em hardware combinadas serão implementadas no sistema de co-simulação Matlab Simulink (MATHWORKS, 2018), o qual permite a integração de softwares descritos em C/C++ com arquiteturas descritas em VHDL. O dispositivo utilizado será o Zynq-7000 SoC da Xilinx, que contém na mesma placa um processador ARM Cortex<sup>TM</sup> A9 (para execução das rotinas em software), uma FPGA Artix-7 de 28 nm para programação de IPs (para os aceleradores em hardware), além de várias interfaces de entrada/saída.

## 4 Orçamento, metas físicas e cronograma físico-financeiro

Esta seção apresenta as metas físicas do projeto, o cronograma de atividades, o orçamento detalhado e o cronograma de previsão de despesas.

### 4.1 Metas físicas e cronograma de atividades

As metas físicas do projeto estão listadas abaixo. A Tab. 2 apresenta o cronograma de atividades do projeto para os 6 semestres, de acordo com as metas físicas estabelecidas.

**Meta 1:** Perfilamento computacional dos codificadores HM e AV1 em software e implementação de rotinas de extração de dados.

**Meta 2:** Desenvolvimento de modelos preditivos para as decisões de particionamento do AV1 e HEVC.

**Meta 3:** Projeto e verificação de arquiteturas de hardware para os *kernels* HEVC e AV1.

**Meta 4:** Implementação das arquiteturas de hardware em ASIC e FPGA.

**Meta 5:** Investigação e desenvolvimento de técnicas para redução de potência das arquiteturas implementadas em ASIC e FPGA.

**Meta 6:** Integração das soluções desenvolvidas em ambiente de co-simulação com Simulink/MATLAB.

**Meta 7:** Divulgação dos resultados parciais e finais através de artigos a serem submetidos a eventos nacionais e internacionais qualificados.

**Meta 8:** Escrita de relatórios parcial e final.

Tabela 2 – Cronograma de atividades por semestre

Ano	2019		2020		2021	
Semestre	01	02	01	02	01	02
Meta 1	X	X				
Meta 2		X	X	X		
Meta 3	X	X	X	X	X	
Meta 4		X	X	X	X	X
Meta 5		X	X			
Meta 6			X	X	X	X
Meta 7		X		X		X
Meta 8		X		X		X

## 4.2 Orçamento detalhado

A Tabela 2 apresenta o orçamento detalhado de recursos necessários para execução do projeto. O total do valor orçado é de **R\$ 20.245,00**. Soma-se a esse valor uma bolsa de Iniciação Científica de 24 meses, cujo cronograma será detalhado em seguida, totalizando **R\$ 29.845,00**.

Tabela 3 – Orçamento detalhado.

Item	Descrição	Valor Unitário (USD)	Valor Unitário (BRL)*	Quant.	Valor Total (BRL)
1	Computador Estação de Trabalho com Monitor de vídeo	-	4.000,00	2	8.000,00
2	Xilinx Zynq-7000 SoC ZC702 Eval. Kit	910,00	4.095,00	1	4.095,00
	<b>Itens de Capital</b>	-	-	-	<b>12.095,00</b>
3	Passagem aérea internacional (ida e volta)	1.100,00	4.950,00	1	4.950,00
4	Passagem aérea nacional (ida e volta)	-	800,00	1	800,00
5	Diárias nacionais	-	320,00	5	1.600,00
6	Material de Consumo	-	-	-	800,00
	<b>Itens de Custeio</b>	-	-	-	<b>8.150,00</b>
	<b>Capital + Custeio</b>	-	-	-	<b>20.245,00</b>
	<b>Capital + Custeio + Bolsa IC (24 meses)</b>	-	-	-	<b>29.845,00</b>

\*Taxa de Câmbio: US\$ 1,00 = R\$ 4,50

## 4.3 Justificativa dos itens orçados

**Item 1 - Computadores PC com Monitor:** serão utilizados pelos alunos de mestrado e de iniciação científica para desenvolvimento do projeto. São necessários para o cumprimento de todas as metas físicas.

**Item 2 - Xilinx Zynq-7000 SoC ZC702 Evaluation Kit:** a placa de desenvolvimento Zynq da Xilinx será utilizada para o cumprimento das Metas 5, 6 e 7 do projeto, ou seja, a prototipação das arquiteturas em dispositivos FPGA, além da posterior integração hardware/software utilizando o Simulink. O kit de desenvolvimento inclui a placa e a licença do software Vivado Design Suite da Xilinx, que é um ambiente integrado de simulação



e síntese de sistemas digitais para FPGA, e também é utilizado pelo Simulink para a simulação do sistema hardware/software.

**Itens 3, 4 - Passagens aéreas internacionais e nacionais (ida e volta):** serão utilizados para apoiar os membros do projeto na participação em eventos nacionais e internacionais relevantes na área do projeto (apresentação de trabalhos em conferências, reuniões técnicas, seminários, palestras).

**Item 5 - Diárias nacionais:** serão utilizadas para apoiar os membros do projeto na participação em eventos nacionais relevantes na área do projeto (apresentação de trabalhos em conferências, reuniões técnicas, seminários, palestras).

**Item 6 - Material de consumo:** serão adquiridos suprimentos e acessórios de informática (cartuchos e toners para impressoras, cabos, memórias e demais componentes de reposição para os computadores adquiridos), papel, impressão de banners para divulgação dos trabalhos, etc

## 4.4 Cronograma de utilização dos recursos financeiros

A Tabela 4 apresenta o cronograma financeiro dos 6 semestres (36 meses) para realização do projeto. A utilização de cada item orçado (Tab. 3) por semestre é apresentada como uma porcentagem do valor total por item orçado.

Tabela 4 – Cronograma financeiro por semestre (em % do total orçado por item).

Ano	2019		2020		2021	
Semestre	01	02	01	02	01	02
Item 1	100%					
Item 2	100%					
Item 3				100%		
Item 4			50%	50%		
Item 5			50%		50%	
Item 6	20%	20%	20%	20%	20%	

## 4.5 Plano de atividades a serem desenvolvidas pelo(a) bolsista de iniciação científica

O coordenador deste projeto de pesquisa solicita uma quota de bolsa de Iniciação Científica (IC) para os 36 meses do projeto. O bolsista irá dar o suporte ao desenvolvimento das rotinas de extração de dados dos codificadores HEVC e AV1, bem como da implementação dos modelos preditivos para as decisões desses codificadores, realizados em conjunto pelos demais membros da equipe. As atividades do bolsista IC são descritas nos tópicos abaixo. A Tab. 5 apresenta o cronograma de atividades do(a) bolsista.

1. Estudo dos conceitos básicos sobre codificação de vídeo e do novo padrão de codificação de vídeo High Efficiency Video Coding (HEVC).
2. Estudos de técnicas de Data Mining e Machine Learning para extração de dados e geração de modelos preditivos.
3. Implementação de soluções de Machine Learning para as decisões de particionamento dos codificadores HEVC e AV1.
4. Auxílio no desenvolvimento do sistema de simulação hardware/software do Simulink e extração de resultados.

Tabela 5 – Cronograma de atividades do bolsista IC por semestre

Ano	2019		2020	
Semestre	01	02	01	02
Atividade 1	X	X		
Atividade 2	X	X	X	
Atividade 3	X	X	X	X
Atividade 4		X		X

## 5 Contribuições esperadas e indicadores de acompanhamento

Nesta seção, as contribuições esperadas pelo projeto e os indicadores de acompanhamento são discutidas.

### 5.1 Contribuições científicas esperadas

As contribuições deste projeto de pesquisa são principalmente de caráter científico, através do desenvolvimento de modelos preditivos usando *Machine Learning*, bem como de arquiteturas de hardware de módulos dos codificadores HEVC e AV1 usando técnicas de redução de potência para ASICs e FPGAs. Como o codificador AV1 é bastante recente (lançado esse ano), diversos desafios encontram-se em aberto quanto ao projeto de arquiteturas de hardware para módulos desse codec, como foi discutido nas seções 1 e 2. Além disto, o desenvolvimento de técnicas específicas a cada aplicação para redução de potência e energia é um novo tema de pesquisa no qual há muito espaço para contribuição científica. Soluções em hardware para HEVC possuem um estudo mais consolidado, mas as técnicas de desenvolvimento *low power* estão sempre se renovando (a exemplo temos a recente tendência em computação aproximada), impulsionando o desenvolvimento de novas arquiteturas para esse padrão. Além disso, soluções de *Machine Learning* são desafios interessantes tanto para codificadores HEVC quanto AV1, pois sempre é possível descobrir novas formas de modelar as decisões de particionamento para gerar modelos preditivos mais eficientes.

As contribuições científicas resultantes deste projeto de pesquisa serão reportadas em artigos científicos a serem submetidos para conferências e periódicos de alta qualidade (do Qualis restrito – A1, A2 e B1). Alguns exemplos de periódicos de alta qualidade e no tema deste projeto são: *IEEE Transactions on Circuits and Systems for Video Technology*, *IEEE Transactions on Computer-Aided Design of Circuits and Systems*, e *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*. Alguns exemplos de conferências de alta qualidade no tema deste projeto são: *IEEE International Symposium on Circuits and Systems (ISCAS)*, *Design Automation Conference (DAC)*, *Design, Automation and Test in Europe (DATE) Conference and Exhibition*, *IEEE International Conference on Image Processing (ICIP)*, e *IEEE International Conference on Electronics, Circuits and Systems (ICECS)*.

## 5.2 Impacto esperado no desenvolvimento da Microeletrônica na região

Espera-se que este projeto de pesquisa contribua com o fortalecimento da pesquisa e desenvolvimento tecnológico na área de Microeletrônica na Universidade Católica de Pelotas (UCPel), principalmente no contexto do Programa de Pós- Graduação em Engenharia Eletrônica e Computação (PPGEEC). O projeto de pesquisa irá beneficiar também os cursos de Engenharia da Computação, Engenharia Eletrônica e Engenharia Elétrica da UCPel, envolvendo alunos de iniciação científica destes três cursos.

Além da pesquisa, pode-se ressaltar que este projeto de pesquisa também contribuirá com a formação de recursos humanos com sólida formação na área de projeto e implementação de circuitos integrados. Sabe-se que o investimento no setor aliado à formação de recursos humanos nesta área é crucial para que o Brasil impulse sua emergente indústria de Semicondutores, suas Design Houses, e seus centros de Pesquisa e Desenvolvimento (P&D) na área.

Desta forma, o projeto de pesquisa pretende contribuir para o fortalecimento da área de Microeletrônica na metade sul do estado do Rio Grande do Sul, através do desenvolvimento de pesquisa e formação de recursos humanos na área de Microeletrônica.

## 6 Equipe, infraestrutura e recursos

A equipe do projeto é formada principalmente por pesquisadores e alunos da Universidade Católica de Pelotas (UCPel). O coordenador da proposta é docente do corpo permanente do Programa de Pós-Graduação em Engenharia Eletrônica e Computação (PPGEEC) da UCPel. O prof. Eduardo Antonio César da Costa, docente do corpo permanente do PPGEEC da UCPel, será colaborador deste projeto de pesquisa. O prof. Sergio Bampi, orientador de doutorado do coordenador deste projeto, professor da Universidade Federal do Rio Grande do Sul (UFRGS) e docente colaborador do PPGEEC/UCPel, também será colaborador deste projeto de pesquisa.

Os alunos de mestrado são do PPGEEC da UCPel. Os alunos de iniciação científica são alunos de graduação dos cursos de Engenharia da Computação, Engenharia Eletrônica, e/ou Engenharia Elétrica da UCPel.

### - Coordenador do projeto:

Prof. Dr. Mateus Grellert (UCPel)

### - Docentes colaboradores:

Prof. Dr. Cláudio Machado Diniz (UCPel)

Prof. Dr. Eduardo Antônio César da Costa (UCPel)

Prof. Dr. Guilherme Corrêa (UFPel)

Prof. Dr. Bruno Zatt (UFPel)

Prof. Dr. Sergio Bampi (UFRGS)

Prof. Dr. Luis Cruz (Universidade de Coimbra)

### - Alunos de Doutorado:

Guilherme Pereira Paim (PGMicro-UFRGS)

Leandro Mateus Giacomini Rocha (PGMicro-UFRGS)

### - Alunos de Mestrado:

Rafael da Silva (PPGEEC-UCPel)

Brunno Alves de Abreu (PGMicro-UFRGS)

### - Alunos de Iniciação Científica:

Thomas Fontanari (UFRGS)

1 aluno(a) de graduação da UCPel, a ser selecionado(a) através da quota de bolsa IC

solicitada neste edital.

## 6.1 Experiência em pesquisa da equipe no tema do projeto

O coordenador deste projeto, **Prof. Mateus Grellert**, possui doutorado em Ciência da Computação pela UFRGS na área de redução e escalabilidade computacional para aplicações de vídeo. O título de sua tese é “*Machine Learning Mode Decision for Complexity Reduction and Scaling in Video Applications*”, e ela foi orientada pelo Prof. Sergio Bampi. Durante o doutorado, realizou estágio de Doutorado Sanduíche com o Prof. Luis Cruz no Laboratório de Processamento de Imagens (LPI) da Universidade de Coimbra (UC), localizado na cidade de Coimbra, Portugal. O projeto com a UC foi financiado pela Fundação para a Ciência e a Tecnologia (FCT), órgão de fomento para pesquisa de Portugal. Além disso, o coordenador deste projeto realizou mestrado em Ciência da Computação na UFRGS também numa área semelhante a desse projeto: redução/controle de complexidade para codificadores HEVC. O título de sua dissertação é “*Computational effort analysis and control in High Efficiency Video Coding*”. Durante a graduação, o coordenador trabalhou com um projeto em Hardware/Software Co-Design em parceria com pesquisadores do Karlsruhe Institute of Technology (KIT) em Karlsruhe, Alemanha, durante um período sanduíche. Esse projeto rendeu uma publicação em um dos eventos mais importantes da área (KHAN et al., 2013).

O docente colaborador **Prof. Cláudio Machado Diniz** possui doutorado em Ciência da Computação pela UFRGS na área de projeto de arquiteturas de hardware para codificação de vídeo. Durante o doutorado, realizou estágio de doutorado-sanduíche no Chair for Embedded Systems (CES) do Karlsruhe Institute of Technology (KIT), localizado na cidade de Karlsruhe, Alemanha. Durante seu mestrado e doutorado, o Prof. Diniz também participou de projeto de pesquisa e desenvolvimento intitulado “REDE H.264 SBTVD”, com objetivo de desenvolver produtos para o Sistema Brasileiro de TV Digital (SBTVD). Este projeto foi financiado pela FINEP, com coordenação geral do prof. Altamiro Susin (UFRGS) e tinha na equipe pesquisadores das seguintes entidades: UFRGS, LSITec, COPPE/UFRJ, IME, UFRN, UnB, UFSC, UNICAMP e CEITEC. O Prof. Diniz já trabalha desde 2017 com o coordenador deste projeto, tendo duas publicações em conjunto (ABREU et al., 2017; SILVEIRA et al., 2017).

O docente colaborador **Prof. Eduardo Antonio César da Costa**, possui Doutorado em Ciência da Computação pela UFRGS e é Professor Titular da UCPel. É fundador e atual coordenador do PPGEEC/UCPel. É bolsista de produtividade em pesquisa do CNPq - Nível 2 do Comitê de Área de Microeletrônica. Possui ampla experiência de pesquisa na área de Microeletrônica, especificamente no desenvolvimento de operadores aritméticos de baixa potência. Recentemente, realizou estágio de pós-doutorado

na UFRGS e no INESC-ID (Lisboa) na área de operadores aritméticos específicos para aplicação em arquiteturas dedicadas para processamento de sinais e codificação de vídeo. Coordena projetos de pesquisa na área de desenvolvimento de operadores aritméticos de baixa potência para processamento de sinais e codificação de vídeo, como o projeto intitulado “Projeto e Implementação de Operadores Aritméticos Eficientes para Arquiteturas Dedicadas de Processamento Digital de Sinais e Codificação de Vídeo do Padrão H.264/AVC”, financiado pelo CNPq. O Prof. Eduardo Costa também trabalha com o coordenador deste projeto desde 2017 nos mesmo projetos envolvendo o Prof. Cláudio.

O docente colaborador **Prof. Sergio Bampi**, possui doutorado em Engenharia Elétrica (Microeletrônica) pela Stanford University, Estados Unidos, e é Professor Titular da UFRGS. Foi diretor técnico do CEITEC (2005-2008) e palestrante da Circuits and Systems Society (2009-2010). Foi presidente da FAPERGS (2001-2002) e da SBMICRO (2002-2006). Foi pesquisador visitante da Stanford University (1998-1999) e diretor do Centro Nacional de Supercomputação (1993-1996). Foi coordenador do Programa de Pós-Graduação em Microeletrônica da UFRGS e orientou, desde 1989, 42 alunos de mestrado e 14 alunos de doutorado. Pesquisa na área de arquiteturas de hardware para codificação de vídeo há mais de 10 anos, coordenando diversos projetos de pesquisa financiados, como o REDE H.264 SBTVD, no qual foi coordenador da meta física sobre o Codificador de Vídeo H.264/AVC, e o VideoArch-3D, projeto de cooperação Brasil-Alemanha já mencionado em que foi coordenador do lado brasileiro. Apresentou um tutorial intitulado “*H.264/AVC Video Encoders: Algorithms and Integrated Hardware Architectures*” na conferência IEEE International Conference on Electronics, Circuits and Systems (ICECS) em 2010. Recentemente apresentou um tutorial intitulado “*High Efficient Video Coding (HEVC): From Applications to Low-power Hardware Design*” na conferência International Symposium on Circuits and Systems (ISCAS) em 2016. Atualmente, o coordenador deste projeto participa como co-orientador de um aluno de Mestrado orientado pelo Prof. Bampi (Brunno Abreu, também membro deste projeto).

O **Prof. Guilherme Corrêa**, colaborador desse projeto, é Doutor em Engenharia Electrotécnica e de Computadores pela Universidade de Coimbra (Portugal), mestre (2010) em Ciência da Computação pela Universidade Federal do Rio Grande do Sul. Atuou, de 2008 a 2015, como pesquisador do Instituto de Telecomunicações (Portugal), onde pesquisou entre outras coisas, soluções de *Machine Learning* para codificadores HEVC. As atividades de pesquisa do Prof. Corrêa estão bastante alinhadas com esse projeto: algoritmos e técnicas de codificação de imagem e vídeo, transcodificação de vídeo, transporte e entrega de multimídia em redes e projeto de sistemas digitais. Dentre suas inúmeras publicações na área, destaca-se um livro intitulado “*Complexity-Aware High Efficiency Video Coding*”(CORREA et al., 2016), escrito em colaboração com o Prof. Luis Cruz, também membro deste projeto. O coordenador deste projeto tem colaborado com o Prof. Corrêa nos últimos anos, resultando em duas publicações em conjunto: (GRELLERT

et al., 2018; BUBOLZ et al., 2018). O Prof. Corrêa possui um orientando de Graduação que é atualmente co-orientado pelo coordenador deste projeto.

O **Prof. Bruno Zatt** possui Doutorado em Microeletrônica (Programa de Pós-Graduação em Microeletrônica - PGMicro) pela Universidade Federal do Rio Grande do Sul, tendo obtido o título de doutor com voto de louvor. Possui experiência de pesquisa internacional, tendo atuado como pesquisador no Karlsruhe Institute of Technology (KIT, Alemanha) entre 2010-2012, mesma época em que o coordenador deste projeto fez sua Graduação Sanduíche no mesmo instituto. A colaboração entre os dois começou nessa época e continua até hoje, pois o Prof. Zatt foi co-orientador do coordenador deste projeto durante o Mestrado e Doutorado. O Prof. Zatt tem forte experiência na área de arquiteturas e circuitos integrados para processamento multimídia, especialmente compressão de vídeo 2D (H.264, HEVC), multi-vistas (MVC) e 3D (3D-HEVC) focando em alto desempenho e baixo consumo de energia. Dentre as inúmeras publicações na área, destaca-se o livro (ZATT et al., 2013), o qual aborda técnicas de desenvolvimento de hardware para codificação de vídeo 3D.

O **Prof. Luis Alberto da Silva Cruz** é Professor Auxiliar na Universidade de Coimbra (Portugal) e tem Doutorado em Engenharia Electrotécnica, Computadores e Sistemas pelo Rensselaer Polytechnic Institute (Estados Unidos). É co-autor de duas patentes internacionais na área da codificação de vídeo e autor ou co-autor de diversos artigos da área em conferências e revistas internacionais. O Prof. Cruz também é investigador do Instituto de Telecomunicações, desenvolvendo atividades de investigação em codificação de vídeo 3D, avaliação de qualidade de vídeo 3D e otimização de codificadores de vídeo de última geração. O Prof. Cruz também é co-autor do livro sobre HEVC mencionado anteriormente juntamente com o Prof. Corrêa. Nas suas atividades profissionais interagiu com 107 colaboradores em co-autorias de trabalhos científicos. O Prof. Cruz é co-autor do livro sobre redução de complexidade para HEVC citado anteriormente juntamente com o Prof. Corrêa. O coordenador deste projeto tem forte interação com o Prof. Cruz desde seu Doutorado Sanduíche em Coimbra, resultando em dois artigos publicados e um aceite para publicação. A cooperação já resultou em três publicações em conjunto.

## 6.2 Colaborações já estabelecidas com outros centros de pesquisa

O coordenador desta proposta possui cooperações já estabelecidas com outros centros de pesquisa nacionais e internacionais. Nas seções anteriores desta proposta, já foi atestada a forte cooperação científica existente com o Grupo de Microeletrônica da UFRGS, mais especificamente com o Prof. Sergio Bampi. Esta forte cooperação é atestada pelas publicações conjuntas.

Pode-se destacar também a estreita cooperação com o Prof. Luis Cruz da Univer-



sidade de Coimbra, Portugal. Esta cooperação foi iniciada em 2017 através de um projeto de cooperação já citado, e mantém-se desde então. A cooperação já resultou em três publicações em conjunto (GRELLERT et al., 2018; GRELLERT et al., 2018; GRELLERT; OLIVEIRA; DUARTE CARLOS R. ; CRUZ, 2018).

Por fim, o coordenador tem fortes laços de cooperação com o grupo de pesquisa em codificação de vídeo (ViTech) da Universidade Federal de Pelotas. Essa colaboração começou há 9 anos, quando o orientador ainda era bolsista IC nesta instituição, e continua até hoje com trabalhos em cooperação e co-orientações.

### 6.3 Infraestrutura e apoio técnico para desenvolvimento do projeto

O projeto será desenvolvido nos laboratórios do Programa de Pós-Graduação em Engenharia Eletrônica e Computação (PPGEEC) da UCPel, com auxílio de servidores de computação localizados na Universidade Federal do Rio Grande do Sul e Universidade de Coimbra.

Atualmente, o PPGEEC possui estrutura física dedicada, com alguns laboratórios de pesquisa e salas de permanência para docentes. Dos laboratórios, pode-se destacar o Laboratório de Microeletrônica e Processamento de Sinais, que conta com 12 computadores PC, ferramentas para projeto de circuitos integrados e kits de desenvolvimento para FPGA da Altera e o Laboratório de Eletrônica Digital e Analógica, com 8 estações de trabalho completas contendo fontes simétricas, osciloscópios, geradores de sinais, multímetros digitais e analisadores lógicos.

Além disso, a UFRGS contém no laboratório 215 dois servidores com 12 cores de processamento cada, e a UC tem um centro de computação com até 48 cores de processamento. Esses servidores foram disponibilizados pelos colaboradores e poderão ser utilizados para as simulações exaustivas com os codificadores.

### 6.4 Estimativa de aporte de recursos financeiros de outras fontes

Estima-se um aporte considerável de recursos financeiros de outras fontes para este projeto de pesquisa.

Um aporte de recursos financeiro poderá ocorrer através de bolsas a alunos de graduação e pós-graduação. Por exemplo, existem atualmente no PPGEEC/UCPel alunos bolsistas da CAPES e alunos que recebem taxas escolares do programa PROSUP/CAPES. Além disto, há atualmente alguns bolsistas de iniciação científica na UCPel apoiados por programas institucionais como PIBIC/CNPq, PROBIC/FAPERGS e BIC/UCPel.

Outro aporte de recurso financeiro se dá através do uso da licença temporária de

software da Cadence (CADENCE, 2018), que foi adquirida através de recursos provenientes de projeto de pesquisa em que o prof. Eduardo Antonio César da Costa é membro, em parceria com a Universidade Federal de Santa Maria (UFSM). O prof. Eduardo Costa é docente colaborador deste projeto de pesquisa e fornecerá o uso da licença de software da Cadence para as atividades relativas à implementação ASIC neste projeto.

# Referências

- ABREU, B. et al. Exploiting absolute arithmetic for power-efficient sum of absolute differences. In: IEEE. *Electronics, Circuits and Systems (ICECS), 2017 24th IEEE International Conference on*. [S.l.], 2017. p. 522–525. Citado na página 22.
- BJONTEGAARD, G. Calculation of average PSNR differences between RD-curves. In: *ITU-T Q. 6/SG16 VCEG, 15th Meeting, Austin, Texas, USA, April, 2001*. [S.l.: s.n.], 2001. Citado na página 5.
- BOSSEN, F.; FLYNN, D.; SÜHRING, K. *HM Software Manual, Joint Collaborative Team on Video Coding (JCT-VC) of ITU-T SG16 WP3 and ISO*. [S.l.], 2013. Citado na página 5.
- BUBOLZ, T. et al. Fast and energy-efficient hevc transrating based on frame partitioning inheritance. In: *2018 IEEE 9th Latin American Symposium on Circuits Systems (LASCAS)*. [S.l.: s.n.], 2018. p. 1–4. ISSN 2473-4667. Citado na página 24.
- CADENCE. *Cadence: EDA Tools and IP for System Design Enablement*. 2018. Disponível em: <<https://www.cadence.com>>. Acesso em: setembro, 2018. Citado 2 vezes nas páginas 13 e 26.
- CISCO, V. N. I. Forecast and methodology, 2015-2020. *White Paper, Cisco*, 2016. Citado na página 4.
- CONG, J. et al. Accelerator-rich architectures: Opportunities and progresses. In: *ACM. Proceedings of the 51st Annual Design Automation Conference*. [S.l.], 2014. p. 1–6. Citado na página 9.
- CORREA, G. et al. *Complexity-Aware High Efficiency Video Coding*. [S.l.]: Springer, 2016. Citado na página 23.
- CORREA, G. et al. Fast hevc encoding decisions using data mining. *IEEE transactions on circuits and systems for video technology*, IEEE, v. 25, n. 4, p. 660–673, 2015. Citado na página 9.
- DENG, Z.; MOCCAGATTA, I. Hardware-friendly inter prediction techniques for av1 video coding. In: *2017 IEEE International Conference on Image Processing (ICIP)*. [S.l.: s.n.], 2017. p. 948–952. ISSN 2381-8549. Citado na página 11.
- DINIZ, C. M. Dedicated and reconfigurable hardware accelerators for high efficiency video coding standard. 2015. Citado na página 10.
- FEIST, T. Vivado design suite. *White Paper, Citeseer*, v. 5, 2012. Citado na página 13.
- FENLASON, J.; STALLMAN, R. Gnu gprof. *GNU binutils.[Online]. Available: <http://www.gnu.org/software/binutils>*, 1988. Citado na página 13.
- GRANGE, A.; QUILLIO, L. Av1 bitstream & decoding process specification. 2018. Citado 2 vezes nas páginas 5 e 6.

- GRELLERT, M.; BAMPI, S.; ZATT, B. Complexity-scalable hevc encoding. In: *2016 Picture Coding Symposium (PCS)*. [S.l.: s.n.], 2016. p. 1–5. ISSN 2472-7822. Citado na página 10.
- GRELLERT, M. et al. Learning-based complexity reduction and scaling for hevc encoders. In: *IEEE International Conference on Computing, Communiton and Signal Processing*. [S.l.: s.n.], 2018. Citado 3 vezes nas páginas 9, 24 e 25.
- GRELLERT, M.; OLIVEIRA, T.; DUARTE CARLOS R. ; CRUZ, L. Fast HEVC Transrating using Random Forests. In: *IEEE International Conference on Visual Communications and Image Processing (aceito para publicação)*. [S.l.: s.n.], 2018. Citado na página 25.
- GRELLERT, M. et al. Fast coding unit partition decision for hevc using support vector machines. *IEEE Transactions on Circuits and Systems for Video Technology*, IEEE, 2018. Citado 2 vezes nas páginas 9 e 25.
- GROIS, D. et al. Performance comparison of h.265/mpeg-hevc, VP9, and h.264/mpeg-avc encoders. In: IEEE. *Picture Coding Symposium (PCS), 2013*. [S.l.], 2013. p. 394–397. Citado na página 5.
- GUO, B. et al. A bayesian approach to block structure inference in av1-based multi-rate video encoding. In: *2018 Data Compression Conference*. [S.l.: s.n.], 2018. p. 383–392. ISSN 2375-0359. Citado na página 10.
- HENKEL, J.; KHAN, M. U. K.; SHAFIQUE, M. Energy-efficient multimedia systems for high efficiency video coding. In: IEEE. *Circuits and Systems (ISCAS), 2015 IEEE International Symposium on*. [S.l.], 2015. p. 613–616. Citado na página 9.
- ITU-T. Recommendation H.264: Advanced Video Coding. 2003. Citado na página 6.
- ITU-T. Recommendation H.265: High Efficiency Video Coding. 2013. Citado 2 vezes nas páginas 5 e 6.
- IYER, R. Accelerator-rich architectures: Implications, opportunities and challenges. In: IEEE. *Design Automation Conference (ASP-DAC), 2012 17th Asia and South Pacific*. [S.l.], 2012. p. 106–107. Citado na página 9.
- KHAN, M. U. K. et al. Hardware-software collaborative complexity reduction scheme for the emerging hevc intra encoder. In: EDA CONSORTIUM. *Proceedings of the Conference on Design, Automation and Test in Europe*. [S.l.], 2013. p. 125–128. Citado 2 vezes nas páginas 9 e 22.
- LAMBRECHT, C. J. Van den B. *Vision models and applications to image and video processing*. [S.l.]: Springer Science & Business Media, 2013. Citado na página 4.
- MATHWORKS. *Simulink: Simulation and Model-Based Design*. 2018. Disponível em: <<https://www.mathworks.com/products/simulink.html>>. Acesso em: setembro, 2018. Citado na página 14.
- MICHELL, G. D.; GUPTA, R. K. Hardware/software co-design. *Proceedings of the IEEE*, v. 85, n. 3, p. 349–365, March 1997. ISSN 0018-9219. Citado na página 9.

- MUKHERJEE, D. et al. The latest open-source video codec vp9-an overview and preliminary results. In: IEEE. *Picture Coding Symposium (PCS), 2013*. [S.l.], 2013. p. 390–393. Citado na página 6.
- NETHERCOTE, N.; SEWARD, J. Valgrind: a framework for heavyweight dynamic binary instrumentation. In: ACM. *ACM Sigplan notices*. [S.l.], 2007. v. 42, n. 6, p. 89–100. Citado na página 13.
- PEDREGOSA, F. et al. Scikit-learn: Machine learning in Python. *Journal of Machine Learning Research*, v. 12, p. 2825–2830, 2011. Citado na página 13.
- ROSEWARNE, C. et al. *HM16: High efficiency video coding (HEVC) test model 16 encoder description*. [S.l.], 2017. Citado na página 13.
- SHAFIQUE, M.; HENKEL, J. Low power design of the next-generation high efficiency video coding. In: IEEE. *Design Automation Conference (ASP-DAC), 2014 19th Asia and South Pacific*. [S.l.], 2014. p. 274–281. Citado na página 9.
- SILVEIRA, B. et al. Power-efficient sum of absolute differences hardware architecture using adder compressors for integer motion estimation design. *IEEE Transactions on Circuits and Systems I: Regular Papers*, IEEE, v. 64, n. 12, p. 3126–3137, 2017. Citado 2 vezes nas páginas 10 e 22.
- VANNE, J. et al. Comparative rate-distortion-complexity analysis of HEVC and AVC video codecs. *IEEE Transactions on Circuits and Systems for Video Technology*, IEEE, v. 22, n. 12, p. 1885–1898, 2012. Citado na página 6.
- VATOLIN, D. et al. *MSU Codec Comparison 2017 Part V: High Quality Encoders*. [S.l.], 2018. Citado na página 6.
- ZATT, B. et al. *3D video coding for embedded devices*. [S.l.]: Springer, 2013. Citado na página 24.