

“计算机设计与实践” 处理器实验设计报告

姓名：王巍

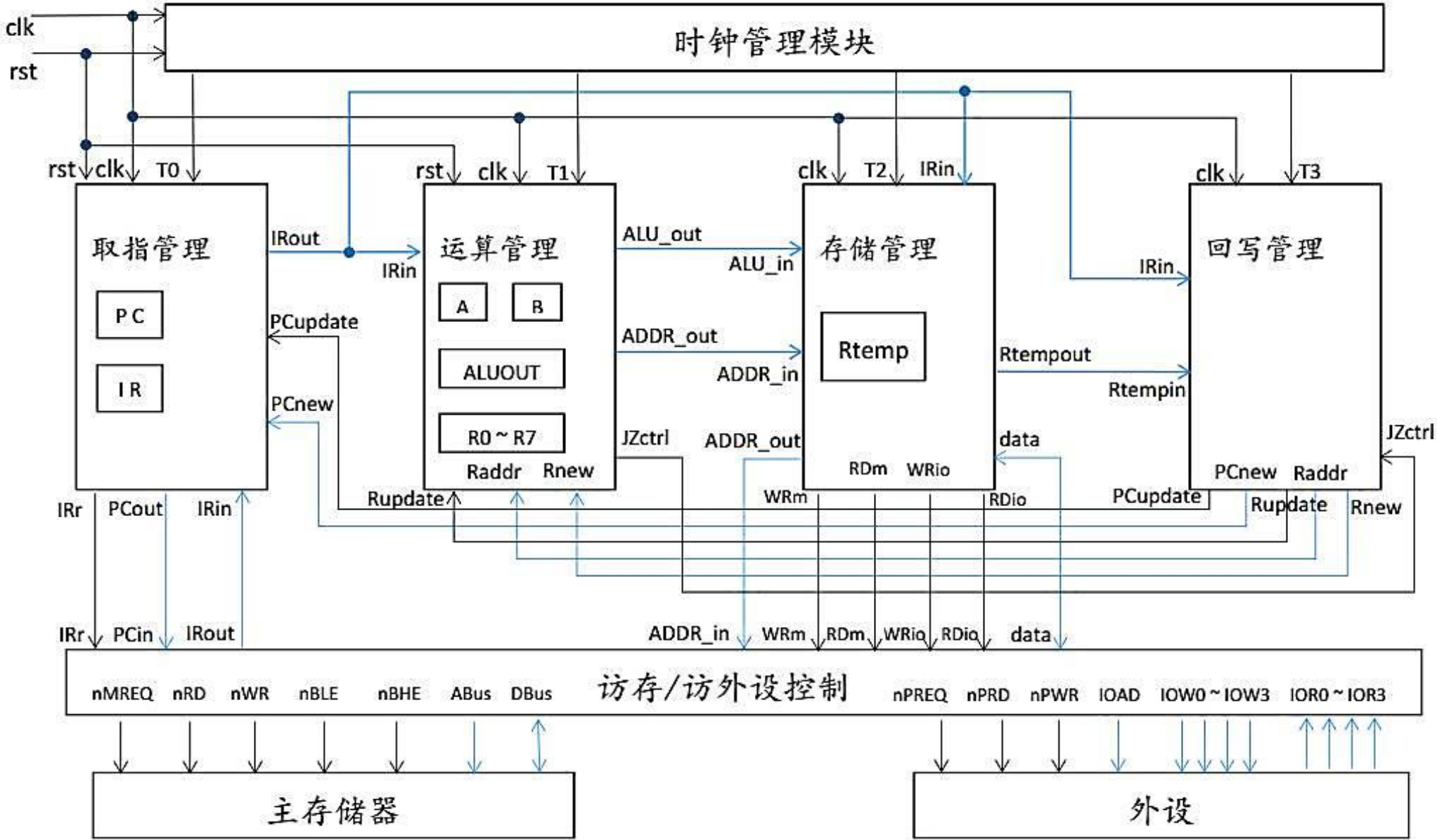
班级：1503103

学号：1150340114

哈尔滨工业大学计算机学院

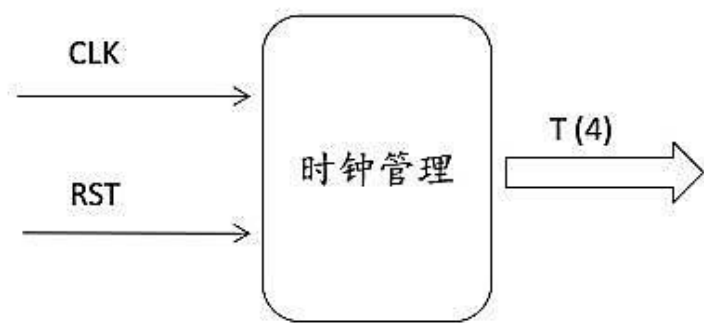
2017 年 7 月

一、系统整体设计框图（寄存器和总线位数在各模块框图说明,其中蓝色线条为总线）



二、各模块设计框图及接口定义

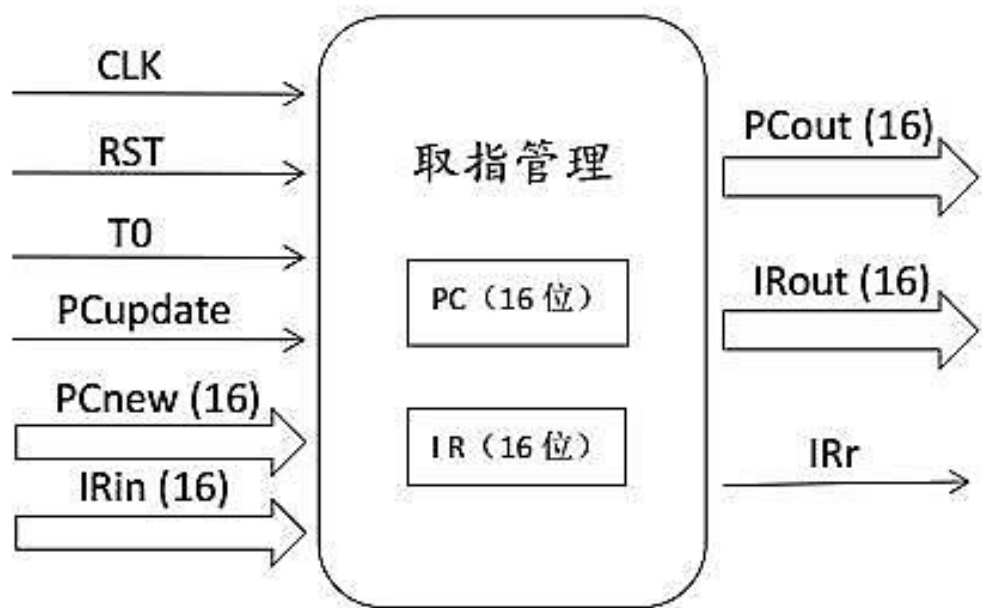
1、时钟管理模块



功能：生成 4 位节拍信号 0001, 0010, 0100, 1000 用于控制取指，运算，存储，回写模块的启动。

信号名	位数	方向	来源/去向	意义
CLK	1	IN	处理器板	系统时钟
RST	1	IN	处理器板	系统复位
T	4	OUT	其它模块	节拍信号，控制各模块启动

2、取指管理模块



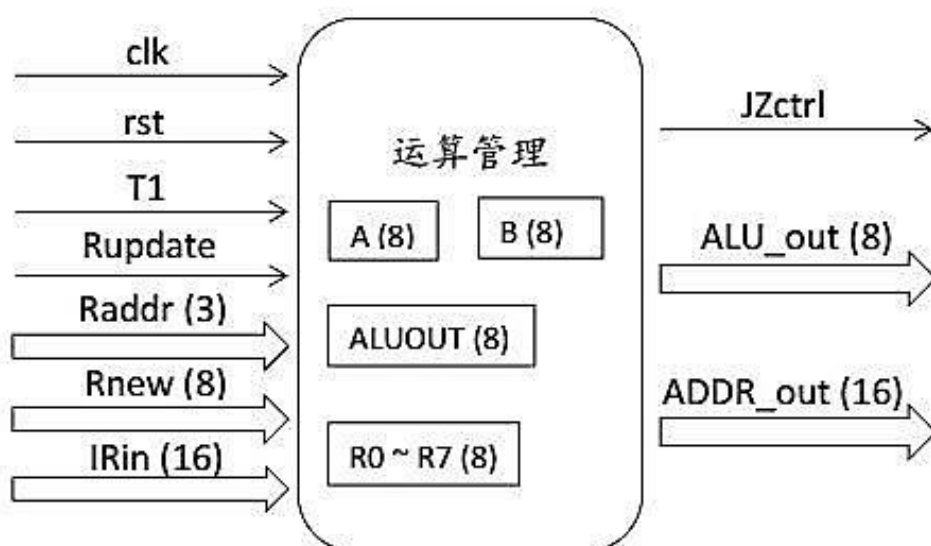
功能：取指令并向各模块输出指令，指令地址寄存器 PC+1 和回写时 PC 更新，发出和复位取指信号。

信号名	位数	方向	来源/去向	意义
CLK	1	IN	处理器板	系统时钟
RST	1	IN	处理器板	系统复位
T0	1	IN	时钟管理	取指启动信号
PCupdate	1	IN	回写模块	PC 更新控制信号
PCnew	16	IN	回写模块	PC 待更新的值
IRin	16	IN	访存控制	取回的指令
PCout	16	OUT	访存控制	取指令的地址
IRout	16	OUT	其它模块	正在执行的指令
IRr	1	OUT	访存控制	取指令控制型号

寄存器： PC : 16 位 存放将要取指的指令地址

IR : 16 位 存放取回来的指令

3、运算管理模块



功能：完成数据的准备和计算，以及地址的计算，回写时完成寄存器内容的更新。

信号名	位数	方向	来源/去向	意义
clk	1	IN	处理器板	系统时钟
rst	1	IN	处理器板	系统复位
T1	1	IN	时钟管理	运算启动信号
Rupdate	1	IN	回写模块	寄存器更新控制信号
Raddr	3	IN	回写模块	待更新的寄存器地址
Rnew	8	IN	回写模块	待更新的寄存器值
IRin	16	IN	取指模块	正在执行的指令
JZctrl	1	OUT	回写模块	跳转控制信号
ALU_out	8	OUT	存储模块	运算模块计算的数据结果
ADDR_out	16	OUT	存储模块	运算模块计算的地址结果

寄存器： A : 8 位 准备数据的暂存器

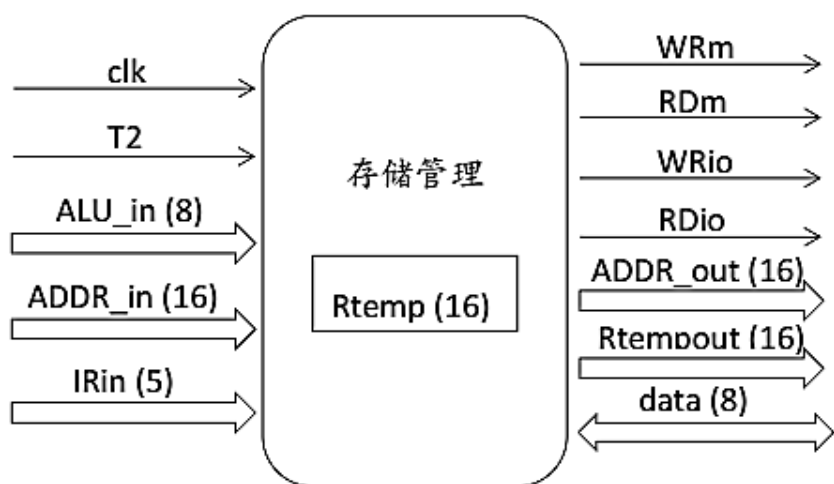
 B : 8 位 准备数据的暂存器

 ALUOUT : 8 位 存储运算器数据运算结果的暂存器

 R0 ~ R7 : 每个 8 位 存储数据的通用寄存器

 其中 R7 也用来生成地址

4、存储管理模块

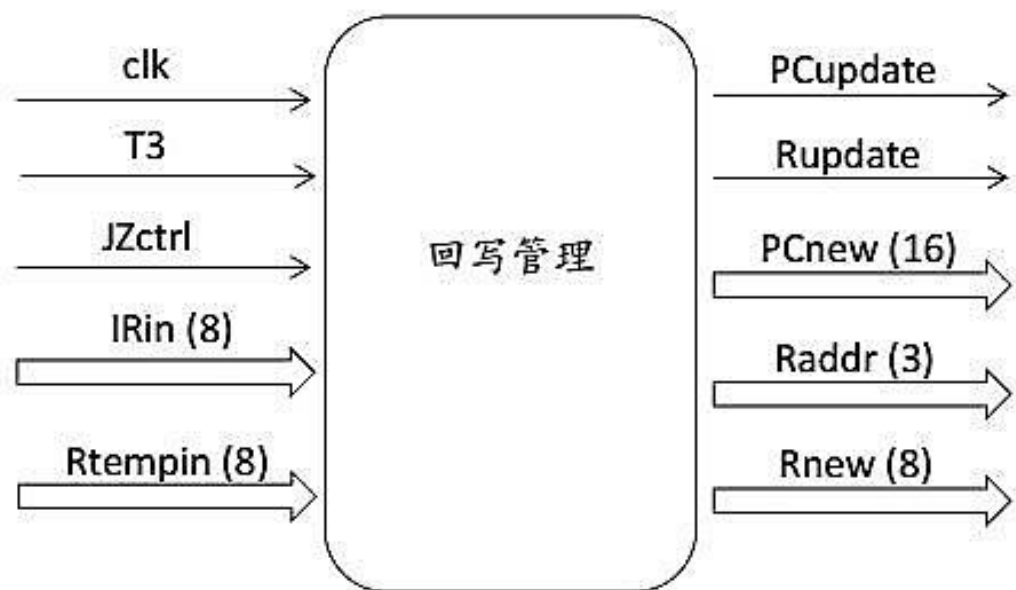


功能：和访存控制模块通信，处理指令的访存或访外设，并传输运算模块到回写模块的数据或地址。

信号名	位数	方向	来源/去向	意义
clk	1	IN	处理器板	系统时钟
T2	1	IN	时钟管理	存储启动信号
ALU_in	8	IN	运算模块	运算模块数据结果
ADDR_in	16	IN	运算模块	运算模块地址结果
IRin	5	IN	取指模块	指令高 5 位 (操作码)
WRm	1	OUT	访存控制	访存写控制 (低有效)
IRm	1	OUT	访存控制	访存读控制 (低有效)
WRio	1	OUT	访存控制	外设输出控制 (低有效)
RDio	1	OUT	访存控制	外设输入控制 (低有效)
ADDR_out	16	OUT	访存控制	访存/访外设地址 (外设用低 2 位)
data	8	INOUT	访存控制	主存或外设写入/读出的数据
Rtempout	16	OUT	回写模块	待回写 PC 地址/寄存器数据 (数据用低 8 位)

寄存器： Rtemp 16 位 存储由访存控制返回的数据或运算模块传入的数据或地址

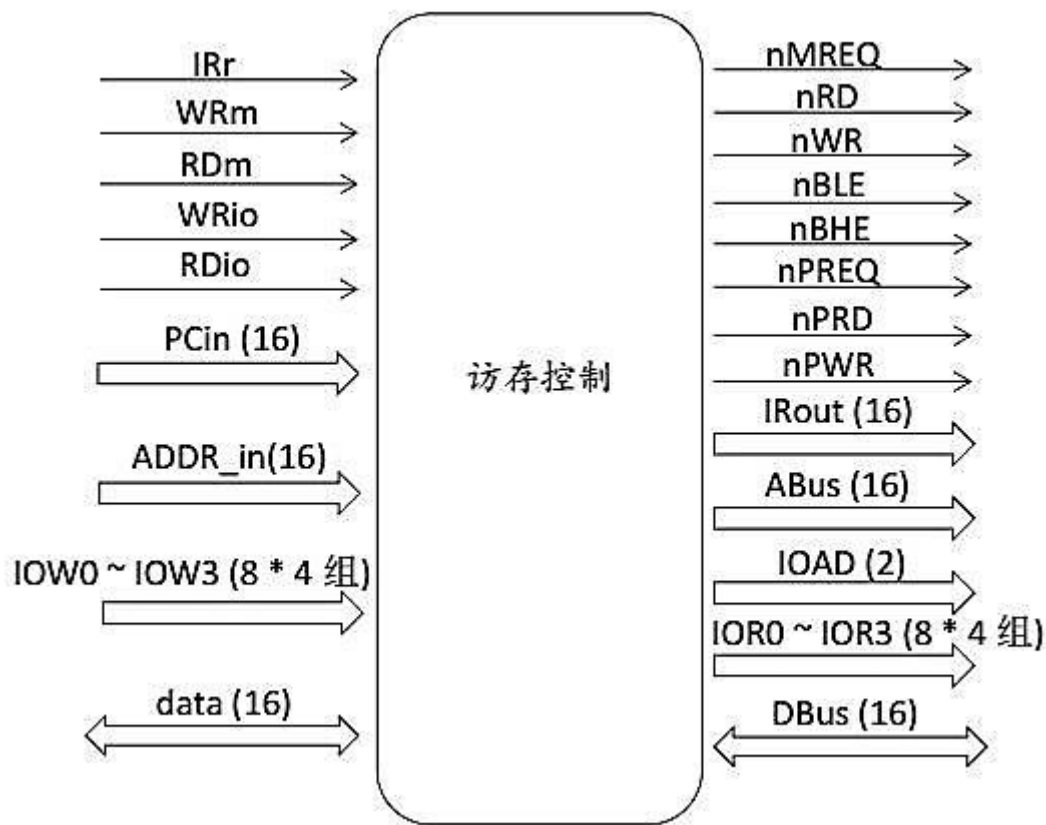
5、回写管理模块



功能：根据指令和跳转控制信号决定是否回写寄存器，PC 内容

信号名	位数	方向	来源/去向	意义
CLK	1	IN	处理器板	系统时钟
T3	1	IN	时钟管理	回写启动信号
JZctrl	1	IN	运算模块	跳转控制信号
IRin	8	IN	取指模块	指令高 8 位 (5 位操作码 3 位寄存器地址)
Rtempin	16	IN	存储模块	待回写的地址或数据
PCupdate	1	OUT	取指模块	PC 更新控制信号
Rupdate	1	OUT	运算模块	寄存器更新控制信号
PCnew	16	OUT	取指模块	待更新的 PC 值
Raddr	3	OUT	运算模块	待更新的寄存器地址
Rnew	8	OUT	运算模块	待更新的寄存器值

6、访存控制模块



功能：完成所有与主存储器和外设有关的数据交换，和在主存储器中取指令

信号名	位数	方向	来源/去向	意义
IRr	1	IN	取指模块	取指令控制信号
WRm	1	IN	存储模块	访存写控制 (低有效)
IRm	1	IN	访存控制	访存读控制 (低有效)
WRio	1	IN	访存控制	外设输出控制 (低有效)
RDio	1	IN	访存控制	外设输入控制 (低有效)
PCin	16	IN	取指模块	取指令地址
ADDR_in	16	IN	存储模块	取数据地址
data	8	INOUT	存储模块	读写数据总线
IOR0	8	IN	外设	地址为 00 的外设输入总线

IOR1	8	IN	外设	地址为 01 的外设输入总线
IOR2	8	IN	外设	地址为 10 的外设输入总线
IOR3	8	IN	外设	地址为 11 的外设输入总线
ABus	16	OUT	主存储器	访存的地址
DBus	16	INOUT	主存储区	访存读写的数据
IRout	16	OUT	取指模块	取回的指令
nMREQ	1	OUT	主存储器	访存片选控制 (低有效)
nRD	1	OUT	主存储器	访存读控制 (低有效)
nWR	1	OUT	主存储器	访存写控制 (低有效)
nBLE	1	OUT	主存储器	访存低 8 位控制 (低有效)
nBHE	1	OUT	主存储器	访存高 8 位控制 (高有效)
nPREQ	1	OUT	外设	外设选择控制 (低有效)
nPRD	1	OUT	外设	外设输入控制 (低有效)
nPWR	1	OUT	外设	外设输出控制 (低有效)
IOAD	2	OUT	外设	外设输入输出地址选择
IOW0	8	OUT	外设	地址为 00 的外设输出总线
IOW1	8	OUT	外设	地址为 01 的外设输出总线
IOW2	8	OUT	外设	地址为 10 的外设输出总线
IOW3	8	OUT	外设	地址为 11 的外设输出总线

三、系统测试方案，测试过程及仿真波形

1、测试方案

测试内容将用于下载的程序进行仿真，为下载做准备，测试了如下内容

- (1) 十条基本指令
- (2) 条件跳转指令 JZ 的跳转情况和不跳转情况
- (3) 修改 R7 的值并测试访存过程是否发出了正确的，和 R7 有关的地址
- (4) RST 系统复位操作的正确性

2、测试内容

操作	说明
RST	系统复位，复位包括时钟，PC 和各寄存器的值
JMP 0002H	无条件跳转指令的跳转情况
JZ R0, 0010H	条件跳转指令
MVI R1, 11H	立即数传输指令
OUT R1, 00B	外设输出指令
MOV R2, R1	寄存器传输指令
ADD R1, R2	加法指令
STA R1, 40H	存数指令
IN R3, 11B	外设输入指令
SUB R3, R2	减法指令
STA R3, 50H	存数指令
LDA R5, 40H	取数指令
JZ R5, 00H	无条件跳转指令不跳转情况
OUT R5, 10B	外设输出指令
MVI R7, 11H	立即数传输指令，更改 R7
STA R5, 60H	存数指令，测试生成地址的正确性

3、仿真波形及详细说明



- | | |
|---|--|
| (1) RST 重置 PC, 寄存器组 regs, 节拍 t | (2) JMP 0002H (指令 0002H) 修改 PC 的值为 0002H |
| (3) JZ R0, 0010H (指令 1010H) 修改 PC 值为 0010H | (4) MVI R1, 11H (指令 4111H) 修改 R1 值为 11H |
| (5) OUT R1, 00B (指令 8100H) 将 R1 的值 11H 通过 IOW1 输出 | (6) MOV R2, R1 (指令 5201H) 修改 R2 的值为 R1 (11H) |



- (1) ADD R1, R2 (指令 3102H) 将 R1 的值改为 R1 和 R2 的和 (22H)
- (2) STA R1, 40H (指令 6140H) 将 R1 的值存入 R7 // 40H (0040H) 即 ABUS 为 0040H
- (3) IN R3, 11B (指令 9303H) 将地址 11 的外设数据读入 R3, IOR3 的置为 55H, 故 R3 变为 55H
- (4) SUB R3, R2 (指令 2302H) 将 R3 的值改为 R3 和 R2 的差 (44H)
- (5) STA R3, 50H (指令 6350H) 将 R3 的值存入 R7 // 50H (0050H) 即 ABUS 为 0050H



- | | | |
|-----|------------------------|---|
| (1) | LDA R5, 40H (指令 7540H) | 将 R7 // 40H (0040H) 的值传入 R5 即 A _{Bus} 为 0040H, D _{Bus} 为 ZZ22H, 故 R5 改为 22H |
| (2) | JZ R5, 00H (指令 1500H) | R5 为 22H, 不跳转, PC 由 0019H 自增为 001aH |
| (3) | OUT R5, 10B (指令 8502H) | 将 R5 的值 22H 通过 IOW2 输出 |
| (4) | MVI R7, 11H (指令 4711H) | 修改 R7 值为 11H |
| (5) | STA R5, 60H | 将 R5 的值存入 R7 // 60H (1160H) 即 A _{Bus} 为 1160H |
| | | (6) 620ns RST 将系统复位 |

四、各模块测试方案，测试过程，及仿真波形

1、时钟模块

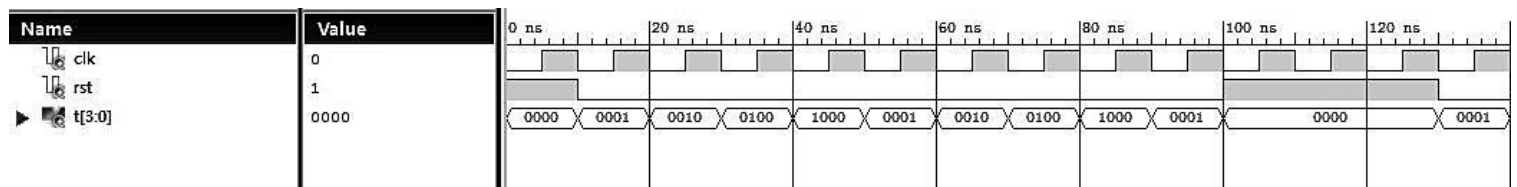
(1) 测试方案

- 测试时钟工作输出的正确性
- 测试 RST 对于时钟复位的正确性

(2) 测试过程

先后两次 rst 复位，观察 t 的变化

(3) 仿真波形及详细说明



rst 后节拍信号 t 变为 0000，便于在 0001 是启动取指模块，工作是 t 有四种输出即 0001, 0010, 0100, 1000

2、取指模块

(1) 测试方案

测试内容包括：

- 测试取指过程的正确性
- 测试 PC 复位的正确性
- 测试 PC 自增的正确性
- 测试 PC 跳转的正确性

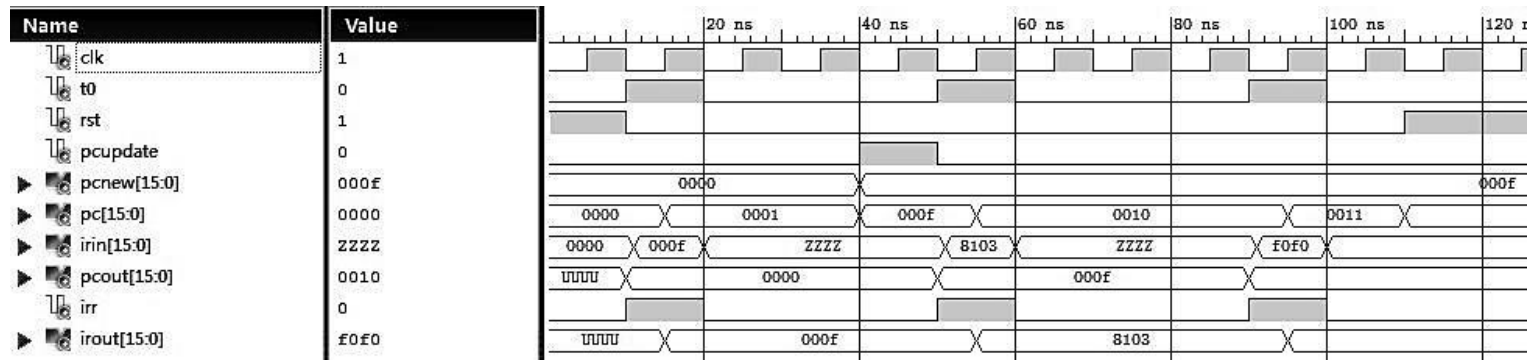
(2) 测试过程

JMP 指令后观察取指和最后 PC 的值变化

RST 信号给出后观察 PC 值

任意不跳转指令，PCupdate 为 0 时观察 PC 的变化

(3) 仿真波形及详细说明



取指周期给出取指信号 IRr 为 1，取指地址 PCout0000H，取回指令 IRin 000FH

跳转时 PCupdate 为 1，PCnew 为 000FH，PC 更新为 000FH

再次取指时 PCout 变为 000FH，此次不跳转，PC 自增为 0010H

再次取指 PCout 输出为 0010H，最后 RST 后 PC 复位为 0000H

3、运算模块

(1) 测试方案

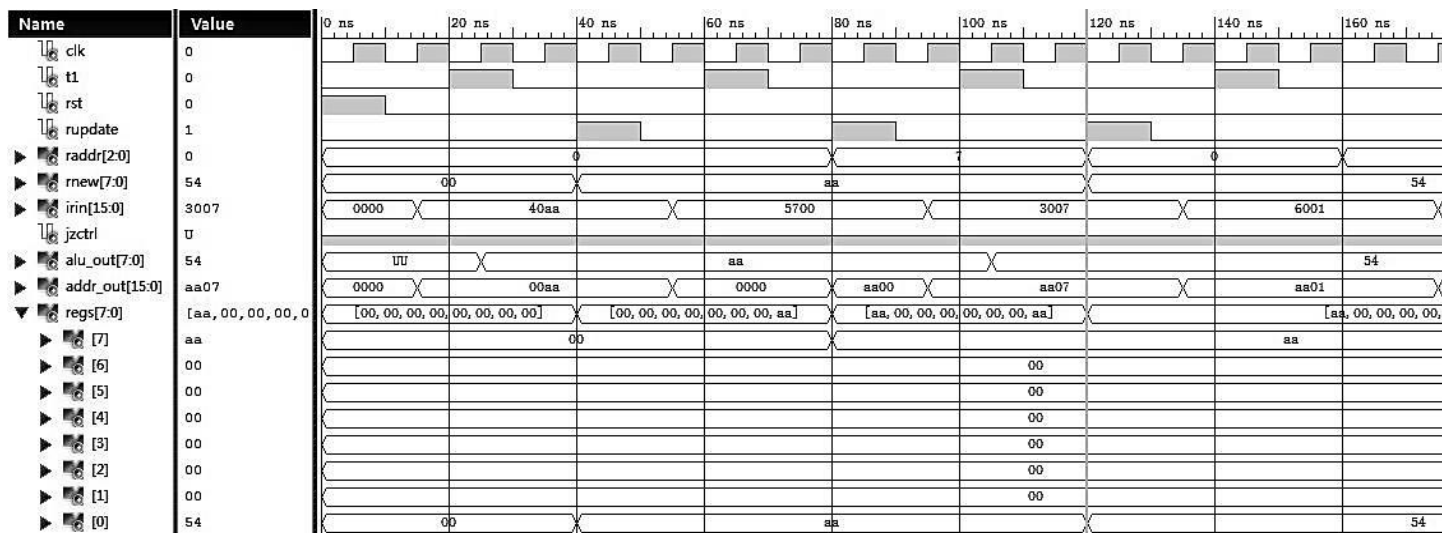
测试内容包括：

- 算术运算，立即数，寄存器传输 ALUOUT 数据结果正确性
- 访存指令 ADDR_OUT 地址结果的正确性
- 条件跳转指令输出跳转控制 JZctrl 的正确性
- 寄存器更新的正确性

(2) 测试过程

操作	说明
RST	系统复位，观察寄存器值复位
MVI R0, aaH	立即数传送，观察 ALUOUT，寄存器更新
MOV R7, R0	寄存器传送，观察 ALUOUT，寄存器更新
ADD R0, R7	加法，观察 ALUOUT，寄存器更新
STA R0, 01H	存数指令，观察 ADDR_out
JZ R2, 0FH	条件跳转的跳转情况，观察 JZctrl
JZ R0, 03H	跳转跳转的不跳转情况，观察 JZctrl

(3) 仿真波形及详细说明

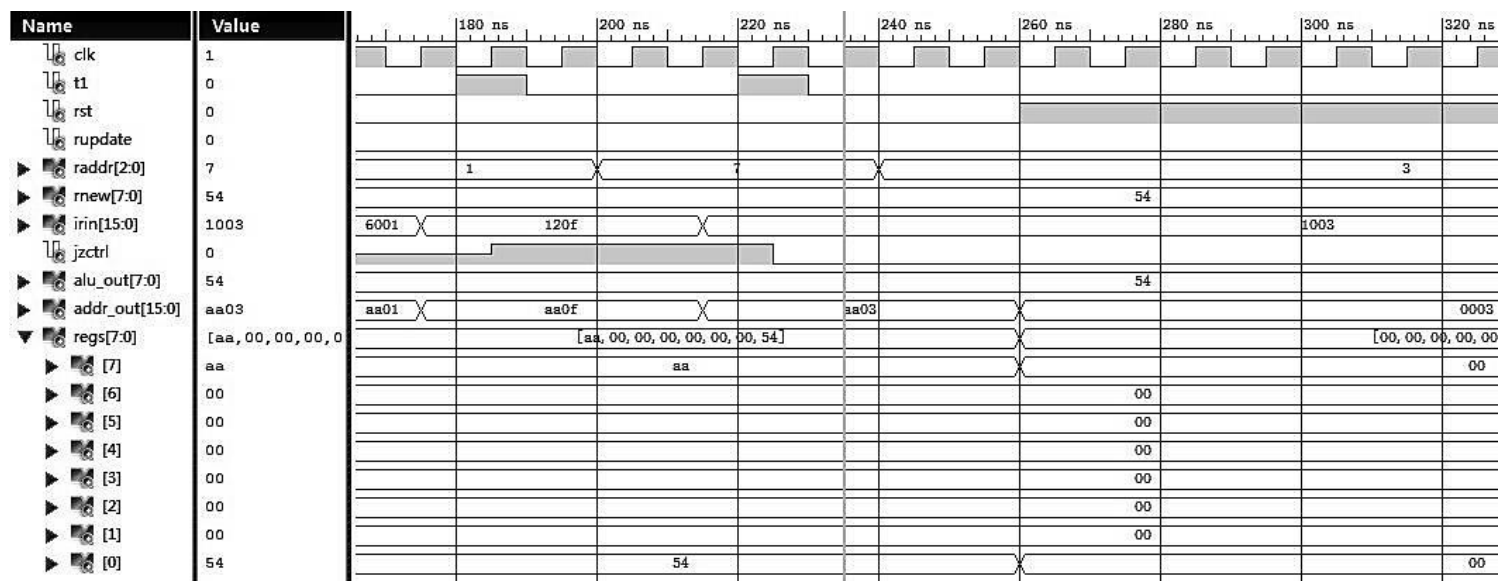


① RST 将所有的寄存器置为 00H

② MVI R0, aaH (指令 40AAH) alu_out 输出 aaH, 回写时 Rupdate 为 1, Rnew 为 aaH, Raddr 为 0H, 寄存器 R0 值变为 aaH

③ MOV R7, R0 (指令 5700H) alu_out 输出 R0 的值 aaH, 回写时 Rupdate 为 1, Rnew 为 aaH, Raddr 为 7H, 寄存器 R7 值变为 aaH

④ ADD R0, R7 (指令 3007H) alu_out 输出 R0 与 R7 的和 54H (进位舍去), 回写时 Rupdate 为 1, Rnew 为 54H, Raddr 为 0H, 寄存器 R0 的值变为 54H



① STA R0, 01H (指令 6001H) R7 值为 aaH, 故 addr_out 输出 R7 // X, 即 AA01H

② JZ R2, 0FH (指令 120FH) R2 值为 00H, 故 JZctrl 变为 1, 同时 addr_out 输出 R7 // X, 即 AA0FH

- ③ JZ R0, 03H（指令 1003H） R0 值为 54H，故 JZctrl 变为 0
- ④ RST 系统复位后，所有寄存器的值变为 00H

4、存储模块

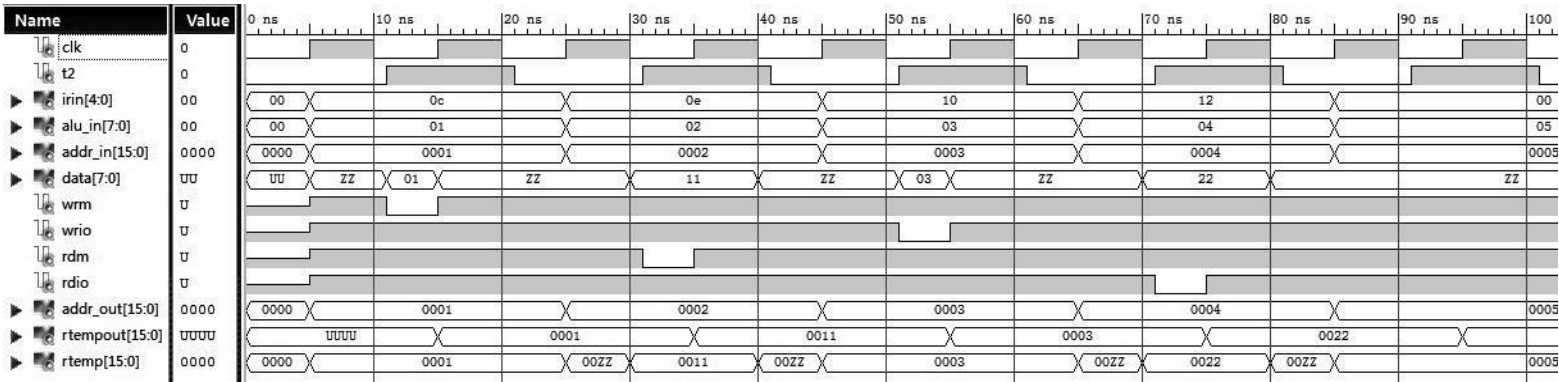
（1）测试方案

- 两个访存指令（读，写），两个 IO 指令（输入，输出），控制信号和总线数据的正确性
- 其它指令控制信号的正确性

（2）测试过程

- STA 指令，观察 WRm 变化， data、alu_in 是否一致
- LDA 指令，观察 RDm 变化， data、rtemp 是否一致
- OUT 指令，观察 WRio 变化， data、alu_in 是否一致
- IN 指令，观察 RDio 变化， data、rtemp 是否一致
- JMP 指令，观察四个控制信号

（3）仿真波形及详细说明



- ① STA 指令，WRm 变为 0，data 变为 alu_in，即 01H，给出地址 addr_out 同 addr_in，即 0001H
- ② LDA 指令，RDm 变为 0，rtemp 低 8 位变为 data，即 11H
- ③ OUT 指令，WRio 变为 0，data 变为 alu_in，即 03H
- ④ IN 指令，RDio 变为 0，rtemp 低 8 位变为 data，即 22H
- ⑤ JMP 指令，所有控制信号都为 1

5、回写模块

(1) 测试方案

测试内容包括

- 无条件跳转
- 条件跳转的跳转情况 JZctrl = 1
- 条件跳转的不跳转情况 JZctrl = 0
- 需要寄存器更新的指令
- 既没有寄存器更新又没有 PC 更新的指令

(2) 测试过程

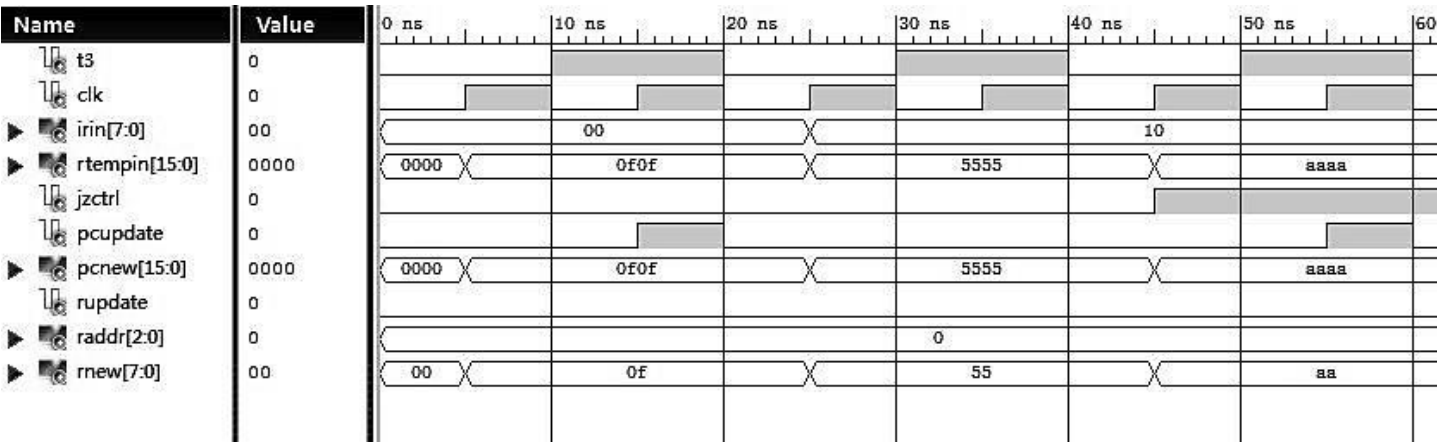
JMP 指令测试无条件跳转，观察 PCupdate

两条 JZ 指令配合 JZctrl 测试跳转和不跳转情况，观察 PCupdate

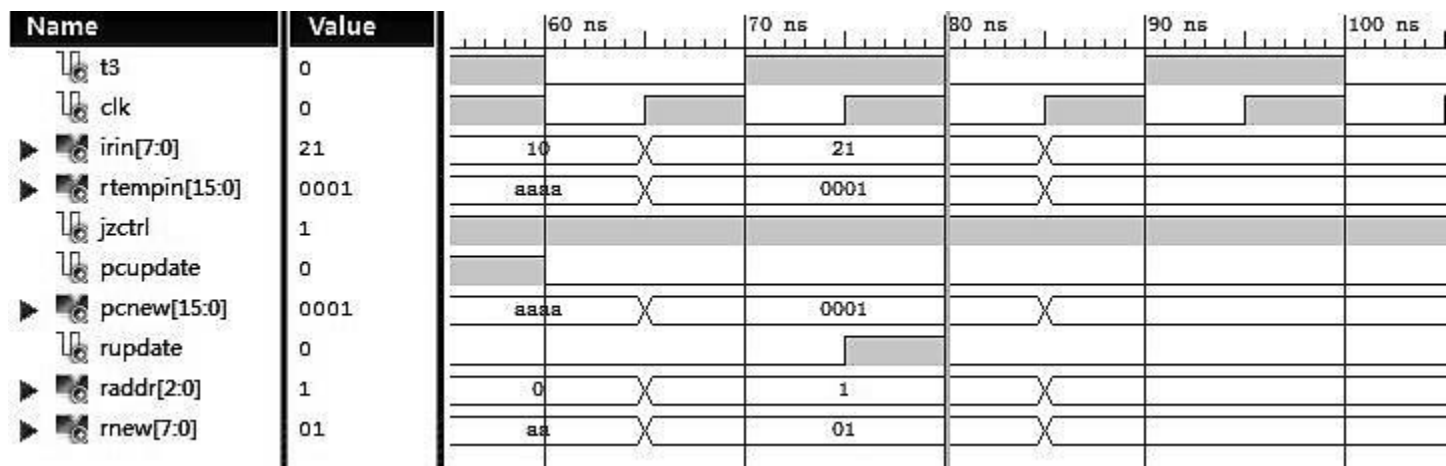
SUB 指令测试寄存器更新，观察 Rupdate, Raddr

STA 测试不更新情况，观察 PCupdate, Rupdate

(3) 仿真波形及详细说明



- ① JMP 指令 (IRin = 00H), PCupdate 变为 1
- ② JZ 指令 (IRin = 10H), JZctrl = 0 情况, PCupdate 变为 0
- ③ JZ 指令 (IRin = 10H), JZctrl = 1 情况, PCupdate 变为 1



① SUB 指令 (IRin = 21H), Rupdate 变为 1

② STA 指令 (IRin 未显示, 85ns 后变为 66H), Rupdate = 0, PCupdate = 0

6、访存控制模块

(1) 测试方案

测试内容包含了

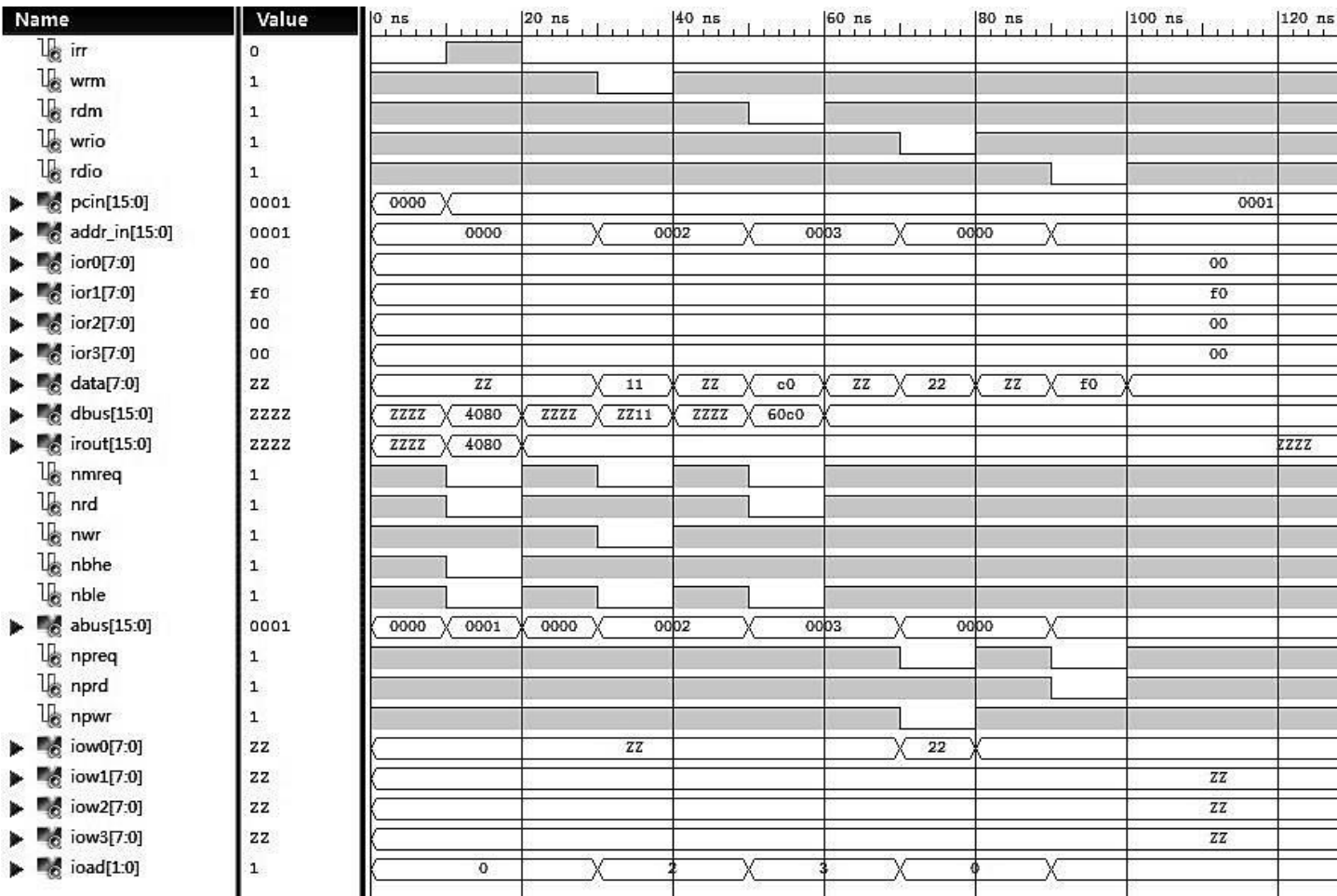
- 给出不同的控制信号时，输出控制信号的变化正确性
- 在不同的控制信号下，dbus, data, irout 和外设总线的关系正确性
- 指令地址 PCin, 访存、访外设地址 addr_in 和外设地址 ioad, 访存地址 abus 关系的正确性

(2) 测试过程

- 将取指控制信号 IRr 置为 1 (高有效)，观察访存控制信号输出的变化以及 IRout 和 Dbus 是否一致。
- 将访存写信号置为 0 (低有效)，观察访存控制信号输出的变化以及 Dbus 低 8 位和 data 是否一致。
- 将访存读信号置为 0 (低有效)，观察访存控制信号输出的变化以及 Dbus 低 8 位和 data 是否一致。
- 将外设输出信号置为 0 (低有效)，观察外设控制信号输出的变化以及指定地址 i 的外设 IOWi 和 data 是否一致

- 将外设输入信号置为 0（低有效），观察外设控制信号输出的变化以及指定地址 i 的外设 IORi 和 data 是否一致。

（3）仿真波形及详细说明



① IRR = 1，取指有效。片选信号 nMREQ，访存写信号 nWR, 访存高、低 8 位控制信号 nBHE, nBLE 变为 0。

pcout 和 abus 一致，为 0001H。irout 和 dbus 一致，取回指令 4080H。

② WRm = 0，访存写有效。片选信号 nMREQ，访存写信号 nWR, 访存低 8 位控制信号 nBLE 变为 0。

addr_in 和 abus 一致，为 0002H，dbus 低 8 位和 data 一致，为 11H。

③ RDm = 0，访存读有效。片选信号 nMREQ，访存读信号 nRD, 访存低 8 位控制信号 nBLE 变为 0。

Addr_in 和 abus 一致，为 0003H，dbus 低 8 位和 data 一致，为 C0H。

④ WRio = 0，外设输出有效。片选信号 nPREQ，外设输出信号 nPWR 变为 0。

ioid 与 addr_in 低两位一致，为 00B。IOW0 与 data 一致，为 22H。

⑤ RDio = 0，外设输入有效。片选信号 nPREQ，外设输入信号 nPRD 变为 0。

ioid 与 addr_in 低两位一致，为 01B。IOR1 与 data 一致，为 F0H。

⑥ 控制输入信号全部无效的情况下，访存，访外设控制输出都无效。

五、处理器功能测试程序

(初始 RST 信号使所有寄存器内容为 00H，为方便标注，IN 指令默认输入 55H)

地址	内容	助记符	寄存器内容								用到内存地址和内容		外设输入
			R0	R1	R2	R3	R4	R5	R6	R7	0040H	0050H	11B
0000H	0002H	JMP 02H	00H	00H	00H	00H	00H	00H	00H	00H	0000H	0000H	00H
0002H	1010H	JZ R0,00H	00H	00H	00H	00H	00H	00H	00H	00H	0000H	0000H	00H
0010H	4111H	MVI R1,11H	00H	11H	00H	00H	00H	00H	00H	00H	0000H	0000H	00H
0011H	8100H	OUT R1,00B	00H	11H	00H	00H	00H	00H	00H	00H	0000H	0000H	00H
0012H	5201H	MOV R2,R1	00H	11H	11H	00H	00H	00H	00H	00H	0000H	0000H	00H
0013H	3102H	ADD R1,R2	00H	22H	11H	00H	00H	00H	00H	00H	0000H	0000H	00H
0014H	6140H	STA R1,40H	00H	22H	11H	00H	00H	00H	00H	00H	0022H	0000H	00H
0015H	9303H	IN R3,11B	00H	22H	11H	55H	00H	00H	00H	00H	0022H	0000H	55H
0016H	2302H	SUB R3,R2	00H	22H	11H	44H	00H	00H	00H	00H	0022H	0000H	00H
0017H	6350H	STA R3,50H	00H	22H	11H	44H	00H	00H	00H	00H	0022H	0044H	00H
0018H	7540H	LDA R5,40H	00H	22H	11H	44H	00H	22H	00H	00H	0022H	0044H	00H
0019H	1500H	JZ R5,00H	00H	22H	11H	44H	00H	00H	00H	00H	0022H	0044H	00H
0020H	8502H	OUT R5,10B	00H	22H	11H	44H	00H	00H	00H	00H	0022H	0044H	00H

六、遇到的问题及解决方法

1、设计过程

问题 1:

控制信号的发送和还原需要两个信号沿，但是一个信号无法用两个沿驱动另一个信号

解决办法:

将各个需要有还原操作的模块接上时钟信号，控制信号发出用启动信号沿 T，还原用时钟沿 CLK。

问题 2:

没有分配地址的外设，如何利用 IOAD 对外设进行选择？

解决办法:

用 4 组八段数码管和 4 组开关组模拟 4 个外设输入和 4 个外设输出，并用代码为它们分配地址，IOAD 用于输出查看选择的外设。

2、调试过程

问题 1:

代码综合后生成大量的锁存器，可能会影响下载后电路的行为。

解决办法:

查找资料，弄清锁存器产生的原因，在 if 和 case 分支中补全各个信号的输出，消除了锁存器。

问题 2:

代码综合时警告：内部总线被替换为逻辑。

解决办法:

查阅资料了解到，产生该警告的原因是所选择的芯片没有内部总线，只要不使用这些信号的沿，电路的行为不会有问题。

问题 3:

代码综布线时警告：时钟可能又过度的歪斜

解决办法：

查阅资料了解到，产生该警告的原因是代码定义的全局时钟只驱动了少量的触发器，分配资源没有分配到较为资源较为珍贵的芯片全局时钟，而是分配了弱时钟，但只要下载后电路行为没有问题，就不用处理

3、仿真过程

问题 1：

取指模块 IRout 保持输出 IR，但是 IR 在执行过程中会因为 DBus 数据变化而变化，导致指令执行错误

解决办法：

在取指模块的时钟沿送出取回的 IR，用沿触发的方式输出 IR，保证了各个模块收到的指令是正在执行的指令

问题 2：

复位操作将节拍信号 t 复位为 0001，导致取指模块无法启动

解决办法

修改复位后的节拍信号 t 为 0000，问题得到解决

4、下载过程

问题 1：

访存过程不能正常工作，访存控制信号不正确，但仿真波形图没有问题

解决办法：

经过分析发现，在仿真波形图里同时发生变化的两个信号在实际中不能同时变化，导致逻辑混乱。

重新设计访存控制模块逻辑，将控制信号生成逻辑和读写过程分离，严格控制时序，问题得到解决。

问题 2：

外设控制信号出错，nPREQ 无法输出正确的值，波形图仍然没有发现问题
解决办法：

经过查阅资料和反复调试，发现过多的悬空测试信号也会导致布线后的芯片逻辑混乱，删除所有测试信号后问题得到解决。