**“计算机设计与实践”处理器实验设计报告**

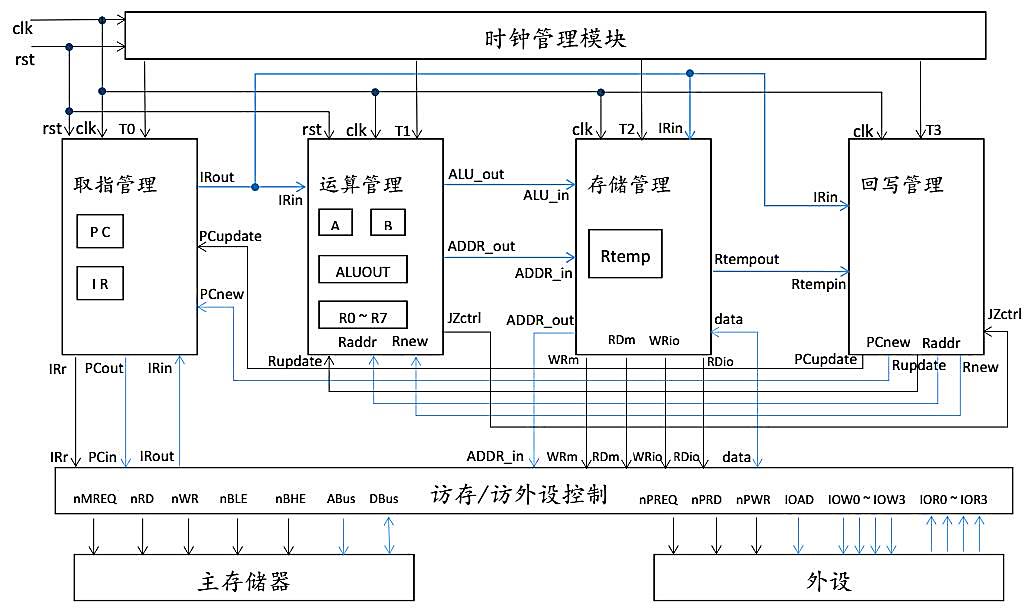
姓名：王巍

班级：1503103

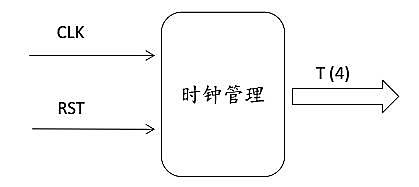
学号：1150340114

哈尔滨工业大学计算机学院

2017年7月

1. 系统整体设计框图 (寄存器和总线位数在各模块框图说明,其中**蓝色线条**为总线)
2. 各模块设计框图及接口定义

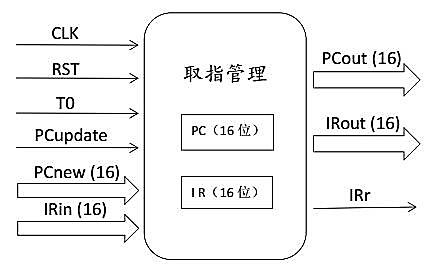
1、时钟管理模块



功能：生成4位节拍信号0001,0010,0100,1000用于控制取指，运算，存储，回写模块的启动。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| CLK | 1 | IN | 处理器板 | 系统时钟 |
| RST | 1 | IN | 处理器板 | 系统复位 |
| T | 4 | OUT | 其它模块 | 节拍信号，控制各模块启动 |

2、取指管理模块

****

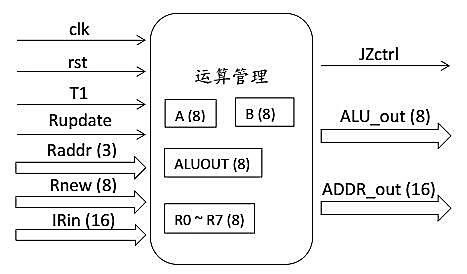
功能：取指令并向各模块输出指令，指令地址寄存器PC+1和回写时PC更新，发出和复位取指信号。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| CLK | 1 | IN | 处理器板 | 系统时钟 |
| RST | 1 | IN | 处理器板 | 系统复位 |
| T0 | 1 | IN | 时钟管理 | 取指启动信号 |
| PCupdate | 1 | IN | 回写模块 | PC更新控制信号 |
| PCnew | 16 | IN | 回写模块 | PC 待更新的值 |
| IRin | 16 | IN | 访存控制 | 取回的指令 |
| PCout | 16 | OUT | 访存控制 | 取指令的地址 |
| IRout | 16 | OUT | 其它模块 | 正在执行的指令 |
| IRr | 1 | OUT | 访存控制 | 取指令控制型号 |

寄存器： PC ： 16位 存放将要取指的指令地址

IR ： 16位 存放取回来的指令

3、运算管理模块



功能：完成数据的准备和计算，以及地址的计算，回写时完成寄存器内容的更新。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| clk | 1 | IN | 处理器板 | 系统时钟 |
| rst | 1 | IN | 处理器板 | 系统复位 |
| T1 | 1 | IN | 时钟管理 | 运算启动信号 |
| Rupdate | 1 | IN | 回写模块 | 寄存器更新控制信号 |
| Raddr | 3 | IN | 回写模块 | 待更新的寄存器地址 |
| Rnew | 8 | IN | 回写模块 | 待更新的寄存器值 |
| IRin | 16 | IN | 取指模块 | 正在执行的指令 |
| JZctrl | 1 | OUT | 回写模块 | 跳转控制信号 |
| ALU\_out | 8 | OUT | 存储模块 | 运算模块计算的数据结果 |
| ADDR\_out | 16 | OUT | 存储模块 | 运算模块计算的地址结果 |

寄存器： A ： 8位 准备数据的暂存器

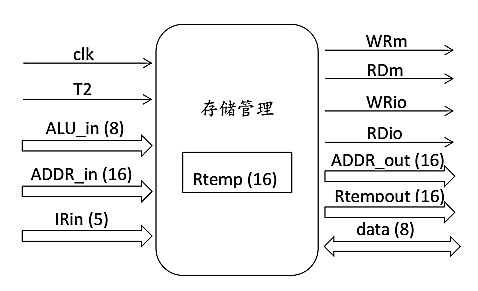
B ： 8位 准备数据的暂存器

ALUOUT ： 8位 存储运算器数据运算结果的暂存器

R0 ~ R7 ： 每个8位 存储数据的通用寄存器

其中R7也用来生成地址

4、存储管理模块

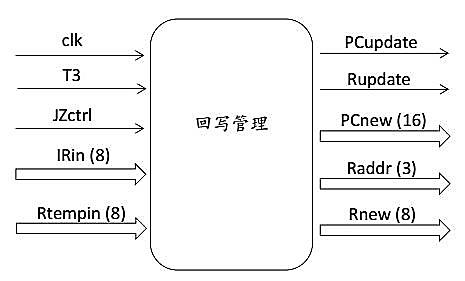


功能：和访存控制模块通信，处理指令的访存或访外设，并传输运算模块到回写模块的数据或地址。

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| clk | 1 | IN | 处理器板 | 系统时钟 |
| T2 | 1 | IN | 时钟管理 | 存储启动信号 |
| ALU\_in | 8 | IN | 运算模块 | 运算模块数据结果 |
| ADDR\_in | 16 | IN | 运算模块 | 运算模块地址结果 |
| IRin | 5 | IN | 取指模块 | 指令高5位 (操作码) |
| WRm | 1 | OUT | 访存控制 | 访存写控制 (低有效) |
| IRm | 1 | OUT | 访存控制 | 访存读控制 (低有效) |
| WRio | 1 | OUT | 访存控制 | 外设输出控制 (低有效) |
| RDio | 1 | OUT | 访存控制 | 外设输入控制 (低有效) |
| ADDR\_out | 16 | OUT | 访存控制 | 访存/访外设地址 (外设用低2位) |
| data | 8 | INOUT | 访存控制 | 主存或外设写入/读出的数据 |
| Rtempout | 16 | OUT | 回写模块 | 待回写PC地址/寄存器数据 (数据用低8位) |

寄存器： Rtemp 16位 存储由访存控制返回的数据或运算模块传入的数据或地址

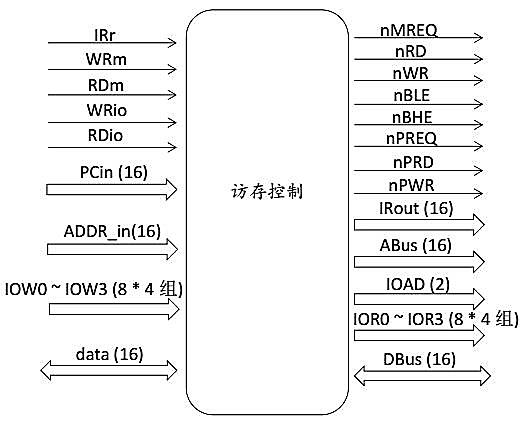
5、回写管理模块



功能：根据指令和跳转控制信号决定是否回写寄存器，PC内容

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| CLK | 1 | IN | 处理器板 | 系统时钟 |
| T3 | 1 | IN | 时钟管理 | 回写启动信号 |
| JZctrl | 1 | IN | 运算模块 | 跳转控制信号 |
| IRin | 8 | IN | 取指模块 | 指令高8位 (5位操作码 3位寄存器地址) |
| Rtempin | 16 | IN | 存储模块 | 待回写的地址或数据 |
| PCupdate | 1 | OUT | 取指模块 | PC更新控制信号 |
| Rupdate | 1 | OUT | 运算模块 | 寄存器更新控制信号 |
| PCnew | 16 | OUT | 取指模块 | 待更新的PC值 |
| Raddr | 3 | OUT | 运算模块 | 待更新的寄存器地址 |
| Rnew | 8 | OUT | 运算模块 | 待更新的寄存器值 |

6、访存控制模块

****

功能：完成所有与主存储器和外设有关的数据交换，和在主存储器中取指令

|  |  |  |  |  |
| --- | --- | --- | --- | --- |
| 信号名 | 位数 | 方向 | 来源/去向 | 意义 |
| IRr | 1 | IN | 取指模块 | 取指令控制信号 |
| WRm | 1 | IN | 存储模块 | 访存写控制 (低有效) |
| IRm | 1 | IN | 访存控制 | 访存读控制 (低有效) |
| WRio | 1 | IN | 访存控制 | 外设输出控制 (低有效) |
| RDio | 1 | IN | 访存控制 | 外设输入控制 (低有效) |
| PCin | 16 | IN | 取指模块 | 取指令地址 |
| ADDR\_in | 16 | IN | 存储模块 | 取数据地址 |
| data | 8 | INOUT | 存储模块 | 读写数据总线 |
| IOR0 | 8 | IN | 外设 | 地址为00的外设输入总线 |
| IOR1 | 8 | IN | 外设 | 地址为01的外设输入总线 |
| IOR2 | 8 | IN | 外设 | 地址为10的外设输入总线 |
| IOR3 | 8 | IN | 外设 | 地址为11的外设输入总线 |
| ABus | 16 | OUT | 主存储器 | 访存的地址 |
| DBus | 16 | INOUT | 主存储区 | 访存读写的数据 |
| IRout | 16 | OUT | 取指模块 | 取回的指令 |
| nMREQ | 1 | OUT | 主存储器 | 访存片选控制 (低有效) |
| nRD | 1 | OUT | 主存储器 | 访存读控制 (低有效) |
| nWR | 1 | OUT | 主存储器 | 访存写控制 (低有效) |
| nBLE | 1 | OUT | 主存储器 | 访存低8位控制 (低有效) |
| nBHE | 1 | OUT | 主存储器 | 访存高8位控制 (高有效) |
| nPREQ | 1 | OUT | 外设 | 外设选择控制 (低有效) |
| nPRD | 1 | OUT | 外设 | 外设输入控制 (低有效) |
| nPWR | 1 | OUT | 外设 | 外设输出控制 (低有效) |
| IOAD | 2 | OUT | 外设 | 外设输入输出地址选择 |
| IOW0 | 8 | OUT | 外设 | 地址为00的外设输出总线 |
| IOW1 | 8 | OUT | 外设 | 地址为01的外设输出总线 |
| IOW2 | 8 | OUT | 外设 | 地址为10的外设输出总线 |
| IOW3 | 8 | OUT | 外设 | 地址为11的外设输出总线 |

1. 系统测试方案，测试过程及仿真波形

1、测试方案

测试内容将用于下载的程序进行仿真，为下载做准备，测试了如下内容

(1) 十条基本指令

(2) 条件跳转指令 JZ 的跳转情况和不跳转情况

(3) 修改R7的值并测试访存过程是否发出了正确的，和R7有关的地址

(4) RST 系统复位操作的正确性

2、测试内容

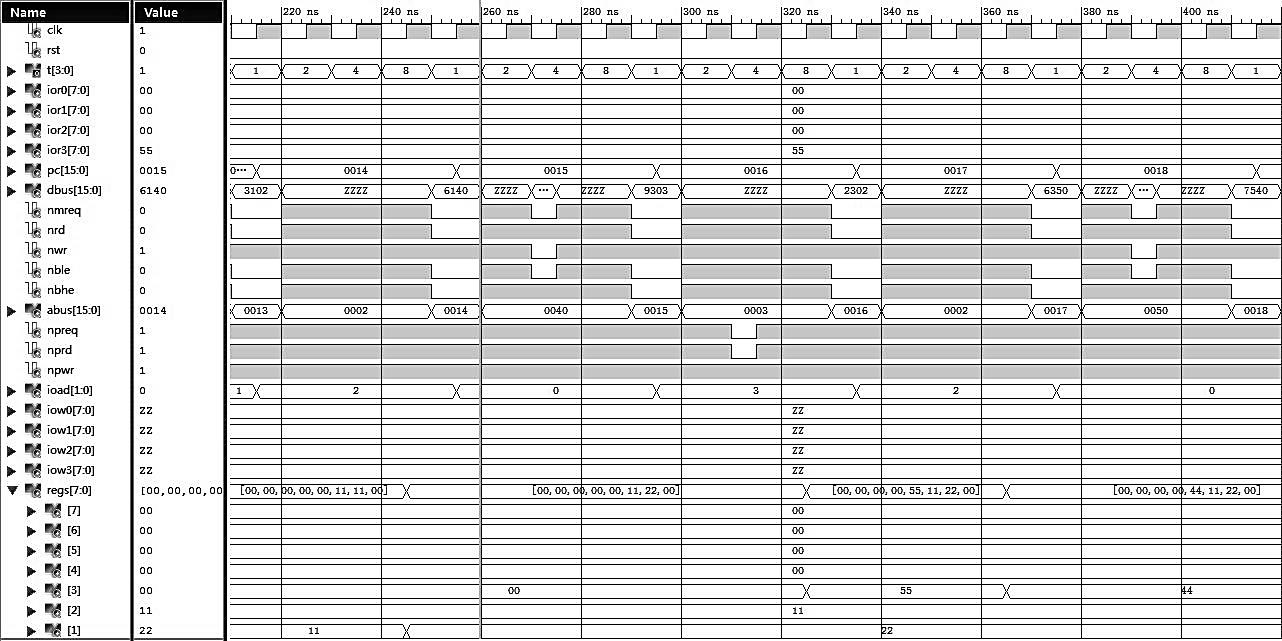
|  |  |
| --- | --- |
| 操作 | 说明 |
| RST | 系统复位，复位包括时钟，PC和各寄存器的值 |
| JMP 0002H | 无条件跳转指令的跳转情况 |
| JZ R0,0010H | 条件跳转指令 |
| MVI R1,11H | 立即数传输指令 |
| OUT R1,00B | 外设输出指令 |
| MOV R2,R1 | 寄存器传输指令 |
| ADD R1,R2 | 加法指令 |
| STA R1,40H | 存数指令 |
| IN R3,11B | 外设输入指令 |
| SUB R3,R2 | 减法指令 |
| STA R3,50H | 存数指令 |
| LDA R5,40H | 取数指令 |
| JZ R5,00H | 无条件跳转指令不跳转情况 |
| OUT R5,10B | 外设输出指令 |
| MVI R7,11H | 立即数传输指令，更改R7 |
| STA R5,60H | 存数指令，测试生成地址的正确性 |

****3、仿真波形及详细说明

（1） RST 重置 PC，寄存器组regs，节拍t （2） JMP 0002H（指令0002H） 修改PC的值为0002H

（3） JZ R0,0010H（指令1010H） 修改PC值为0010H （4） MVI R1,11H（指令4111H） 修改R1值为11H

（5） OUT R1,00B（指令8100H） 将R1的值11H通过IOW1输出 （6） MOV R2,R1（指令5201H） 修改R2的值为R1（11H）

（1） ADD R1,R2 （指令3102H） 将R1的值改为R1和R2的和（22H）

（2） STA R1,40H（指令6140H） 将R1的值存入R7 // 40H (0040H) 即ABus为0040H

（3） IN R3,11B（指令9303H） 将地址11的外设数据读入R3，IOR3的置为55H，故R3变为55H

（4） SUB R3,R2（指令2302H） 将R3的值改为R3和R2的差（44H）

（5） STA R3,50H（指令6350H） 将R3的值存入R7 // 50H (0050H) 即ABus为0050H

（1） LDA R5,40H（指令7540H） 将R7 // 40H (0040H)的值传入R5 即ABus为0040H，DBus为ZZ22H，故R5改为22H

（2） JZ R5,00H（指令1500H） R5为22H，不跳转，PC由0019H自增为001aH

（3） OUT R5,10B（指令8502H） 将R5的值22H通过IOW2输出

（4） MVI R7,11H（指令4711H） 修改R7值为11H

（5） STA R5,60H 将R5的值存入R7 // 60H (1160H) 即ABus为1160H (6) 620ns RST将系统复位

四、各模块测试方案，测试过程，及仿真波形

1、时钟模块

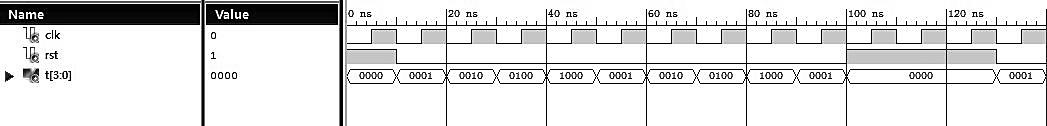
（1）测试方案

·测试时钟工作输出的正确性

·测试RST对于时钟复位的正确性

（2）测试过程

先后两次rst复位，观察t的变化

 （3）仿真波形及详细说明

rst后节拍信号t变为0000，便于在0001是启动取指模块，工作是t有四种输出

即0001,0010,0100,1000

2、取指模块

（1）测试方案

测试内容包括：

·测试取指过程的正确性

·测试PC复位的正确性

·测试PC自增的正确性

·测试PC跳转的正确性

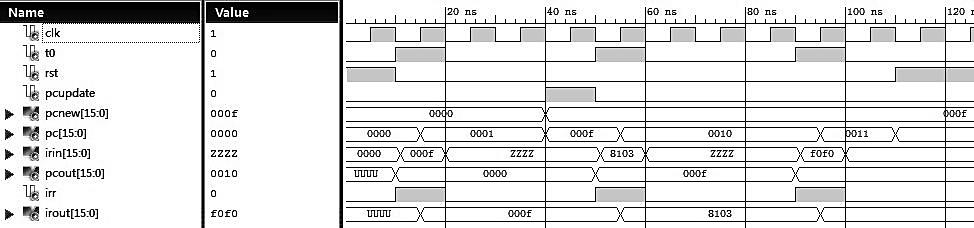
（2）测试过程

JMP指令后观察取指和最后PC的值变化

RST信号给出后观察PC值

任意不跳转指令，PCupdate为0时观察PC的变化

（3）仿真波形及详细说明

取指周期给出取指信号IRr为1，取指地址PCout0000H，取回指令IRin 000FH

跳转时PCupdate为1，PCnew为000FH，PC更新为000FH

再次取指时PCout变为000FH，此次不跳转，PC自增为0010H

再次取指PCout输出为0010H，最后RST后PC复位为0000H

3、运算模块

（1）测试方案

测试内容包括：

·算术运算，立即数，寄存器传输ALUOUT数据结果正确性

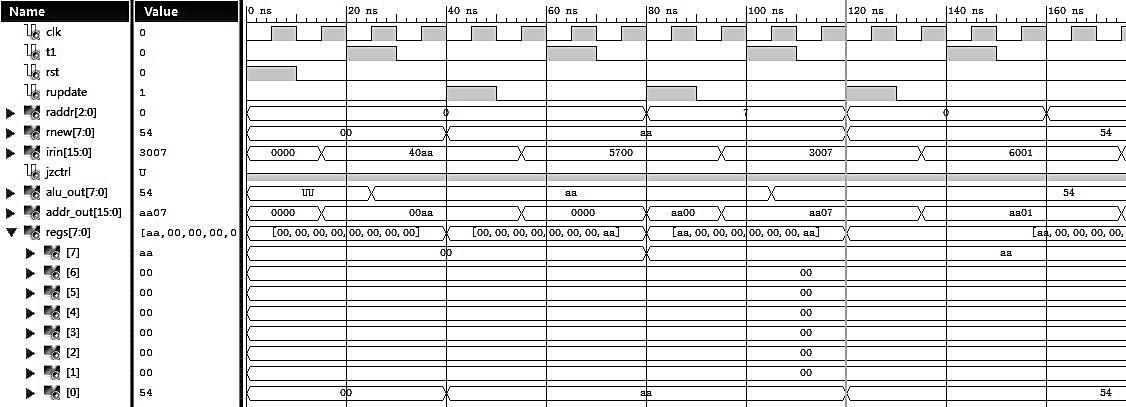
·访存指令ADDR\_OUT地址结果的正确性

·条件跳转指令输出跳转控制JZctrl的正确性

·寄存器更新的正确性

（2）测试过程

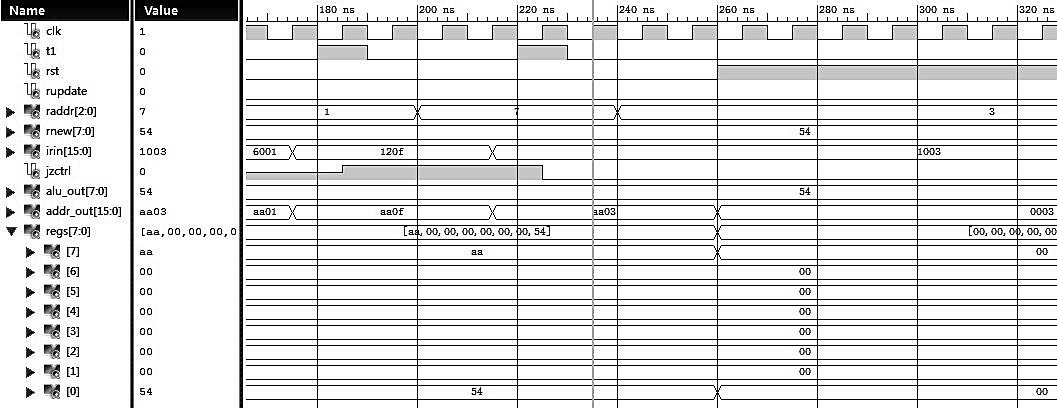
|  |  |
| --- | --- |
| 操作 | 说明 |
| RST | 系统复位，观察寄存器值复位 |
| MVI R0,aaH | 立即数传送，观察ALUOUT，寄存器更新 |
| MOV R7,R0 | 寄存器传送，观察ALUOUT，寄存器更新 |
| ADD R0,R7 | 加法，观察ALUOUT，寄存器更新 |
| STA R0,01H | 存数指令，观察ADDR\_out |
| JZ R2,0FH | 条件跳转的跳转情况，观察JZctrl |
| JZ R0,03H | 跳转跳转的不跳转情况，观察JZctrl |

（3）仿真波形及详细说明

① RST将所有的寄存器置为00H

② MVI R0,aaH（指令40AAH） alu\_out输出aaH，回写时Rupdate为1，Rnew为aaH，Raddr为0H，寄存器R0值变为aaH

③ MOV R7,R0（指令5700H） alu\_out输出RO的值aaH，回写时Rupdate为1，Rnew为aaH，Raddr为7H，寄存器R7值变为aaH

④ ADD R0,R7（指令3007H） alu\_out输出R0与R7的和54H（进位舍去），回写时Rupdate为1，Rnew为54H，Raddr为0H，寄存器RO的值变为54H

1. STA R0,01H（指令6001H） R7值为aaH，故addr\_out输出R7 // X,即AA01H
2. JZ R2,0FH（指令120FH） R2值为00H，故JZctrl变为1，同时addr\_out输出R7 // X,即AA0FH
3. JZ R0,03H（指令1003H） R0值为54H，故JZctrl变为0
4. RST 系统复位后，所有寄存器的值变为00H

4、存储模块

（1）测试方案

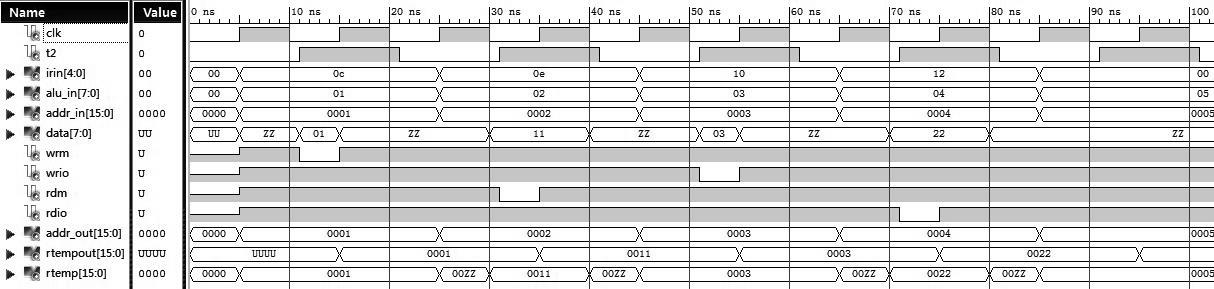
·两个访存指令（读，写），两个IO指令（输入，输出），控制信号和总线数据的正确性

·其它指令控制信号的正确性

（2）测试过程

· STA指令，观察WRm变化， data、alu\_in是否一致

* LDA指令，观察RDm变化， data、rtemp是否一致
* OUT指令，观察WRio变化， data、alu\_in是否一致
* IN指令，观察RDio变化， data、rtemp是否一致
* JMP指令，观察四个控制信号

（3）仿真波形及详细说明

① STA指令，WRm变为0，data变为alu\_in，即01H，给出地址addr\_out同addr\_in，即0001H

② LDA指令，RDm变为0，rtemp低8位变为data，即 11H

③ OUT指令，WRio变为0，data变为alu\_in，即03H

④ IN指令，RDio变为0，rtemp低8位变为data，即22H

⑤ JMP指令，所有控制信号都为1

5、回写模块

（1）测试方案

测试内容包括

* 无条件跳转
* 条件跳转的跳转情况 JZctrl = 1
* 条件跳转的不跳转情况 JZctrl = 0
* 需要寄存器更新的指令
* 既没有寄存器更新又没有PC更新的指令

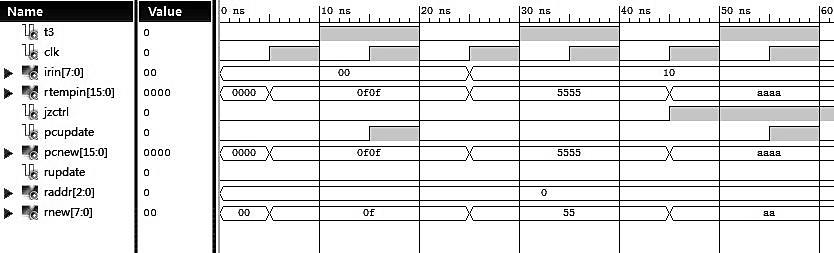
（2）测试过程

JMP指令测试无条件跳转，观察PCupdate

两条JZ指令配合JZctrl测试跳转和不跳转情况，观察PCupadte

SUB指令测试寄存器更新，观察Rupdate，Raddr

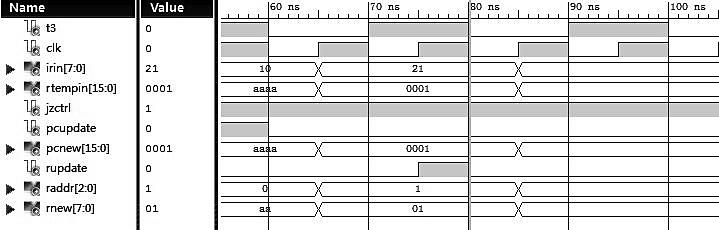
STA测试不更新情况，观察PCupdate，Rupdate

 （3）仿真波形及详细说明

① JMP指令（IRin = 00H），PCupdate变为1

② JZ指令（IRin = 10H），JZctrl = 0情况，PCupdate变为0

③ JZ指令（IRin = 10H），JZctrl = 1情况，PCupdate变为1

 ① SUB指令（IRin = 21H），Rupdate变为1

② STA指令（IRin未显示，85ns后变为66H），Rupdate = 0，PCupdate = 0 6、访存控制模块

（1）测试方案

测试内容包含了

·给出不同的控制信号时，输出控制信号的变化正确性

·在不同的控制信号下，dbus，data，irout和外设总线的关系正确性

·指令地址PCin，访存、访外设地址addr\_in和外设地址ioad，访存地址abus关系的正确性

（2）测试过程

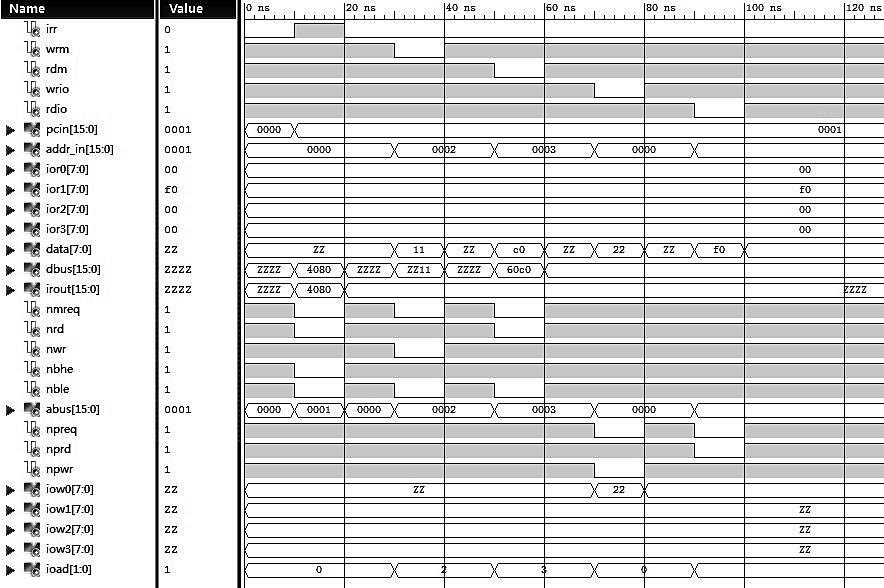
·将取指控制信号IRr置为1(高有效)，观察访存控制信号输出的变化以及IRout和Dbus是否一致。

·将访存写信号置为0（低有效），观察访存控制信号输出的变化以及Dbus低8位和data是否一致。

·将访存读信号置为0（低有效），观察访存控制信号输出的变化以及Dbus低8位和data是否一致。

·将外设输出信号置为0（低有效），观察外设控制信号输出的变化以及指定地址i的外设IOWi和data是否一致

·将外设输入信号置为0（低有效），观察外设控制信号输出的变化以及指定地址i的外设IORi和data是否一致。

 （3）仿真波形及详细说明

① IRr = 1，取指有效。片选信号nMREQ，访存写信号nWR,访存高、低8位控制信号nBHE,nBLE变为0。

pcout和abus一致，为0001H。irout和dbus一致，取回指令4080H。

② WRm = 0，访存写有效。片选信号nMREQ，访存写信号nWR,访存低8位控制信号nBLE变为0。

addr\_in和abus一致，为0002H，dbus低8位和data一致，为11H。

③ RDm = 0，访存读有效。片选信号nMREQ，访存读信号nRD,访存低8位控制信号nBLE变为0。

Addr\_in和abus一致，为0003H，dbus低8位和data一致，为C0H。

④ WRio = 0，外设输出有效。片选信号nPREQ，外设输出信号nPWR变为0。ioad与addr\_in低两位一致，为00B。IOW0与data一致，为22H。

⑤ RDio = 0，外设输入有效。片选信号nPREQ，外设输入信号nPRD变为0。ioad与addr\_in低两位一致，为01B。IOR1与data一致，为F0H。

⑥ 控制输入信号全部无效的情况下，访存，访外设控制输出都无效。

五、处理器功能测试程序

(初始RST信号使所有寄存器内容为00H，为方便标注，IN指令默认输入55H)

|  |  |  |  |  |  |  |  |  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- | --- |
| 地址 | 内容 | 助记符 | 寄存器内容 | | | | | | | | 用到内存地址和内容 | | 外设输入 |
|  | | | R0 | R1 | R2 | R3 | R4 | R5 | R6 | R7 | 0040H | 0050H | 11B |
| 0000H | 0002H | JMP 02H | 00H | 00H | 00H | 00H | 00H | 00H | 00H | 00H | 0000H | 0000H | 00H |
| 0002H | 1010H | JZ R0,00H | 00H | 00H | 00H | 00H | 00H | 00H | 00H | 00H | 0000H | 0000H | 00H |
| 0010H | 4111H | MVI R1,11H | 00H | 11H | 00H | 00H | 00H | 00H | 00H | 00H | 0000H | 0000H | 00H |
| 0011H | 8100H | OUT R1,00B | 00H | 11H | 00H | 00H | 00H | 00H | 00H | 00H | 0000H | 0000H | 00H |
| 0012H | 5201H | MOV R2,R1 | 00H | 11H | 11H | 00H | 00H | 00H | 00H | 00H | 0000H | 0000H | 00H |
| 0013H | 3102H | ADD R1,R2 | 00H | 22H | 11H | 00H | 00H | 00H | 00H | 00H | 0000H | 0000H | 00H |
| 0014H | 6140H | STA R1,40H | 00H | 22H | 11H | 00H | 00H | 00H | 00H | 00H | 0022H | 0000H | 00H |
| 0015H | 9303H | IN R3,11B | 00H | 22H | 11H | 55H | 00H | 00H | 00H | 00H | 0022H | 0000H | 55H |
| 0016H | 2302H | SUB R3,R2 | 00H | 22H | 11H | 44H | 00H | 00H | 00H | 00H | 0022H | 0000H | 00H |
| 0017H | 6350H | STA R3,50H | 00H | 22H | 11H | 44H | 00H | 00H | 00H | 00H | 0022H | 0044H | 00H |
| 0018H | 7540H | LDA R5,40H | 00H | 22H | 11H | 44H | 00H | 22H | 00H | 00H | 0022H | 0044H | 00H |
| 0019H | 1500H | JZ R5,00H | 00H | 22H | 11H | 44H | 00H | 00H | 00H | 00H | 0022H | 0044H | 00H |
| 0020H | 8502H | OUT R5,10B | 00H | 22H | 11H | 44H | 00H | 00H | 00H | 00H | 0022H | 0044H | 00H |

六、遇到的问题及解决方法

1、设计过程

问题1：

控制信号的发送和还原需要两个信号沿，但是一个信号无法用两个沿驱动另一个信号

解决办法：

将各个需要有还原操作的模块接上时钟信号，控制信号发出用启动信号沿T，还原用时钟沿CLK。

问题2：

没有分配地址的外设，如何利用IOAD对外设进行选择？

解决办法：

用4组八段数码管和4组开关组模拟4个外设输入和4个外设输出，并用代码为它们分配地址，IOAD用于输出查看选择的外设。

2、调试过程

问题1：

代码综合后生成大量的锁存器，可能会影响下载后电路的行为。

解决办法：

查找资料，弄清锁存器产生的原因，在if和case分支中补全各个信号的

输出，消除了锁存器。

问题2:

代码综合时警告：内部总线被替换为逻辑。

解决办法：

查阅资料了解到，产生该警告的原因是所选择的芯片没有内部总线，只要不使用这些信号的沿，电路的行为不会有问题。

问题3：

代码综布线时警告：时钟可能又过度的歪斜

解决办法：

查阅资料了解到，产生该警告的原因是代码定义的全局时钟只驱动了少量的触发器，分配资源没有分配到较为资源较为珍贵的芯片全局时钟，而是分配了弱时钟，但只要下载后电路行为没有问题，就不用处理

3、仿真过程

问题1：

取指模块IRout保持输出IR，但是IR在执行过程中会因为DBus数据变化而变化，导致指令执行错误

解决办法：

在取指模块的时钟沿送出取回的IR，用沿触发的方式输出IR，保证了各个模块收到的指令是正在执行的指令

问题2：

复位操作将节拍信号t复位为0001，导致取指模块无法启动

解决办法

修改复位后的节拍信号t为0000，问题得到解决

4、下载过程

问题1：

访存过程不能正常工作，访存控制信号不正确，但仿真波形图没有问题  
 解决办法：

经过分析发现，在仿真波形图里同时发生变化的两个信号在实际中不能同时变化，导致逻辑混乱。

重新设计访存控制模块逻辑，将控制信号生成逻辑和读写过程分离，严格控制时序，问题得到解决。

问题2：

外设控制信号出错，nPREQ无法输出正确的值，波形图仍然没有发现问题

解决办法：

经过查阅资料和反复调试，发现过多的悬空测试信号也会导致布线后的芯片逻辑混乱，删除所有测试信号后问题得到解决。