

## ממס תרגיל 3

משה בר 305567182 [bezangeloo@gmail.com](mailto:bezangeloo@gmail.com)

איתי איליהגוייב 201300662 [itaibar1111@gmail.com](mailto:itaibar1111@gmail.com)

בבקשה להחזיר לתא 00.

## הטכניון – מכון טכנולוגי לישראל

### הפקולטה למדעי המחשב

תאריך הגשה: 08/01/2016

הוראות הגשה: ההגשה בזוגות. הוסיפו שמות, ת.ז., אי-מייל, תא אליו יש להחזיר את התרגיל ואת תשובותיכם לתרגיל, הדפיסו והגישו לתא הקורס בקומה 1. עבור הגשות באיחור יש להגיש לתא של אנדריי בקומה 2.

ממס – תרגיל 3

### שאלה 1 – Two level Branch Prediction (40 נק')

נתון מעבד בעל מבנה ה-pipeline הבא:

Inst fetch	Dec 1	Dec 2	Exe 1	Exe 2	Mem	Write back
---------------	-------	-------	-------	-------	-----	---------------

- ◆ חיזוי הקפיצה נמשך שני מחזורי שעות, כך שהוא מבוצע בסוף שלב dec1.
- ◆ במעבד קיים branch predictor מסוג Local, שבו לכל branch היסטוריה באורך 3 המצביעה על מערך של 8 מונים (bimodal counters). ההיסטוריה מאותחלת ל-0 והמונים מאותחלים ל-2 (weakly taken).
- ◆ בסוף שלב ה-mem ידוע האם יש לקפוץ או לא.

1. (5 נק') כמה penalty (במחזורי שעות) נשלם עבור חיזוי בכל אחד

מהמקרים הבאים?

חיזוי taken \ בפועל taken

ה'קנס' יהיה מחזור שעות אחד.

בסוף שלב D1 כבר חוזים את הקפיצה, ואכן תהיה קפיצה, ולכן יהיה צורך לנקות רק את הפקודה שהספיקה להכנס ל-IF.

חיזוי taken \ בפועל not taken

קנס של 5 מחזורי שעות.

בסוף שלב D1 חוזים קפיצה, ולכן מנקים את הפקודה שהספיקה להכנס ל-IF, בגלל שהיא לא מתאימה לפי החיזוי. לאחר מכן כאשר פקודת הקפיצה מגיעה לסוף שלב MEM מתברר שלא היה צורך לקפוץ. כעת יש ב-PL 4 פקודות לא מתאימות כי הן נטענו על סמך חיזוי קפיצה ונצטרך לשטוף גם אותן. סה"כ נשלם קנס של 5 מחזורי שעות.

חיזוי not taken \ בפועל taken

קנס של 5 מחזורי שעות.

כל הפקודות שנטענו עד שפקודת הקפיצה הגיעה לסוף שלב MEM לא טובות לנו, ולכן נצטרך לנקות אותם מה-PL. יש 5 כאלו (אחת בכל שלב של ה-PL) ולכן נשלם קנס של 5 מחזורי שעות.

חיזוי not taken \ בפועל not taken

במקרה זה לא נשלם קנס כלל, כי כל הפקודות שנכנסו ל-PL תקינות.

2. (20 נק') המעבד מריץ תוכנית ובה פקודת קפיצה בודדת בעלת סידרת הקפיצות הבאה: ... 10011 10011

(החל משמאל). השלם את הטבלה הבאה בהנחה שההיסטוריה והמונים מתעדכנים בסוף שלב ה-Mem ושבין קפיצה לקפיצה עובר מספיק זמן, כך שההיסטוריה והמונים מתעדכנים עוד לפני שנדרש לבצע חיזוי נוסף.

החיזוי נכון/שגוי	החיזוי (0/1)	ערך המונה לפני הקפיצה	ערך ההיסטוריה לפני הקפיצה	Taken/ not-taken
נכון	1	10	000	1
שגוי	1	10	001	0
שגוי	1	10	010	0
נכון	1	10	100	1
שגוי	0	01	001	1
נכון	1	10	011	1
שגוי	1	10	111	0
שגוי	1	10	110	0
נכון	1	11	100	1
נכון	1	10	001	1
נכון	1	11	011	1
נכון	0	01	111	0
נכון	0	01	110	0
נכון	1	11	100	1
נכון	1	11	001	1
נכון	1	11	011	1
נכון	0	00	111	0
נכון	0	00	110	0

3. (15 נק') עבור כל אחת מהסדרות הבאות ענו האם החזאי בשאלה מסוגל לאחר מספיק חזרות לחזות אותן בצורה מושלמת. אם לדעתך החזאי אינו מסוגל לחזות את הדפוס בצורה מושלמת, נמק מדוע, וקבע מה אורך ההיסטוריה המינימאלי הנדרש על מנת לתת תשובה נכונה.

The general rule for a two-level adaptive predictor with an n-bit history is that it can predict any repetitive sequence with any period if all n-bit sub-sequences are different.

א. 01011 01011 01011...

החזאי לא יוכל לחזות את הסדרה 01011 עם היסטוריה של 3 ביטים, מכיוון שתתי הסדרות שלה הן: 010, 101, 011, 110, 101. ויש תתי סדרות זהות, למשל אלו שמודגשות. תתי הסדרות באורך 4 הן: 0101, 1011, 0110, 1101, 1010, וכולן שונות. לכן היסטוריה באורך 4 תספיק כדי לחזות את הדפוס הזה בצורה מושלמת.

ב. 00111 00111 00111 ...

החזאי יוכל לחזות את הסדרה 00111 עם היסטוריה של 3 ביטים, מכיוון שתתי הסדרות שלה הן: 001, 011, 111, 110, 100. ואין תתי סדרות זהות. לכן היסטוריה באורך 3 תספיק כדי לחזות את הדפוס הזה בצורה מושלמת.

ג. 0101111 0101111 0101111.....

החזאי לא יוכל לחזות את הסדרה 01011 עם היסטוריה של 3 ביטים, מכיוון שתתי הסדרות שלה הן: 010, 101, 011, 111, 110, 101. ויש תתי סדרות זהות, למשל אלו שמודגשות. תתי הסדרות באורך 4 הן: 0101, 1011, 0111, 1111, 1110, 1101, 1010, וכולן שונות. לכן היסטוריה באורך 4 תספיק כדי לחזות את הדפוס הזה בצורה מושלמת.

ד. 1011001 1011001 1011001...

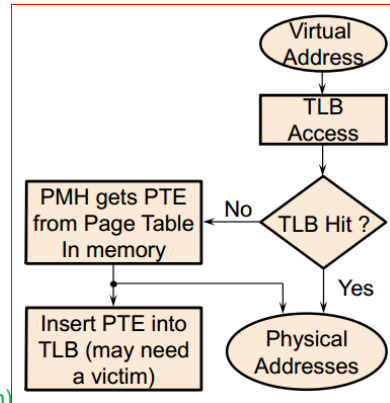
החזאי לא יוכל לחזות את הסדרה 01011 עם היסטוריה של 3 ביטים, מכיוון שתתי הסדרות שלה הן: 101, 011, 110, 100, 001, 011, 110. ויש תתי סדרות זהות, למשל אלו שמודגשות. תתי הסדרות באורך 4 הן: 1011, 0110, 1100, 1001, 0011, 0110, 1101, וגם פה יש זהות. תתי הסדרות באורך 5 הן: 10110, 01100, 11001, 10011, 00110, 01101, 11011, פה, כולן שונות. לכן היסטוריה באורך 5 תספיק כדי לחזות את הדפוס הזה בצורה מושלמת.

ה. 01101 01101 01101 ...

החזאי לא יוכל לחזות את הסדרה 01011 עם היסטוריה של 3 ביטים, מכיוון שתתי הסדרות שלה הן: 011, 110, 101, 010, 101. ויש תתי סדרות זהות, למשל אלו שמודגשות. תתי הסדרות באורך 4 הן: 0110, 1101, 1010, 0101, 1011, וכולן שונות. לכן היסטוריה באורך 4 תספיק כדי לחזות את הדפוס הזה בצורה מושלמת.

## שאלה 2 – זיכרון וירטואלי (20 נק')

א. מדוע בדרך"כ ניגש למטמון רק אחרי שניגש ל TLB ?



(הרצאה 7-8 שקף 10)

המטמון במעבד שומר מידע לפי כתובות פיזיות. התהליכים שרצים במערכת מכירים רק את מרחב הזיכרון הוירטואלי שהם מקבלים, ולכן נצטרך לבצע את התרגום של הכתובת הוירטואלית לכתובת פיזית. **עוד לפני התרגום**, יכול להיות שהכתובת הפיזית לדף המבוקש שמורה ב TLB ולכן ניגש אליו ונבדוק. אם לא נקבל 'פגיעה' נצטרך לגשת לטבלת התרגום (שככל הנראה שמורה במטמון... כמו כל נתון רגיל, כדי לקצר זמני גישה) ולתרגם את הכתובת הוירטואלית לכתובת הפיזית.

ב. באיזו מקרה ניגש ל TLB רק אחרי שניגש למטמון ?

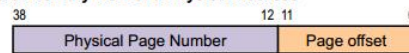
במקרה בו יש במערכת (גם) מטמון אשר שומר מידע לפי כתובות וירטואליות. במקרה כזה כאשר יש צורך לגשת לכתובת וירטואלית כלשהי, קודם נבדוק האם תוכנה כבר במטמון, אם כן, מה טוב. אם לא, ניגש ל TLB כדי לבדוק האם הכתובת הפיזית המתאימה כבר נמצאת בו (ואם לא, נצטרך לגשת לטבלת התרגום כדי לדעת מה הכתובת הפיזית המתאימה)

ג. כיצד אפשר לתכנן TLB ומטמון שיאפשרו גישה במקביל ?

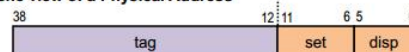
נצטרך לשנות את מבנה הכתובת כמו ש"רואה אותה" המטמון, כך שה set יהיה מוכל ב Page offset בצורת הכתובת כמו שהיא מפורשת כזיכרון וירטואלי כמו שמוסבר בשקף הבא:

### Overlapped TLB & Cache Access (cont)

Virtual Memory view of a Physical Address



Cache view of a Physical Address



In the above example #Set is contained within the Page Offset

⇒ The #Set is known immediately

⇒ Cache can be accessed in parallel with address translation

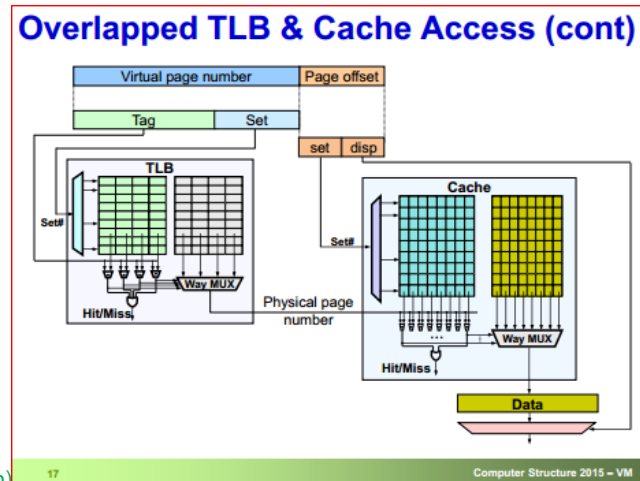
⇒ Once translation is done, match upper bits with tags

Limitation:  $\text{Cache} \leq (\text{page size} \times \text{associativity})$

(הרצאה 7-8 שקף 16)

כך נוכל לדעת בצורה מיידיית את set עבור המטמון, ולכן נוכל לגשת למטמון במקבילית לגישה ל TLB. נשים לב שבצורת המימוש הזו אנחנו מוגבלים בגודל המטמון, שחייב להיות קטן או שווה

למכפלת גודל דף באסוציאטיביות של המטמון. שרטוט הממחיש את הגישה המקבילית מובא בשקף הבא:



(הרצאה 7-8 שקף 17)

### שאלה 3- זיכרון וירטואלי (40 נק')

נתון מעבד דמוי x86 העובד במוד של 64 ביט ומבנה הכתובת הבא:

63	48 47	40 39	32 31	24 23	12 11	0
Sign ext	PML4	PDP	DIR	PTE	offset	

המעבד תומך הן בדפים בגודל קטן (המוצבעים ע"י כניסות ב-PTE) והן בדפים בגודל גדול (המוצבעים ע"י כניסות ב-DIR). גודל כל כניסה בטבלאות הדפים בכל אחת מהרמות היא 8 bytes. במעבד זה, טבלאות התרגום אינן בהכרח בגודל של דף קטן. במעבד קיימים TLB וכן PMH caches עבור כל הרמות PML4, PDP, DIR. בכל אחד מהם 4 כניסות, direct mapped. למעבד אין STLB.

א. (5 נק') מהם הגדלים של דף קטן ודף גדול במעבד?

גודל דף קטן הינו  $2^{12} = 4,096$  בתים (PTE) במונחים של זיכרון מדובר ב-4 קילו בייט.

גודל דף גדול הינו  $2^{24} = 16,777,216$  בתים (DIR) במונחים של זיכרון מדובר ב-16 מגה בייט.

ב. (5 נק') כמה סיביות אנו שומרים עבור שדה ה-tag ב-TLB וב-PMH caches: PML4, PDP, DIR?

TLB – 34

PML – 6

PDP – 14

DIR – 22

לכל אחד ניקח את מספר הסיביות החל מ sign ext עד סופו פחות 2

ג. (10 נק') נתונה סדרת פניות לזיכרון וירטואלי (בבסיס הקסדצימאלי). עבור כל גישה, רשמו האם הייתה החטאה או פגיעה ב-TLB וב-PMH caches. הוסיפו הסבר מתאים. הניחו שמשתמשים בדפים קטנים בלבד, שהטבלאות התרגום כבר קימות בזיכרון ושה-TLB וה-PMH caches ריקים בתחילת התוכנית.

הסבר	TLBs(H/M)	כתובות
נתון שהכל ריק. <b>החטאה ב-TLB</b> .	miss: all	FFFF123456789ABC
נשים לב כי FFFF1234XXXXXXXXX ללא התייחסות ל-Xים כבר היינו, ולכן PML4 ו- PML4 – PDF נקבל פגיעה, נראה שאמנם לאחר מכן ב56 היינו אבל הכתובת שונתה ל57 ולכן החל מנקודה זו נקבל החטאה בכל השאר (PTE & DIR). <b>החטאה ב-TLB</b> , הכתובת לא נמצאת.	hit: PML4 & PDP miss: DIR & PTE	FFFF123457789ABC
כתובת שכבר היינו בה חוץ מחוצץ offset (12 ביטים אחרונים) שהשתנה ל-BCD. <b>החטאה ב-TLB</b> , הכתובת נדרסת.	hit: PML4 & PDP & DIR & PTE	FFFF123456789BCD
נשים לב כי FFFF12XXXXXXXXXX ללא התייחסות ל-Xים כבר היינו, ולכן PML4 נקבל פגיעה, נראה שאמנם לאחר מכן ב34 היינו אבל הכתובת שונתה ל33 ולכן החל מנקודה זו נקבל החטאה בכל השאר (PTE & PDP & DIR). <b>החטאה ב-TLB</b> .	hit: PML4 miss: PDP & DIR & PTE	FFFF123322788BCD
כתובת שכבר היינו בה. <b>פגיעה ב-TLB</b> .	hit: PML4 & PDP & DIR & PTE	FFFF123456789BCD

ד. (20 נק') זמן הגישה לזיכרון הוא 100 מ"ש (מחזורי שעון). זמן הגישה ל-TLB הוא 2 מ"ש (להחטאה או קבלת הנתון). לאחר TLB miss מתבצעת פנייה ל-PMH כדי שיבצע page walk להשגת התרגום. זמן הגישה ב-PMH בכל הרמות הוא 3 מ"ש עד לקבלת הנתון או זיהוי החטאה. למעבד יש זיכרון מטמון : גודלו 32 kb, גודל שורה 64 בתים וארגון 8-way set associative עם מדיניות פינו LRU. זמן הגישה למטמון (לקבלת נתון או החטאה) הוא 4 מ"ש.

עבור כל אחת מהגישות לזיכרון שהוזכרו בסעיף ב', תוך כמה מ"ש התקבל תרגום לכתובת?

יש לחשב את הזמן הנדרש לקבלת תרגום עבור כל אחת מהכתובות, ולפרט את הגישות השונות שבוצעו לקבלת התרגום, את תוצאת כל גישה (hit או miss) ואת הזמן שהגישה ארכה.

הסבר	מספר cycles	כתובות
החטאה בכל הרמות.	421	FFFF123456789ABC
גישה לtlb = 2, גישה בhlpm = 3 ולאחר מכן גישה לזיכרון = 100, בנוסף יש לנו שתי פגיעות ולכן $2 \times 4$ .	113	FFFF123457789ABC
גישה לtlb = 2, בנוסף יש לנו גישה למטמון = 4, וגישה לhlpm = 3.	9	FFFF123456789BCD
גישה לtlb = 2, יש לנו גישה לhlpm עם פגיעה = 3, ועוד 2 החטאות ולכן ניגש פעמיים לזיכרון $100 \times 2$ , בנוסף 3 גישות למטמון $3 \times 4$ .	217	FFFF123322788BCD
פגיעה ב-TLB וסיום.	2	FFFF123456789BCD