**הטכניון – מכון טכנולוגי לישראל**

**הפקולטה למדעי המחשב**

תאריך הגשה: 20.4.16

הוראות הגשה: ההגשה בזוגות . הוסיפו שמות, ת.ז., אי-מייל, תא אליו יש

להחזיר את התרגיל ואת תשובותיכם לתרגיל, הדפיסו והגישו לתא הקורס

בקומה 1. עבור הגשות באיחור יש להגיש לתא של יוני.

**מבנה מחשבים ספרתיים – תרגיל יבש 1**

**שאלה 1 – structural hazard pipeline**

בחברת dual-flop מייצרים מעבדים דמויי MIPS . כאשר בדקו בחברה בדקו את תקינות המעבדים, הם גילו להפתעתם שבקובץ הרגיסטרים יש בעיה שכתוצאה ממנה לא ניתן לכתוב ולקרוא מקובץ הרגיסטרים באותו מחזור שעון.

תזכורת: structural hazard מתרחש כאשר אין חומרה מספקת בשביל לבצע 2 פקודות במקביל.

1. באילו מצבים תתרחש במעבד הפגום בעיה? בתשובתך התייחס לסוג הפקודה. להזכירכם ישנם 3 סוגי פקודות במעבד MIPS : R-tye,I-type,J-Type .
2. מנהלי החברה לא הסכימו לייצר מחדש את קבצי הרגיסטרים בגלל העליות הייצור הגבוהות. אחד המהנדסים בחברה הציע לשכלל את ה HDU כדי לפתור את הבעיה. תאר את השינוי ב HDU.
3. בהנחה שאין data hazards ו- control hazards (hazards שנובעים מהסתעפות) מהו ה CPI המקסימלי המתקבל ? הדגימו באמצעות תכנית דוגמא ותיאור ה .PIPLINE

|  |  |  |  |  |  |
| --- | --- | --- | --- | --- | --- |
| WB | MEM | EXE | ID | IF | Clock |
|  |  |  |  |  | 1 |
|  |  |  |  |  | 2 |
|  |  |  |  |  | … |
|  |  |  |  |  | N |

**שאלה 2 - data hazards**

1. נתון מעבד pipeline דמוי MIPS בעל 7 שלבים, כך שהגישה לזיכרון מתרחשת במהלך שלושה שלבים (MEM1/MEM2/MEM3) . רק בסוף שלב MEM3 מסתיימת הגישה לזיכרון ,בין אם זאת הייתה קריאה או כתיבה. ציין באלו מקרים לא ניתן להימנע מ stall ע"י קידום מידע ( DATA FARWARDING ) ולמשך כמה מחזורי שעון.
2. נתון מעבד pipeline דמוי MIPS בעל 4 שלבים, שמבצע את שלבי ה-MEM וה-EXE באותו מחזור שעון. האם יהיה מקרה בו לא ניתן להימנע מ stall ע"י קידום מידע ( DATA FARWARDING ) ? הסבירו.

**שאלה 3 - מדדים וחוק אמדל**

ישנו מעבד בו התדר הוא הוא 2GHz. מריצים עליו את תוכנית המבחן הבאה:

|  |  |  |
| --- | --- | --- |
| סוג הפקודה | אחוז הפקודות בתכנית | CPI |
| פקודות INTEGER | 50% | 1 |
| חישובי FP | 10% | 3 |
| Branch | 20% | 2 |
| Load | 20% | 4 |

א. מהו ערך מדד ה-MIPS עבור תוכנית המבחן הזאת?

ב. משנים את המעבד כך שעבור פקודת LOAD יהיה CPI=2 . כתוצאה משינוי זה CPI של פקודות FP הוא כעת 4. **הראו באמצעות חוק אמדל** מהו ה-speedup הכולל של ה-benchmark לאחר השינוי ?

**אין קשר בין סעיף ג' לסעיפים הקודמים**

ג. מאיצים את פקודת החילוק במעבד נתון פי 1.5. עבור benchmark כלשהוא השגנו speedup כולל של 1.2 . מצאו באמצעות חוק אמדל מהו **אחוז מזמן** ריצת המעבד שבו ביצע מהעבד פעולות חילוק **לפני השיפור** ?