



МИНОБРНАУКИ РОССИИ

Федеральное государственное бюджетное образовательное учреждение
высшего образования
«МИРЭА - Российский технологический университет»

РТУ МИРЭА

Институт Информационных Технологий
Кафедра Вычислительной Техники (ВТ)

ОТЧЁТ ПО ПРАКТИЧЕСКОЙ РАБОТЕ № 6

«Делитель частоты»

по дисциплине

«Архитектура вычислительных машин и систем»

Выполнил студент группы

ИВБО-11-23

Туктаров Т.А.

Принял ассистент кафедры ВТ

Дуксина И.И.

Лабораторная работа выполнена

«8» ноября 2022 г.

«Зачтено»

«8» ноября 2022 г.

Москва 2022

АННОТАЦИЯ

Данная работа включает в себя 1 рисунок, 0 таблиц, 3 листинга, 0 формул и 0 приложений. Количество страниц в работе — 11

СОДЕРЖАНИЕ

| | |
|--|---|
| ВВЕДЕНИЕ..... | 4 |
| 1 ХОД РАБОТЫ..... | 5 |
| 1.1 Практическое введение | 5 |
| 1.2 Реализация счетчика | 5 |
| 1.3 Реализация делителя частоты | 6 |
| 1.4 Верификация..... | 6 |
| ЗАКЛЮЧЕНИЕ | 7 |
| СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ | 8 |

ВВЕДЕНИЕ

Под счётчиком понимается цифровой автомат, предназначенный для подсчёта входных импульсов, поступающих на специальный вход, именуемый счётным. Состояние такого цифрового автомата коррелирует с количеством поступивших импульсов. Одним из вариантов использования счётчика является устройство делителя частоты. Суть заключается в следующем: некоторый периодический сигнал (например, сигнал синхронизации) имеет определённую частоту изменения своего уровня (в примере тестового модуля синхросигнал менялся каждые 10 единиц времени); некоторые устройства для участия в алгоритме решения задачи должны изменять своё состояние, например, раз в 20 единиц времени. Создавать в рамках схемы отдельный синхросигнал, не связанный с основным — плохая идея, поскольку это может привести к рассинхронизации из-за физических процессов, уникальных для каждого сигнала. Решением такой проблемы будет 2 раза. Устройство, замедление основного сигнала синхронизации в $20/10 = 2$ позволяющее произвести такую манипуляцию, называется Делителем частоты.

1 ХОД РАБОТЫ

1.1 Практическое введение

Спроектировать универсальный параметрический схемотехнический узел — счётчик — при помощи Verilog HDL. Произвести верификацию полученного устройства средствами САПР Vivado. На основе разработанного модуля счётчика создать модуль делителя частоты на шаг счета 175. Произвести верификацию полученного устройства средствами САПР Vivado. Подготовить отчёт о проделанной работе.

1.2 Реализация счетчика

Реализуем универсальный реверсивный счетчик в модуле. Реализация представлена в листинге 1.1

Листинг 1.1 – Реализация универсального реверсивного счетчика

```
`timescale 1ns / 1ps

module count#(step = 1, mod = 8) (
    input dir, clk,
    output reg [$clog2(mod)-1:0] out
);
    initial
        out = 0;
    always@(posedge clk)
    begin
        if(dir == 0)
            out = (out + step) % mod;
        else
            out = (out - step) % mod;
    end
endmodule
```

1.3 Реализация делителя частоты

Реализуем делитель частоты на 175 в модуле. Реализация представлена в листинге 1.2

Листинг 1.2 – Реализация делителя счетчика

```
`timescale 1ns / 1ps
module delitel(
    input clk,
    output reg out
);
    wire [$clog2(87):0] out_count;
    initial
        out = 0;
    count#(1, 87) count2(.clk(clk), .dir(0), .out(out_count));
    always@(negedge clk)
    begin
        if(out_count == 0)
            out = ~out;
    end
endmodule
```

1.4 Верификация

Проведем верификацию модулей, для этого создадим модуль test.v (Листинг 1.3)

Листинг 1.3 – Верификация модулей

```
`timescale 1ns / 1ps
module test();
    reg clk = 0;
    reg clk_ref = 0;
    reg dir = 1;
    wire [$clog2(175) - 1:0] out;
    wire clk_div;
    always #1 clk = ~clk;
    always #175 clk_ref = ~clk_ref;

    count #(1, 175) count1(.clk(clk), .dir(dir), .out(out));
    delitel delitel(.clk(clk), .out(clk_div));
endmodule
```

Результат верификации представлен на рисунке 1.1

ЗАКЛЮЧЕНИЕ

В данной работе был реализован параметрический универсальный реверсивный счетчик а также делитель частоты на 175 помощи языка описания аппаратуры Verilog средствами САПР Vivado. Произведена верификация полученных модулей.

СПИСОК ИСПОЛЬЗОВАННЫХ ИСТОЧНИКОВ

1. Методические указания по ПР № 6 — URL: <https://online-edu.mirea.ru/mod/resource/view.php?id=405132> (Дата обращения:08.12.2022).
3. Смирнов С.С. Информатика [Электронный ресурс]: Методические указания по выполнению практических и лабораторных работ / С.С. Смирнов — М., МИРЭА — Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).
4. Тарасов И.Е. ПЛИС Xilinx. Языки описания аппаратуры VHDL и Verilog, САПР, приемы проектирования. — М.: Горячая линия — Телеком, 2021. — 538 с.: ил.
5. Антик М.И. Дискретная математика [Электронный ресурс]: Учебное пособие / Антик М.И., Казанцева Л.В. — М.: МИРЭА — Российский технологический университет, 2018 — 1 электрон. опт. диск (CD-ROM).
6. Антик М.И. Математическая логика и программирование в логике [Электронный ресурс]: Учебное пособие / Антик М.И., Бражникова Е.В.— М.: МИРЭА – Российский технологический университет, 2018. — 1 электрон. опт. диск (CD-ROM).
8. Антик М.И. Теория автоматов в проектировании цифровых схем [Электронный ресурс]: Учебное пособие / Антик М.И., Казанцева Л.В. — М.: МИРЭА – Российский технологический университет, 2020. — 1 электрон. опт. диск (CD-ROM).
9. Орлов С.А. Организация ЭВМ и систем: Учебник для вузов. 4-е изд. — СПб.: Питер, 2018. — 688 с.: ил.
10. Шустов М.А. Цифровая схемотехника. Основы построения. — СПб.: Наука и Техника, 2018. — 320 с.: ил.
11. Рафиков Р. А. Электронные сигналы и цепи. Цифровые сигналы и устройства: Учебное пособие. — СПб.: Издательство «Лань», 2016. — 320 с., ил. — (Учебники для вузов. Специальная литература).

12. Угрюмов Е. П. Цифровая схемотехника: учеб. пособие для вузов. — 3-е изд., перераб. и доп. — СПб.: БХВ-Петербург, 2010. — 816 с.: ил.